

YLS-OP16 离线烧录器用户手册

UG-YLS-OP16

V1.0(Draft)

上海睿苔科技有限公司

版权所有, 侵权必究

2023/7/10

修订记录

日期	修订版本	描述	作者
2023/7/10	V1.0	初始版本	

目录

1	标识	1
2	简介	1
3	特征	1
4	功能	1
4.1	编程接口	1
4.2	编程模式	3
5	使用说明	3
5.1	设备连接说明	3
5.1.1	烧录器与 JTAG 目标板连接	3
5.1.2	烧录器与 SPI 目标板连接	4
5.1.3	烧录器与 Flash Socket 板连接	5
5.1.4	USB 端口连接	6
5.1.5	电源连接	6
5.2	设备配置说明	7
5.2.1	驱动安装	7
5.2.2	驱动冲突	8
5.2.3	功能配置	8
5.2.4	文件管理	10
5.2.5	配置设备	11
5.3	设备操控说明	12
6	注意事项	14
7	规格及参数	14

图目录

图 1 烧录器与 JTAG 目标板连接示意图	3
图 2 烧录器与 Flash Socket 板连接示意图	5
图 3 烧录器 USB 端口示意图	6
图 4 烧录器配置管理软件示意图	8
图 5 烧录器面板示意图	12

表目录

表 1 烧录器 JTAG 模式下的 64Pin 连接器表	2
表 2 烧录器 SPI 模式下的 64Pin 连接器表	2
表 3 JTAG 转接板 10Pin 连接器表	4
表 4 SPI 转接板 10Pin 连接器表	4
表 5 功能配置与需要文件关系表	9

1 标识

文档名称：YLS-OP16 离线烧录器用户手册

文档编号：UG-YLS-OP16

文档版本号：V1.0(Draft)

2 简介

YLS-OP16 是上海睿苔科技专门为易灵思 FPGA 研发的离线烧录器产品。在非 PC 应用环境下，可直接对易灵思全系列 FPGA 芯片的 Flash 固件进行离线烧录。设备配置 16 路并行编程端口，可单独、部分或全路对目标板同时进行编程。具备多路并行烧录、编程速度快、携带方便等特点，适用于批量生产、外场升级维护等场景。

3 特征

- 16 路并行烧录通道
- 设备内存储容量：512MB
- 支持编程接口：JTAG、SPI
- 支持 I/O 多电压选择
- 支持固件及密钥烧录
- USB 供电及设备配置端口

4 功能

4.1 编程接口

离线烧录器配置有 2 个并行烧录接口，每个接口为 64Pin 的双排连接器，分别位于设备的上下两端。每个连接器内部以 8Pin 信号（上下各 4Pin），为一组独立的烧录端口，分别与面板上 1~16 路编号及指示灯对应。当设备工作在 JTAG 编程模式或 SPI 编程模式时，接口定义是不同的，下图分别描述。

表 1 烧录器 JTAG 模式下的 64Pin 连接器表

Pin序号	端口号	信号名	描述	Pin序号	端口号	信号名	描述
1	PORT 1	VCC	参考电压输入信号。	2	PORT 1	GND	地信号。
3		TCK	JTAG时钟输入信号。	4		CRESETn	FPGA配置复位输入信号，低有效。
5		TMS	JTAG模式选择输入信号。	6		N.C.	无连接。
7	PORT 2	TDI	JTAG数据输入信号。	8	PORT 2	TDO	JTAG数据输出信号。
9		VCC	参考电压输入信号。	10		GND	地信号。
11		TCK	JTAG时钟输入信号。	12		CRESETn	FPGA配置复位输入信号，低有效。
13	PORT 3	TMS	JTAG模式选择输入信号。	14	PORT 3	N.C.	无连接。
15		TDI	JTAG数据输入信号。	16		TDO	JTAG数据输出信号。
17		VCC	参考电压输入信号。	18		GND	地信号。
19	PORT 4	TCK	JTAG时钟输入信号。	20	PORT 4	CRESETn	FPGA配置复位输入信号，低有效。
21		TMS	JTAG模式选择输入信号。	22		N.C.	无连接。
23		TDI	JTAG数据输入信号。	24		TDO	JTAG数据输出信号。
25	PORT 5	VCC	参考电压输入信号。	26	PORT 5	GND	地信号。
27		TCK	JTAG时钟输入信号。	28		CRESETn	FPGA配置复位输入信号，低有效。
29		TMS	JTAG模式选择输入信号。	30		N.C.	无连接。
31	PORT 6	TDI	JTAG数据输入信号。	32	PORT 6	TDO	JTAG数据输出信号。
33		VCC	参考电压输入信号。	34		GND	地信号。
35		TCK	JTAG时钟输入信号。	36		CRESETn	FPGA配置复位输入信号，低有效。
37	PORT 7	TMS	JTAG模式选择输入信号。	38	PORT 7	N.C.	无连接。
39		TDI	JTAG数据输入信号。	40		TDO	JTAG数据输出信号。
41		VCC	参考电压输入信号。	42		GND	地信号。
43	PORT 8	TCK	JTAG时钟输入信号。	44	PORT 8	CRESETn	FPGA配置复位输入信号，低有效。
45		TMS	JTAG模式选择输入信号。	46		N.C.	无连接。
47		TDI	JTAG数据输入信号。	48		TDO	JTAG数据输出信号。
49	PORT 1	VCC	参考电压输入信号。	50	PORT 1	GND	地信号。
51		TCK	JTAG时钟输入信号。	52		CRESETn	FPGA配置复位输入信号，低有效。
53		TMS	JTAG模式选择输入信号。	54		N.C.	无连接。
55	PORT 2	TDI	JTAG数据输入信号。	56	PORT 2	TDO	JTAG数据输出信号。
57		VCC	参考电压输入信号。	58		GND	地信号。
59		TCK	JTAG时钟输入信号。	60		CRESETn	FPGA配置复位输入信号，低有效。
61	PORT 3	TMS	JTAG模式选择输入信号。	62	PORT 3	N.C.	无连接。
63		TDI	JTAG数据输入信号。	64		TDO	JTAG数据输出信号。

表 2 烧录器 SPI 模式下的 64Pin 连接器表

Pin序号	端口号	信号名	描述	Pin序号	端口号	信号名	描述
1	PORT 1	VCC	参考电压输入信号。	2	PORT 1	GND	地信号。
3		SCK	SPI时钟输入信号。	4		HOLDn	Flash保持或复位输出信号，低有效。
5		CSn	SPI片选输入信号，低有效。	6		WPn	Flash写保护输入信号，低有效。
7	PORT 2	DI	SPI数据输入信号。	8	PORT 2	DO	SPI数据输出信号。
9		VCC	参考电压输入信号。	10		GND	地信号。
11		SCK	SPI时钟输入信号。	12		HOLDn	Flash保持或复位输出信号，低有效。
13	PORT 3	CSn	SPI片选输入信号，低有效。	14	PORT 3	WPn	Flash写保护输入信号，低有效。
15		DI	SPI数据输入信号。	16		DO	SPI数据输出信号。
17		VCC	参考电压输入信号。	18		GND	地信号。
19	PORT 4	SCK	SPI时钟输入信号。	20	PORT 4	HOLDn	Flash保持或复位输出信号，低有效。
21		CSn	SPI片选输入信号，低有效。	22		WPn	Flash写保护输入信号，低有效。
23		DI	SPI数据输入信号。	24		DO	SPI数据输出信号。
25	PORT 5	VCC	参考电压输入信号。	26	PORT 5	GND	地信号。
27		SCK	SPI时钟输入信号。	28		HOLDn	Flash保持或复位输出信号，低有效。
29		CSn	SPI片选输入信号，低有效。	30		WPn	Flash写保护输入信号，低有效。
31	PORT 6	DI	SPI数据输入信号。	32	PORT 6	DO	SPI数据输出信号。
33		VCC	参考电压输入信号。	34		GND	地信号。
35		SCK	SPI时钟输入信号。	36		HOLDn	Flash保持或复位输出信号，低有效。
37	PORT 7	CSn	SPI片选输入信号，低有效。	38	PORT 7	WPn	Flash写保护输入信号，低有效。
39		DI	SPI数据输入信号。	40		DO	SPI数据输出信号。
41		VCC	参考电压输入信号。	42		GND	地信号。
43	PORT 8	SCK	SPI时钟输入信号。	44	PORT 8	HOLDn	Flash保持或复位输出信号，低有效。
45		CSn	SPI片选输入信号，低有效。	46		WPn	Flash写保护输入信号，低有效。
47		DI	SPI数据输入信号。	48		DO	SPI数据输出信号。
49	PORT 1	VCC	参考电压输入信号。	50	PORT 1	GND	地信号。
51		SCK	SPI时钟输入信号。	52		HOLDn	Flash保持或复位输出信号，低有效。
53		CSn	SPI片选输入信号，低有效。	54		WPn	Flash写保护输入信号，低有效。
55	PORT 2	DI	SPI数据输入信号。	56	PORT 2	DO	SPI数据输出信号。
57		VCC	参考电压输入信号。	58		GND	地信号。
59		SCK	SPI时钟输入信号。	60		HOLDn	Flash保持或复位输出信号，低有效。
61	PORT 3	CSn	SPI片选输入信号，低有效。	62	PORT 3	WPn	Flash写保护输入信号，低有效。
63		DI	SPI数据输入信号。	64		DO	SPI数据输出信号。

注：

- 64Pin 连接器表内的信号方向定义，以用户目标板端为基准描述。

4.2 编程模式

- 编程接口选择：JTAG 模式、SPI 模式
- 编程速率选择：3.125MHz、6.25MHz、12.5MHz
- 编程电压选择：1.2V、1.5V、1.8V、2.5V、3.3V
- 编程功能选择：Bitstream 烧录、Tea 密钥烧录、AES/RSA 密钥烧录

5 使用说明

5.1 设备连接说明

5.1.1 烧录器与 JTAG 目标板连接

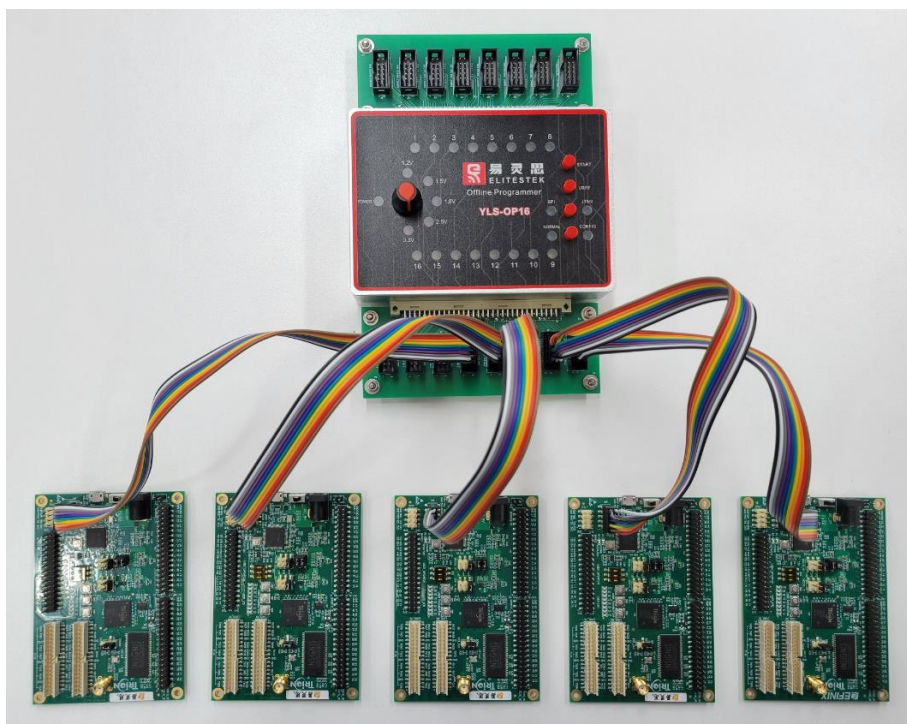


图 1 烧录器与 JTAG 目标板连接示意图

1. 将 2 块 JTAG 转接板，分别插入到烧录器两端的 64Pin 并行烧录端口内。
2. 依次将 16 条烧录线缆，从 JTAG 转接板的 10Pin 连接器到 FPGA 目标板的 JTAG 连接器进行连接。

表 3 JTAG 转接板 10Pin 连接器表

Pin序号	信号名	描述	Pin序号	信号名	描述
1	TDO	JTAG数据输出信号。	2	N.C. / VCC	参考电压输入信号。当电阻未焊接时，处于无连接状态（默认态）；当电阻焊接时，作为参考电压输入信号。
3	TCK	JTAG时钟输入信号。	4	TDI	JTAG数据输入信号。
5	TMS	JTAG模式选择输入信号。	6	N.C.	无连接。
7	N.C.	无连接。	8	CRESETn	FPGA配置复位输入信号，低有效。
9	GND	地信号。	10	GND	地信号。

注：

1. JTAG 转接板 10Pin 连接器表内的信号方向定义，以用户目标板端为基准描述。
2. 用户目标板的 JTAG 连接器可能存在尺寸及线序等差异，需要根据 JTAG 转接板 10Pin 连接器表，自行定制烧录线缆及线缆插头。

5.1.2 烧录器与 SPI 目标板连接

1. 将 2 块 SPI 转接板，分别插入到烧录器两端的 64Pin 并行烧录端口内。
2. 依次将 16 条烧录线缆，从 SPI 转接板的 10Pin 连接器到 FPGA 目标板的 SPI 连接器进行连接。

表 4 SPI 转接板 10Pin 连接器表

Pin序号	信号名	描述	Pin序号	信号名	描述
1	DO	SPI数据输出信号。	2	N.C. / VCC	参考电压输入信号。当电阻未焊接时，处于无连接状态（默认态）；当电阻焊接时，作为参考电压输入。
3	SCK	SPI时钟输入信号。	4	DI	SPI数据输入信号。
5	CSn	SPI片选输入信号，低有效。	6	WPn	Flash写保护输入信号，低有效。
7	N.C.	无连接。	8	HOLDn	Flash保持或复位输入信号，低有效。
9	GND	地信号。	10	GND	地信号。

注：

1. SPI 转接板 10Pin 连接器表内的信号方向定义，以用户目标板端为基准描述。
2. 用户目标板的 SPI 连接器可能存在尺寸及线序等差异，需要根据 SPI 转接板 10Pin 连接器表，自行定制烧录线缆及线缆插头。

5.1.3 烧录器与 Flash Socket 板连接

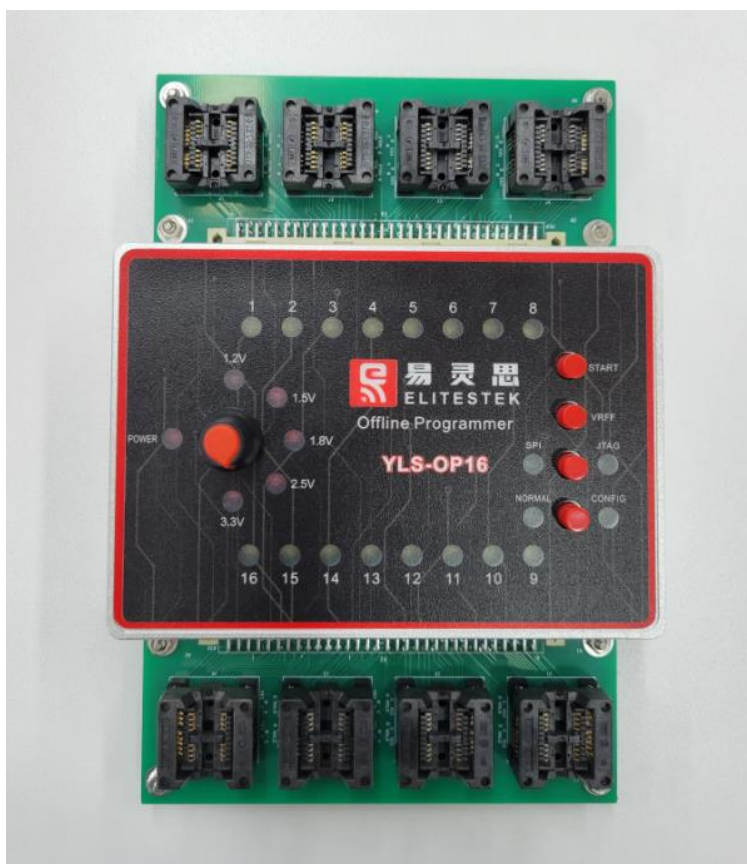


图 2 烧录器与 Flash Socket 板连接示意图

1. 将 2 块 Flash Socket 板，分别插入到烧录器两端的 64Pin 并行烧录端口内。
2. 下压 Flash Socket 底座，将待烧录 Flash 芯片放置于 Socket 槽位内，确保与槽位完全对齐；松开底座，Socket 将自动收紧，固定住芯片。每个 Socket 底座，配置有 2 个 Flash 芯片槽位。

注：

1. 目前只有 SOP-8-208mil 规格的 Flash Socket 板提供，用户如有其它规格的需求，可自行定制或委托厂商定制。

5.1.4 USB 端口连接



图 3 烧录器 USB 端口示意图

烧录器配备了 2 路 USB 端口，1 路用户配置管理端口和 1 路调试升级端口，详细说明如下：

➤ 用户配置管理端口

位于图标 1 的位置。该端口包含 2 路 UART 串口协议通路，物理识别名分别为 **MPOP_16_01 USER (interface0)**和 **MPOP_16_01 USER (interface1)**。

- 1) **Interface0** 作为配置管理链路，可实现对设备的功能配置及文件装载，需配合计算机端的配置管理软件使用。
- 2) **Interface1** 作为编程信息指示串口，会实时显示详尽的编程过程状态信息，需配合计算机端的串口软件使用。串口参数信息如下：
 - a) 波特率：115200
 - b) 数据位：8
 - c) 校验位：None
 - d) 停止位：1

➤ 调试升级端口

位于图标 2 的位置。该端口包含 2 路 UART 串口协议通路，物理识别名分别为 **MPOP_16_01 DBG (interface0)**和 **MPOP_16_01 DBG (interface1)**。仅限厂商使用，用于烧录器功能调试及固件升级使用。

5.1.5 电源连接

烧录器采用 USB 供电。设备端接入 5.1.4 章节中任意一路 USB 端口即可；供电端需接入可提供 USB 电源输出的设备，如 PC、充电器、移动电源等。

5.2 设备配置说明

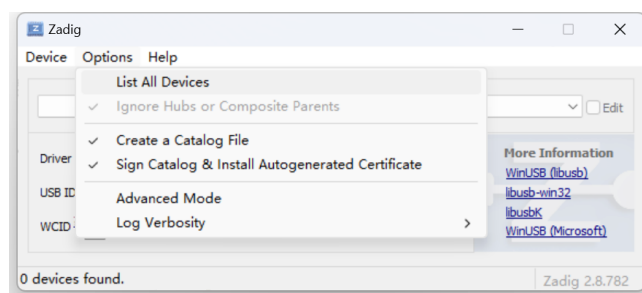
离线烧录器搭配有专用的配置管理软件。可以对设备进行功能配置，如烧录时钟频率、烧录模式配置等；还可以对烧录源文件进行装载管理，如 Jtag Bridge 文件、Bitstream 文件与加密文件等。需要完成设备功能配置及文件装载后，才可以进行离线烧录操作。

5.2.1 驱动安装

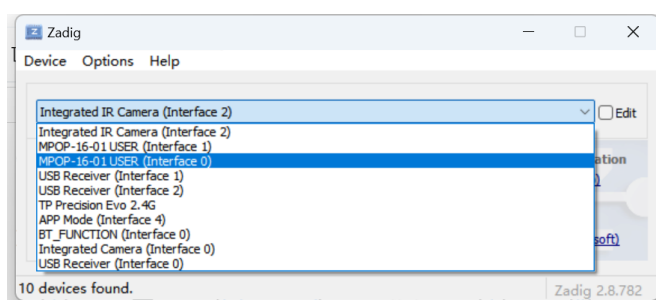
使用配置管理软件之前，为了让计算机系统与烧录器外设进行关联，先要进行驱动安装。详细步骤如下：

注：一般情况下，计算机只需安装一次驱动即可；如果本计算机因其它应用，已经安装过 FTDI 驱动，需要先执行 5.2.2 章节的驱动卸载后，才能再执行驱动安装。

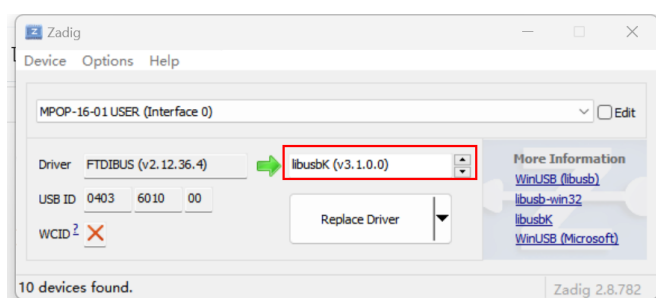
1. 运行 **Zadig** 驱动软件，选择 **Options -> List All Device**。



2. 下拉外设选择框，选中烧录器用户配置管理端口 **MPOP_16_01 USER (interface0)**。



3. 修改安装驱动包为 **libusbK** 后，点击 **Replace Driver** 控件，等待安装完成即可关闭 **Zadig** 对话框。



4. 安装成功后，可在**设备管理器**中查看到，**libusbK USB Devices** 组内会新增 1 路命名为 **MPOP-16***的外设。

5.2.2 驱动冲突

由于用户电脑可能已经安装过基于 FTDI 芯片的驱动程序，因此在连接烧录器以后，系统可能错误的将烧录器识别为其它的外设。这种情况下，需要先将已安装驱动进行卸载，再执行 5.2.1 章节的驱动安装。驱动卸载步骤如下：

1. 打开**设备管理器**，接入烧录器用户配置管理端口。
 - a) 正常情况下，**端口(COM 和 LPT)**组内，会新增 2 路 **USB Serial Port(COM*)** 的外设。退出驱动卸载流程，正常执行 5.2.1 章节即可。
 - b) 冲突情况下，**libusbK USB Devices** 组内，会新增 1 路或 2 路命名为**非 MPOP-16***的外设。执行驱动卸载流程。
2. 找到新增**非 MPOP-16***的外设，右键选择**卸载设备**，打开卸载设备对话框。
3. 勾选**删除此设备的驱动程序软件**，并点击**卸载**。
4. 如 2 路端口均存在同样的问题，需依次对每路端口执行步骤 2~3。完成卸载后，将同步骤 1 中 a)项的状态一致。

5.2.3 功能配置

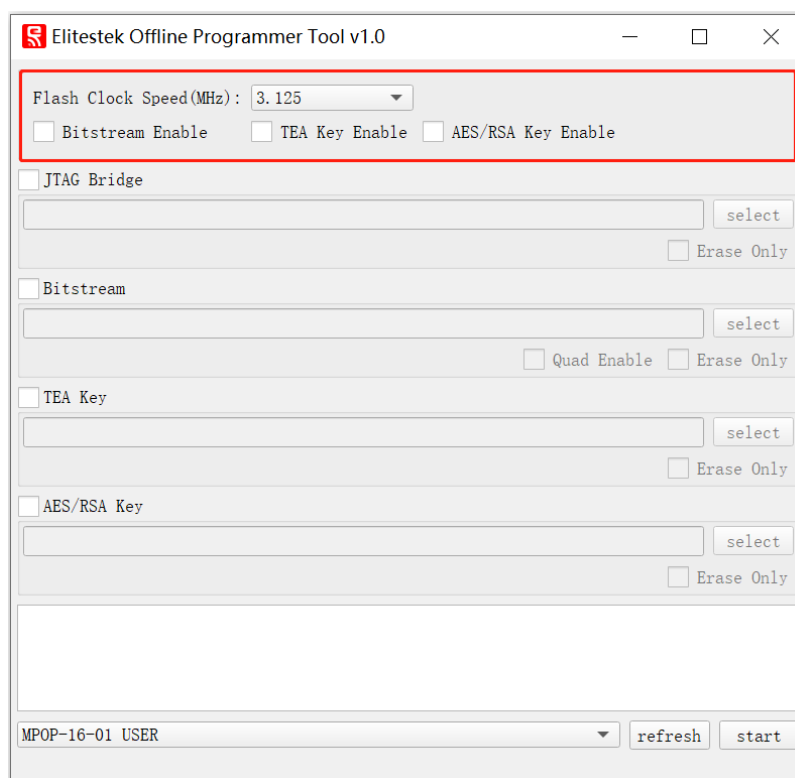


图 4 烧录器配置管理软件示意图

配置管理软件的功能配置区位于上图中，红色标识部分。如果烧录器已经完成过文件装载，也可以在无需进行文件装载的情况下，单独进行功能配置修改。

功能配置选项说明如下：

➤ Flash Clock Speed

Flash 烧录时钟频率选择，可设置 3.125MHz、6.25MHz、12.5MHz。由于目标板存在信号环境不同，以及线缆的长短质量等差异，导致能够可靠烧录的速率不同。用户可根据自己的生产环境自行测试，选择满足稳定烧录的最高频率为最佳配置。

➤ Bitstream Enable

比特流烧录使能。勾选后，烧录器将执行 FPGA 固件烧录功能；否则将忽略该功能操作。

➤ TEA Key Enable

Tea 密钥烧录使能。勾选后，烧录器将执行 Tea 密钥烧录功能；否则将忽略该功能操作。该功能的具体应用，请参考易灵思 Encrypt_Authentication 解决方案。

➤ ASE/RSA Key Enable

ASE/RSA 密钥烧录使能。勾选后，烧录器将执行 ASE/RSA 密钥烧录功能；否则将忽略该功能操作。易灵思钛金系列 FPGA，均配备有 ASE/RSA 硬核加密模块，可以对用户 FPGA 固件进行高安全性保护，详情请参考易灵思钛金系列 FPGA 用户手册。

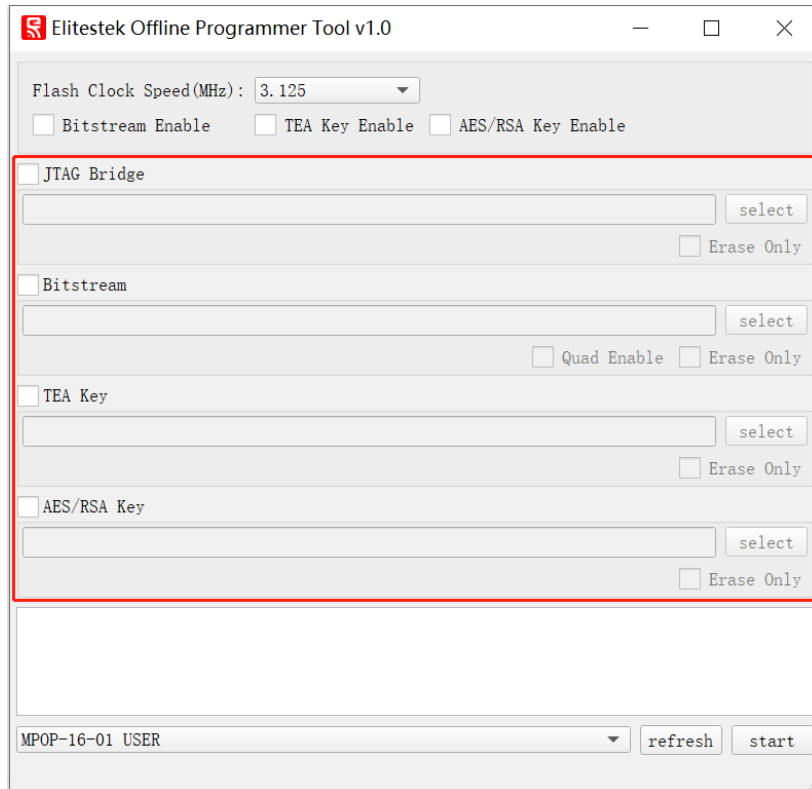
注：

1. 易灵思 Trion 系列 FPGA 不支持该项功能。
2. AES/RSA 为一次性熔丝加密烧录，操作不可逆，用户需谨慎使用该功能项，厂商不承担该功能的任何责任。

表 5 功能配置与需要文件关系表

接口模式	支持功能	JTAG Bridge文件	Bitstream文件	Tea Key文件	AES/RSA Key文件
JTAG模式	Bitstream Enable	●	●		
	TEA Key Enable	●		●	
	ASE/RSA Key Enable				●
SPI模式	Bitstream Enable		●		
	TEA Key Enable			●	

5.2.4 文件管理



配置管理软件的文件管理区位于上图中，红色标识部分。执行特定的烧录功能前，需要提前装载好特定的文件。管理文件，首先需要勾选对应文件的选项，再在 **select** 对话框中指定装载文件的路径即可。如果无需装载文件，只是希望将保存在烧录器中的文件擦除，只需勾选 **Erase Only** 即可，设备将进行文件低级格式化操作。

文件管理说明如下：

➤ JTAG Bridge

JTAG 桥文件（hex 文件类型）。该文件为通过 JTAG 进行比特流烧录时，所必须的过程文件。由厂商提供，每种 FPGA 型号都有对应的 JTAG 桥文件，用户只需下载目标板 FPGA 对应的 JTAG 桥文件即可。

注：易灵思 Titanium 系列 FPGA 的 JTAG 桥文件有 1.8V 及 3.3V 两种版本。用户需根据目标板 JTAG 硬件设计链路的实际电平标准选择。

➤ Bitstream

比特流文件（hex 文件类型）。该文件为用户需要烧录的 FPGA 固件文件。如果用户的 FPGA 固件选用的是 SPI x4 模式，则需要勾选 **Quad Enable** 选项。

➤ Tea Key

Tea 密钥文件（txt 文件类型）。由三项密钥参数组成，其格式如下图中所示。

```
{
  "key": "12121212343434345656565678787878",
  "round": 32,
  "delta": "9E3779B9"
}
```

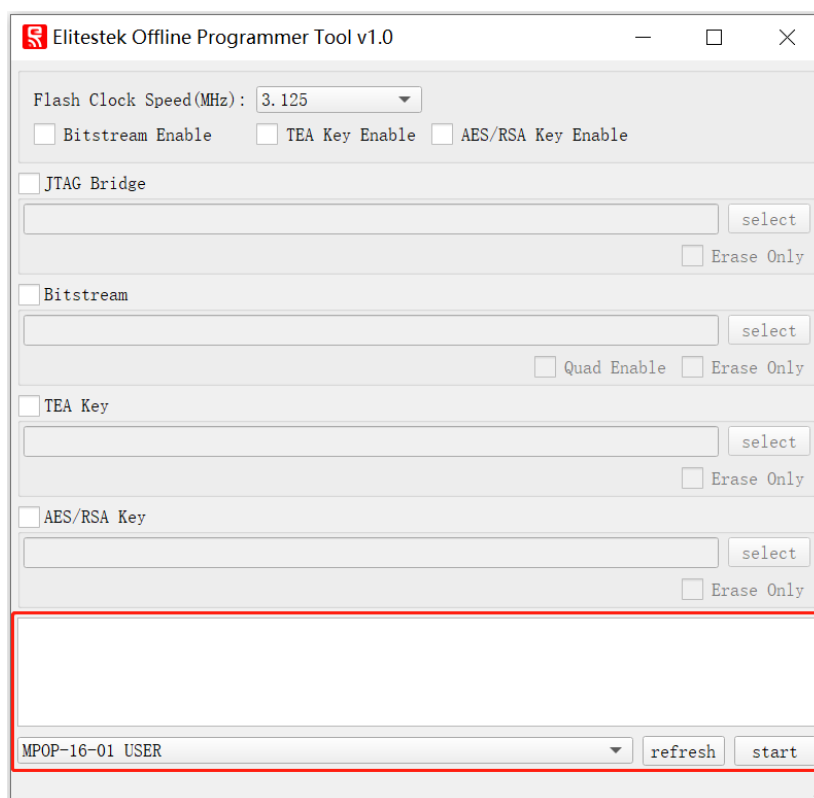
注：Tea 密钥文件需要客户妥善保管，防止泄密。建议在完成密钥烧录生产任务后，清除保存在烧录器设备中的密钥文件。

➤ AES/RSA Key

AES/RSA 密钥文件（svf 文件类型）。用户在易灵思 EDA 开发工具中，输入自己的 AES/RSA 密码，即可自动生成该 svf 密钥文件。

注：AES/RSA 密码及 svf 密钥文件都需要客户妥善保管，防止泄密。建议在完成密钥烧录生产任务后，清除保存在烧录器设备中的密钥文件。

5.2.5 配置设备



配置管理软件的配置执行区位于上图中，红色标识部分。当完成功能配置区及文件管理区的设置以后，就需要对设备进行烧录操作。

1. 在下拉对话框中，选择命名为 **MPOP-16-01 USER** 的配置管理端口。

注：如下拉菜单中没有找到该端口，则点击 *refresh* 控件，刷新设备端口，查看是否出现；如依然未找到，请检查线路连接及驱动安装状态。

2. 点击 **start** 控件，启动配置烧录操作。信息区会显示烧录进度条及烧录状态等信息。
3. 待配置烧录完成后，烧录器就可以与计算机进行分离，进行离线编程工作了。

5.3 设备操控说明

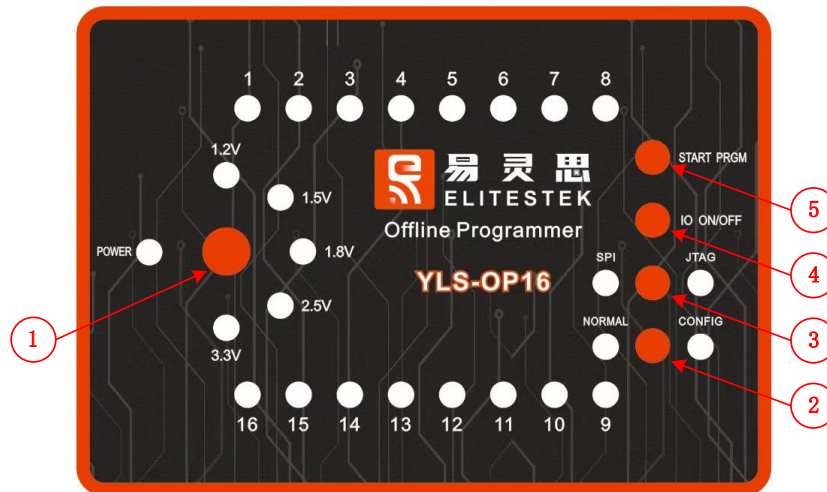


图 5 烧录器面板示意图

烧录器在启动离线编程操作前，需要先根据应用，将模式开关操控到对应的状态下。模式开关说明如下：

➤ 编程接口电压选择开关

位于图标 1 的位置，为旋钮开关，可设置 1.2V、1.5V、1.8V、2.5V、3.3V 五个挡位。用户需根据目标板 JTAG 或 SPI 的接口电压，设置该项。选定的一挡位电压指示灯会常亮，其它挡位指示灯会常灭。

注：接口电压选择不正确的时候，可能会损坏目标板或无法成功烧录。

➤ 工作模式开关

位于图标 2 的位置，为二选开关。当设备进行配置操作时，必须调到 CONFIG 配置工作模式；当设备进行离线编程时，必须调到 NORMAL 正常工作模式。

➤ 接口模式开关

位于图标 3 的位置，为二选开关。当进行 JTAG 接口编程时，必须调到 JTAG 模式；当进行 SPI 接口编程时，必须调到 SPI 模式。

➤ I/O 通断开关

位于图标 4 的位置，为二选开关。由于带电插拔目标板编程连接器时，可能会损坏目标器件。因此，用户在更换目标板时，需关断开关；在编程时，需开启开关。当开关处于关闭状态时，1.2V、1.5V、1.8V、2.5V、3.3V 五个挡位的电压指

示灯会全灭；当开关处于开启状态时，选定的挡位电压指示灯会常亮。

注：更换目标板时，如不涉及模式的更改，只需操控“编程接口通断开关”及“编程启动开关”即可。

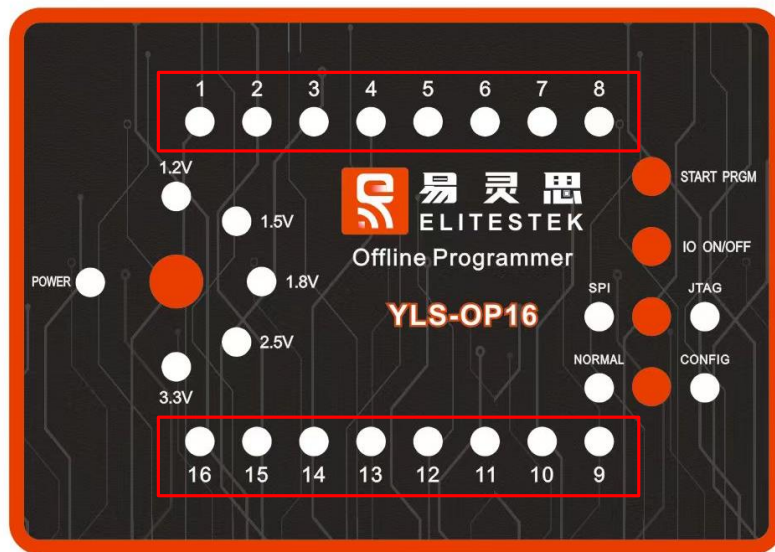
烧录器在完成模式开关的设置以后，可通过触发编程启动开关，启动编程操作。说明如下：

➤ 编程启动开关

位于图标 5 的位置，为触发开关。按压一次，开启一次编程，单次触发。

注：在一次编程过程未结束时，重复触发无效。

➤ 编程端口指示灯



位于上图红色框的位置。当编程时，用户可根据该组指示灯判断编程的状态信息。说明如下：

- 1) 启动编程开关后，处于正常编程过程中的端口，指示灯会处于**闪烁**状态。如存在已连接目标板，但指示灯为**常灭**状态的端口，说明链路异常，请检查该端口硬件环境等。
- 2) 完成编程后，烧录成功的端口，指示灯会处于**常亮**状态；烧录失败的端口，指示灯会处于**常灭**状态。
- 3) 当全部端口处于**常灭**状态、部分或全部端口处于**常亮**状态，说明设备为待机状态，可进行新的编程操作。

➤ 编程信息指示串口

烧录器 USB 用户配置管理端口还配置有一路 UART 协议串口，可指示更详尽的编程过程状态。一般情况下，用户只需根据指示灯判断即可；如遇到很难解决的编程故障问题，可接入计算机 USB 端口，通过串口软件显示信息分析。

6 注意事项

1. 多路烧录时，仅支持同一烧录工程。

7 规格及参数

- 温度环境：0-70 摄氏度
- 设备尺寸：32mm*94mm*35mm
- 设备净重：340g