Trion FPGA LVDS培训和Demo

v1.0

刘岩

2020-12-21

版本

日期	版本	版本描述
2020-12-21	V1.0	初稿发布

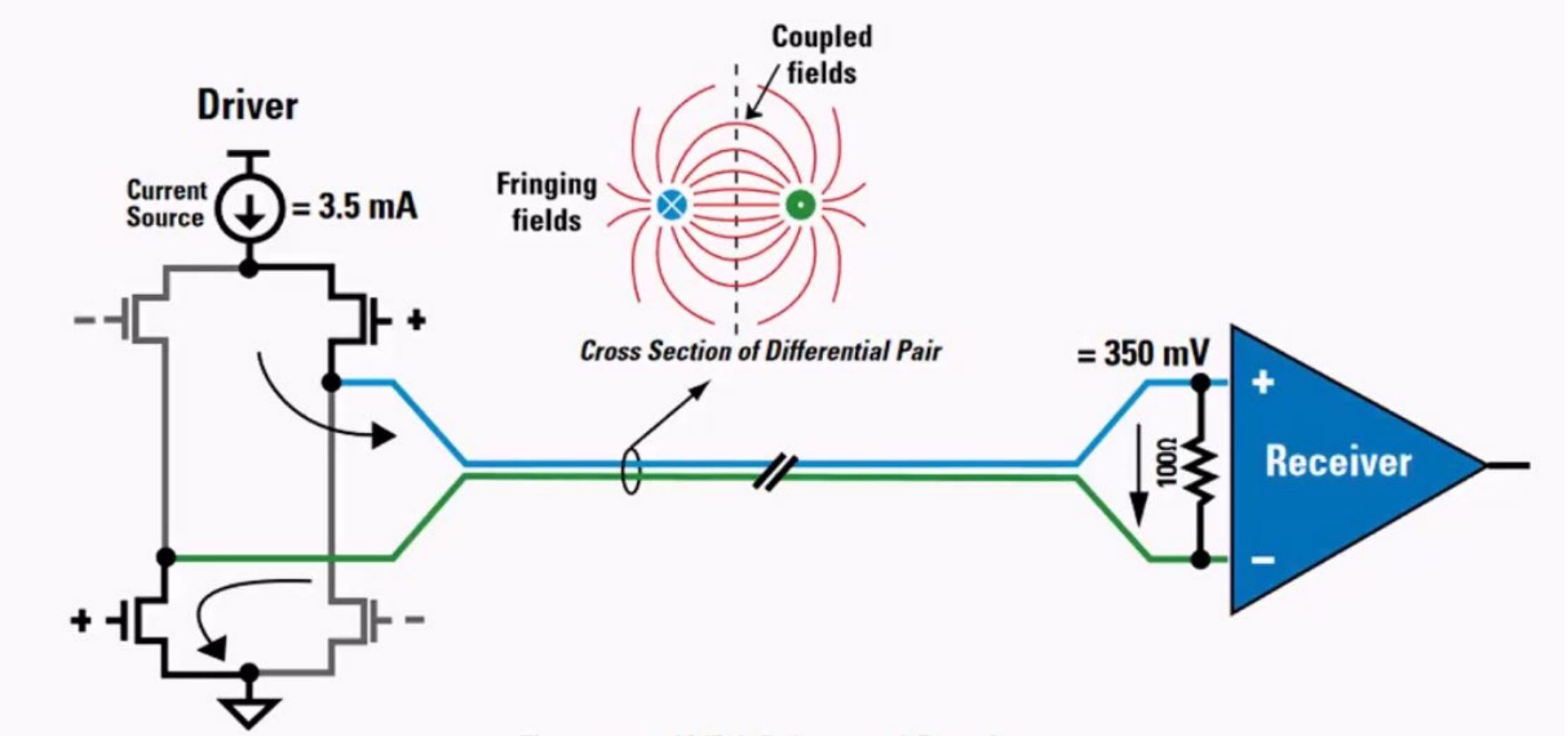
主要内容

- LVDS简介
- 设计注意事项
- 开发环境
- LVDS DEMO

LVDS简介

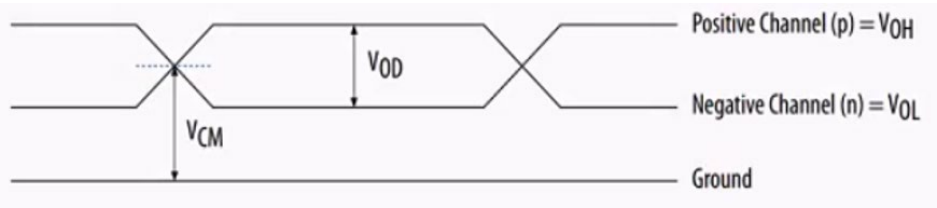
- LVDS特性
- TX
- RX

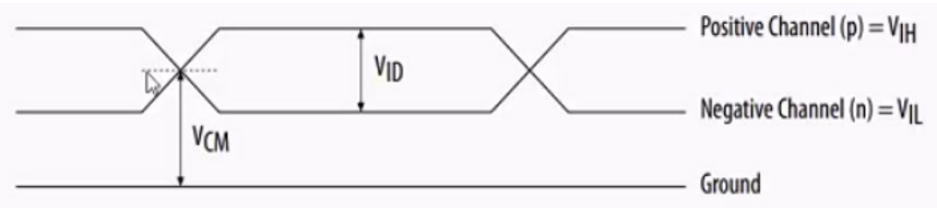
LVDS特性 - LVDS IO 结构



LVDS特性 - ELITESTEK Trion FPGA LVDS电气特性

Parameter	Description	Test Conditions	Min	Typ	Max	Unit
V_{CCIO}	LVDS I/O Supply Voltage	-	2.97	3.3	3.63	V
LVDS TX						
V_{OD}	Output Differential Voltage	-	250	-	450	mV
ΔV_{OD}	Change in V_{OD}	-	-	-	50	mV
V_{OCM}	Output Common Mode Voltage	RT = 100 Ω	1,125	1,250	1,375	mV
ΔV_{OCM}	Change in V_{OCM}	-	-	-	50	mV
V_{OH}	Output High Voltage	RT = 100 Ω	-	-	1,600	mV
V_{OL}	Output Low Voltage	RT = 100 Ω	900	-	-	mV
I_{SAB}	Output Short Circuit Current	-	-	-	24	mA
LVDS RX						
V_{ID}	Input Differential Voltage	-	100	-	600	mV
V_{ICM}	Input Common Mode Voltage	-	100	-	2,000	mV
V_{TH}	Differential Input Threshold	-	-100	-	100	mV
I_{IL}	Input Leakage Current	-	-	-	20	µA

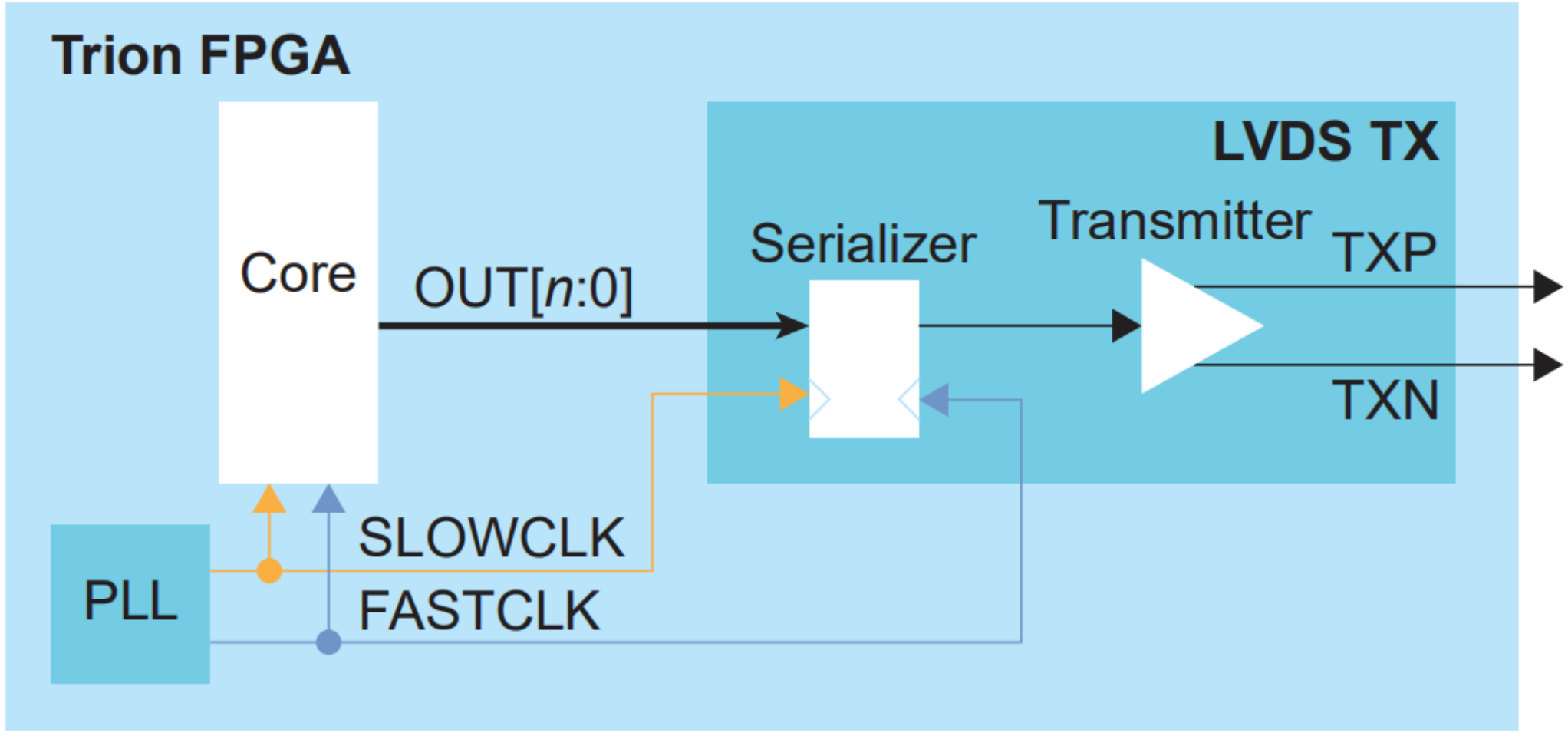




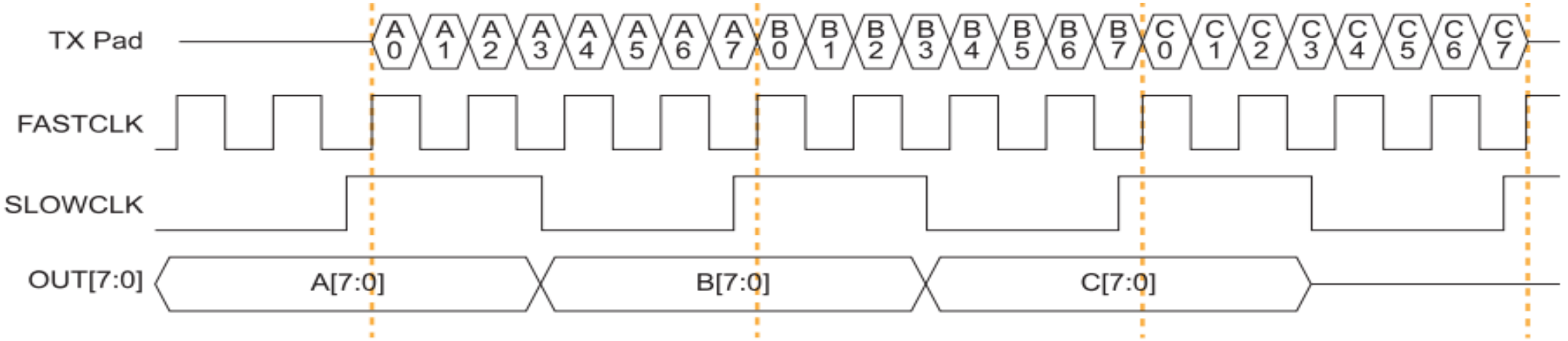
LVDS特性 - ELITESTEK LVDS hard IP

- Dedicated LVDS TX and RX channels
- Up to 800 Mbps for LVDS data transmit or receive
- Supports serialization and deserialization factors: 8:1, 7:1, 6:1, 5:1, 4:1, 3:1, and 2:1
- Ability to disable serialization and deserialization
- Source synchronous clock output edge-aligned with data for LVDS transmitter and receiver
- 100 Ω on-die termination resistor for the LVDS receiver

LVDS TX


Trion FPGA
Core
OUT[n:0]
LVDS TX
Serializer
Transmitter
TXP
TXN
PLL
SLOWCLK
FASTCLK

LVDS TX - Timing Example Serialization Width of 8

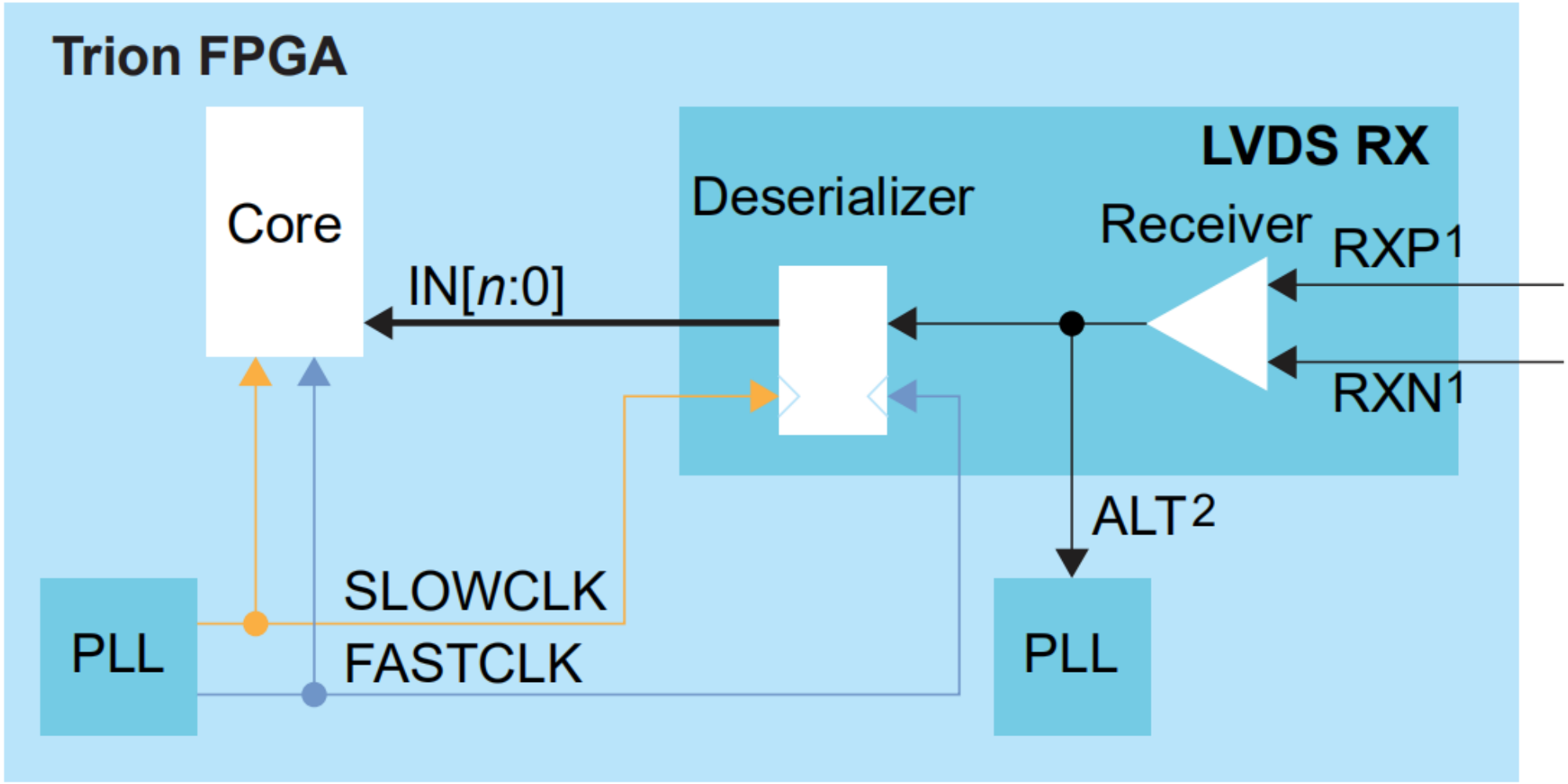


OUT is byte-aligned data passed from the core on the rising edge of SLOWCLK.

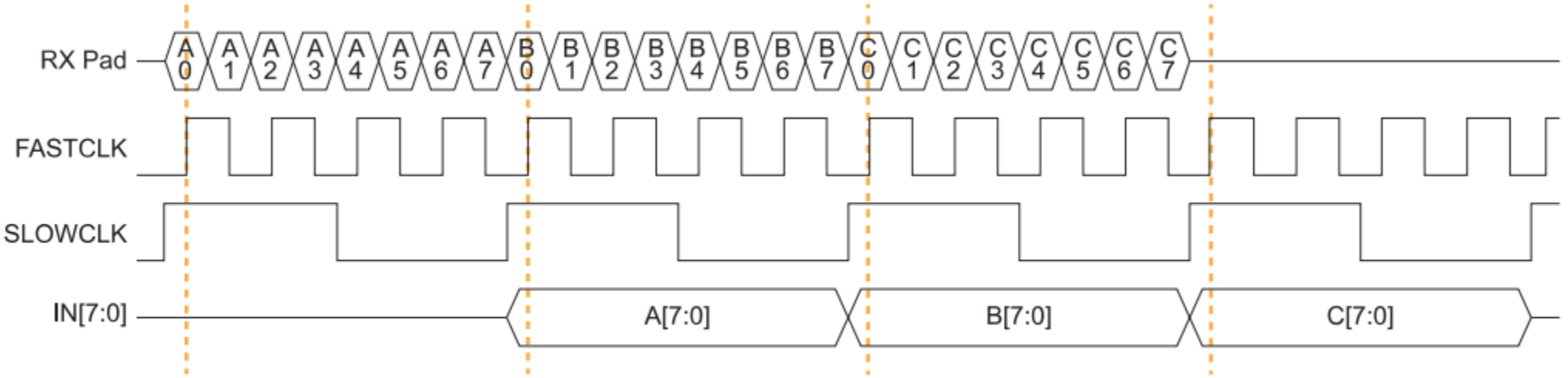
LVDS TX - Settings in Efinity Interface Designer

Parameters	Choices	Notes
Mode	serial data output or reference clock output	**serial data output**–Simple output buffer or serialized output. **reference clock output**–Use the transmitter as a clock output. When choosing this mode, the **Serialization Width** you choose should match the serialization for the rest of the LVDS bus.
Enable Serialization	On or off	When off, the serializer is bypassed and the LVDS buffer is used as a normal output.
Serialization Width	2, 3, 4, 5, 6, 7, or 8	Supports 8:1, 7:1, 6:1, 5:1, 4:1, 3:1, and 2:1.
Reduce VOD Swing	On or off	When true, enables reduced output swing (similar to slow slew rate).
Output Load	3 (default), 5, 7, or 10	Output load in pF. Use an output load of 7 pF or higher to achieve the maximum throughput of 800 Mbps.

LVDS RX


Trion FPGA
Core
LVDS RX
Deserializer
Receiver
RXP1
RXN1
IN[n:0]
ALT2
SLOWCLK
FASTCLK
PLL
PLL

LVDS RX - Timing Example Serialization Width of 8



IN is byte-aligned data passed to the core on the rising edge of SLOWCLK.

LVDS RX - Settings in Efinity Interface Designer

Parameter	Choices	Notes
Connection Type	normal, pll_clkin, pll_extfb	**normal**–Regular RX function. **pll_clkin**–Use the PLL CLKIN alternate function of the LVDS RX resource. **pll_extfb**–Use the PLL external feedback alternate function of the LVDS RX resource.
Enable Deserialization	On or off	When off, the de-serializer is bypassed and the LVDS buffer is used as a normal input.
Deserialization Width	2, 3, 4, 5, 6, 7, or 8	Supports 8:1, 7:1, 6:1, 5:1, 4:1, 3:1, and 2:1.
Enable On-Die Termination	On or off	When on, enables an on-die 100-ohm resistor.

设计注意事项

- LVDS-LVDS RX源同步时钟管脚
- LVDS-LVDS 交流耦合
- LVDS-LVDS IO差分同单端混用的使用限制
- LVDS IO用作GPIO

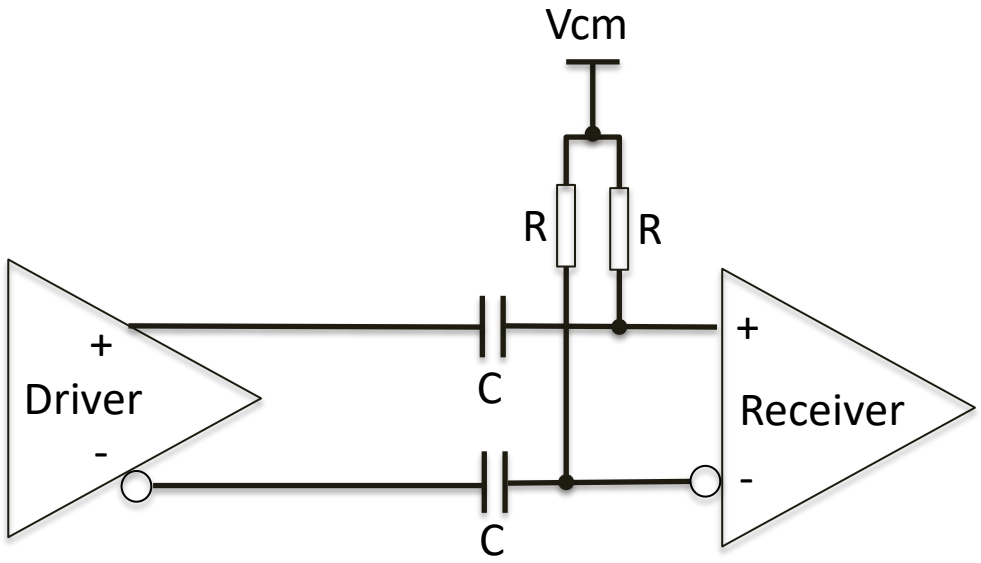
LVDS-LVDS RX源同步时钟管脚

- LVDS RX的差分源同步时钟只能通过GPIOx_RXP/Ny_CLKP/Nz经对应锁相环输入
  - LVDS 差分时钟输入同锁相环的对应关系参见相关型号的数据手册Device Interface Functional Description->Pll
  - 例：T120F324

PLL	REFCLK0	REFCLK1
PLL_BL0	GPIOL_15_PLLIN0	N/A
PLL_BR0(5)	GPIOR_186_PLLIN0	N/A
PLL_BR1	GPIOR_187_PLLIN1	N/A
PLL_BR2	GPIOR_188_PLLIN2	N/A
PLL_TR0	GPIOR_166_PLLIN0	Differential: GPIOT_RXP09_CLKP0, GPIOT_RXN09_CLKN0 Single-ended: GPIOT_RXP09_CLKP0
PLL_TR1	GPIOR_167_PLLIN1	Differential: GPIOT_RXP19_CLKP1, GPIOT_RXN19_CLKN1 Single-ended: GPIOT_RXP19_CLKP1
PLL_TR2	GPIOR_168_PLLIN2	Differential: GPIOT_RXP29_CLKP2, GPIOT_RXN29_CLKN2 Single-ended: GPIOT_RXP29_CLKP2

LVDS-LVDS 交流耦合

- RX端采用隔直电容+Vcm上拉
  - 隔直电容推荐NP0介质陶瓷叠层贴片电容
  - 匹配电阻推荐1%贴片电阻
  - 在Interface Designer里取消片上端接跨阻



Vcm=1.25V
R=50ohm
C=1000pF@100Mhz
100pF@400Mhz
50pF@800Mhz
C>1/(5*2π*f)≈1/30f

LVDS-LVDS IO差分同单端混用的使用限制

- 如果需要在LVDS IO里差分信号同单端信号混用，必须隔开2对差分IO
  - 例如：使用RXP09/RXN09就不能使用RX07/08/10/11作为差分信号

LVDS IO用作GPIO

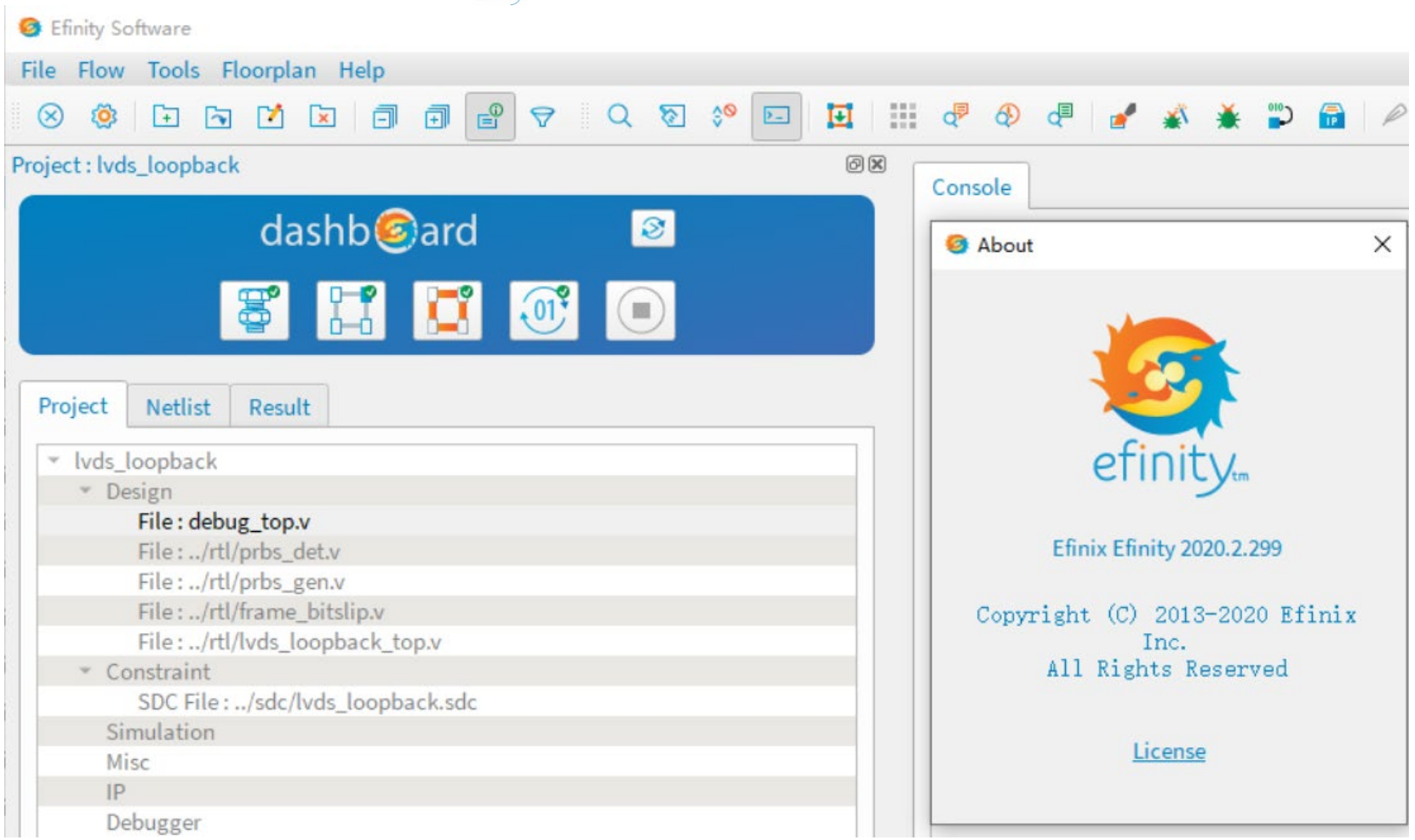
- 不支持内部下拉
- 不支持内部施密特触发器
- 不支持输出驱动电流调节
- 不支持FPGA配置过程中上拉状态保持

开发环境

- 开发软件
- 硬件
- 连接方式

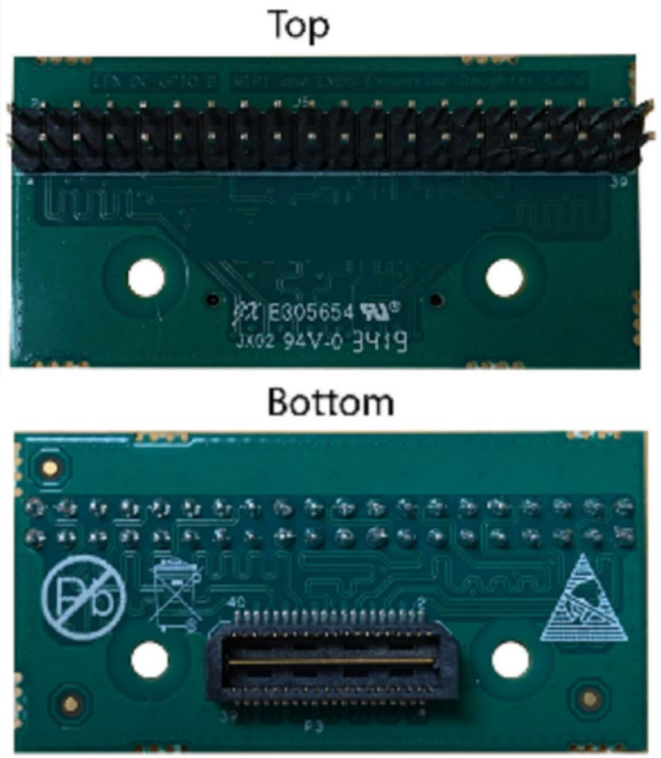
开发环境 - 开发软件

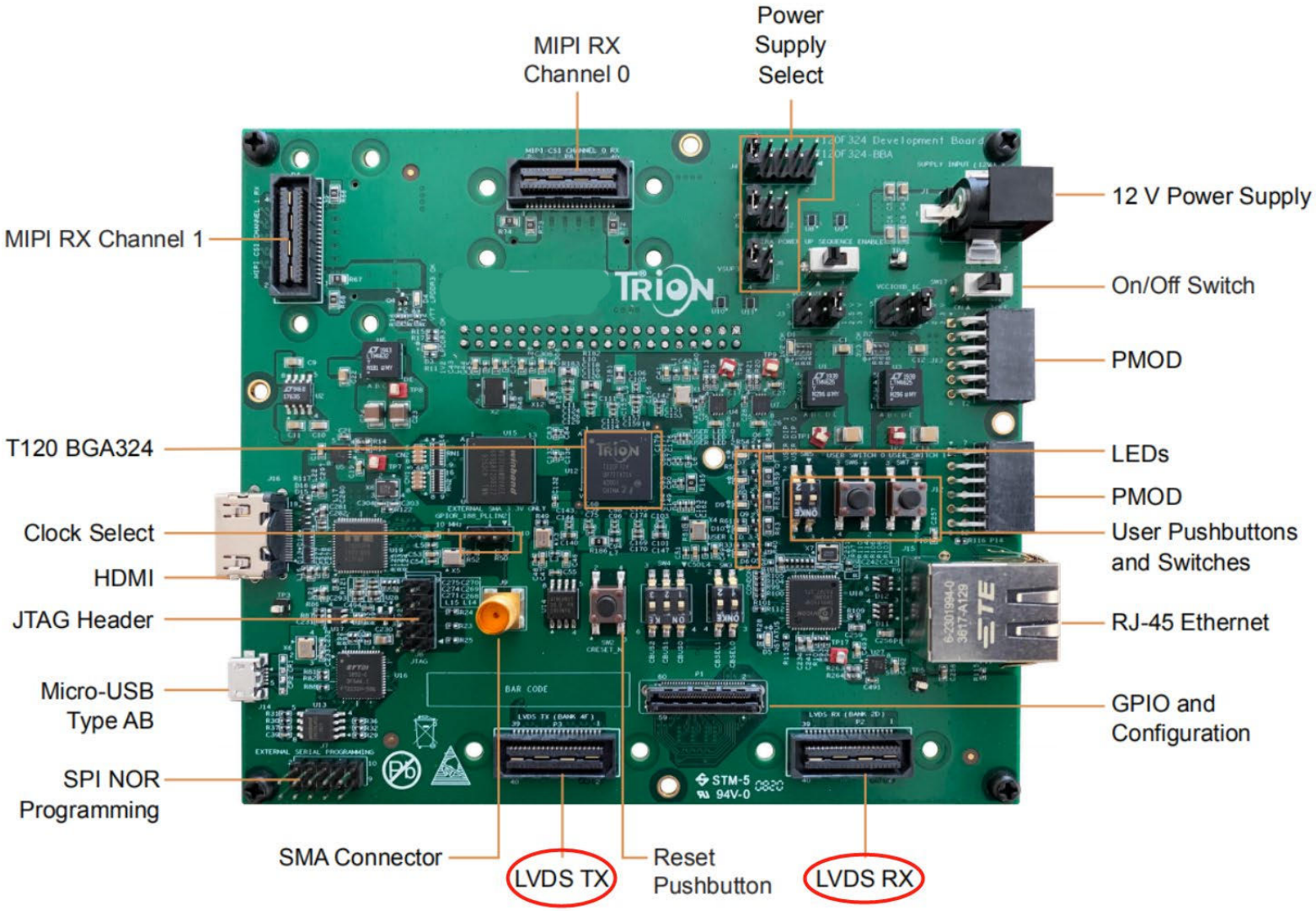
Efinity software 版本： 2020.2.299



开发环境 - 硬件

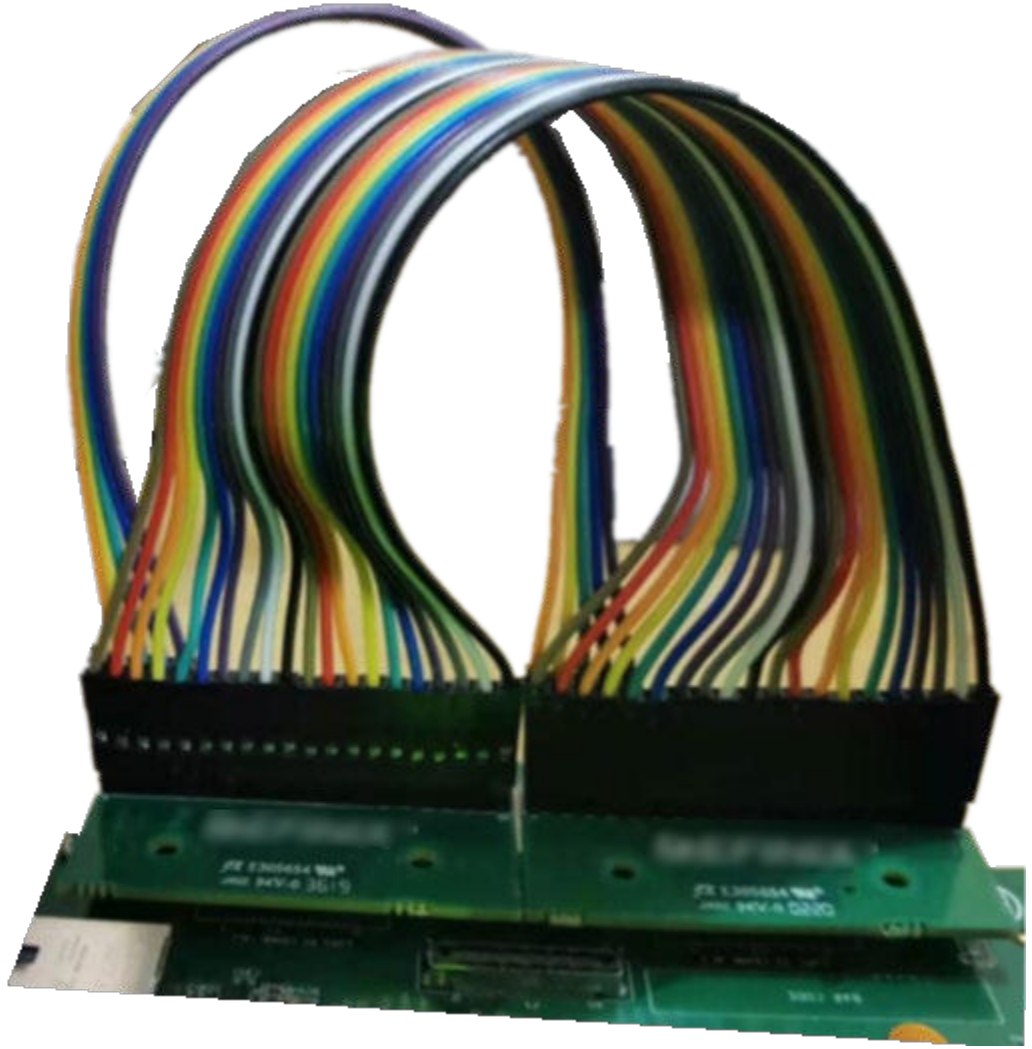
- 开发板：T120 BGA324
- LVDS扩展子卡（2个）





开发环境 - 连接方式

- 2个LVDS扩展子卡分别接到开发板（T120 BAG324）的P3（LVDS TX）和 P2（LVDS RX）
- 2个LVDS扩展子卡之间通过杜邦线连接
  - P2 和P3对应LVDS子卡的所有奇数IO 如：GPIO_H01, GPIO_H03, ... GPIO_H039，偶数IO GPIO_H02，GPIO_H04，GPIO_H06，GPIO_H08，GPIO_H10，相同PIN号的IO通过杜邦线连接；
    - 例如LVDS子卡（P2）的GPIO_H01与LVDS子卡（P3）的GPIO_H01连接；
- 通过USB连接JTAG口
- 接通电源适配器



LVDS DEMO

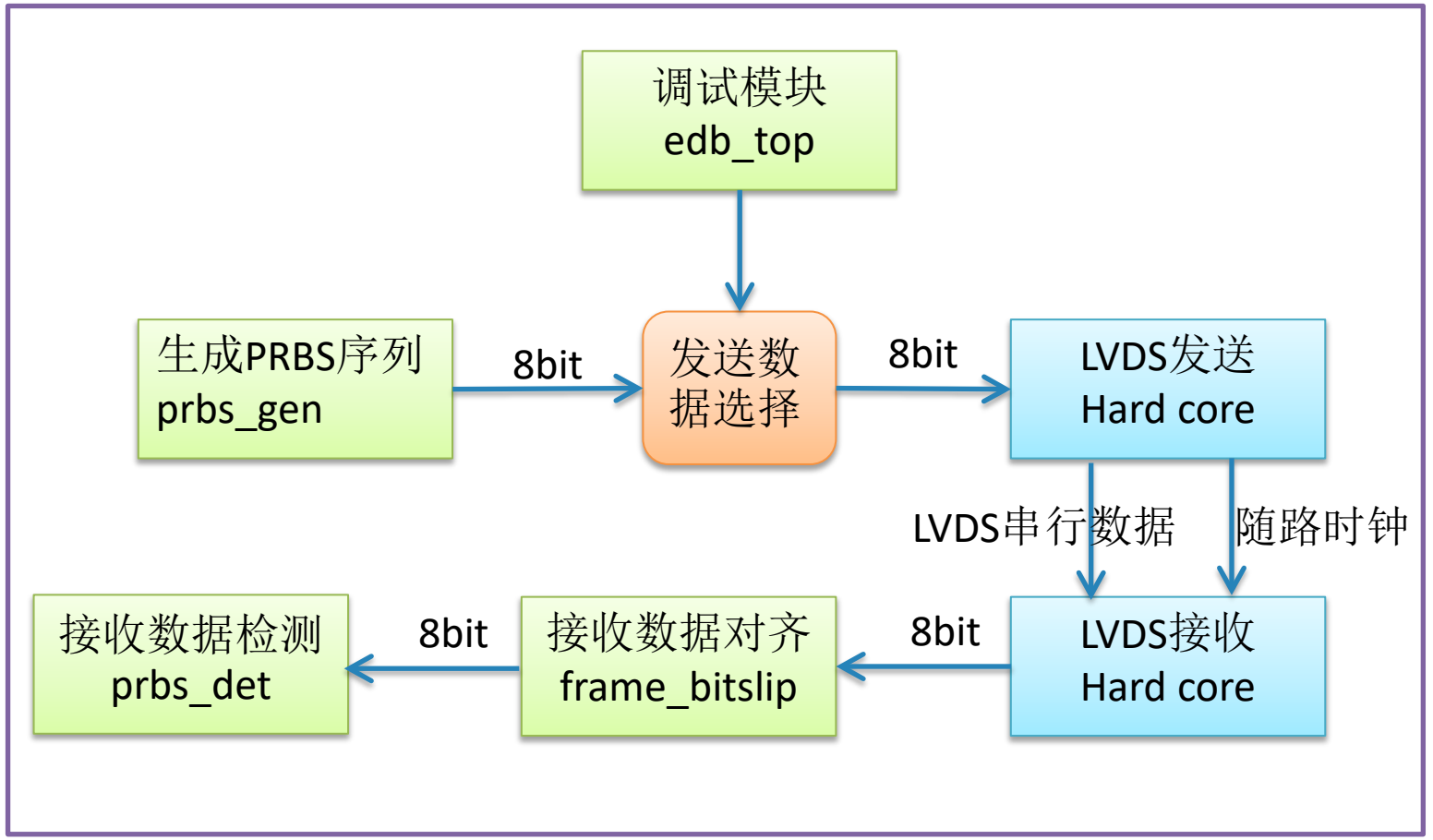
- 文件目录
- 模块框图和功能介绍
- IO分配
- interface designer
- VIO简介
- ILA简介

LVDS DEMO - 文件目录

- **Efinity_2020.2.299_V0.1 目录**
  - lvds_loopback.xml　　工程文件
  - lvds_loopback.peri.xml　　Interface Designer 设计文件
  - debug_profile.json　　Debuger配置文件
  - debug_top.v　　Debuger顶层代码
- **rtl 目录**
  - lvds_loopback_top.v　　lvds loopback顶层 代码
  - prbs_gen.v　　生产prbs码
  - prbs_det.v　　接收数据比对
  - frame_bitslip.v　　接收数据对准模块
- **sdc 目录**
  - lvds_loopback.sdc　　时钟约束文件
- **doc 目录**
  - LVDS 培训 V1.0.pptx　　本文档
  - Readme.txt　　版本修改记录

LVDS DEMO - 模块框图和功能介绍

- LVDS TX可通过VIO选择发送PRBS序列还是固定数
- 可通过对数据对齐模块对数据对齐校准，并在数据检测模块中进行比对，检测误码
- 可以通过VIO观察
  - 系统工作状态
  - bitslip功能的作用效果



LVDS DEMO - IO分配

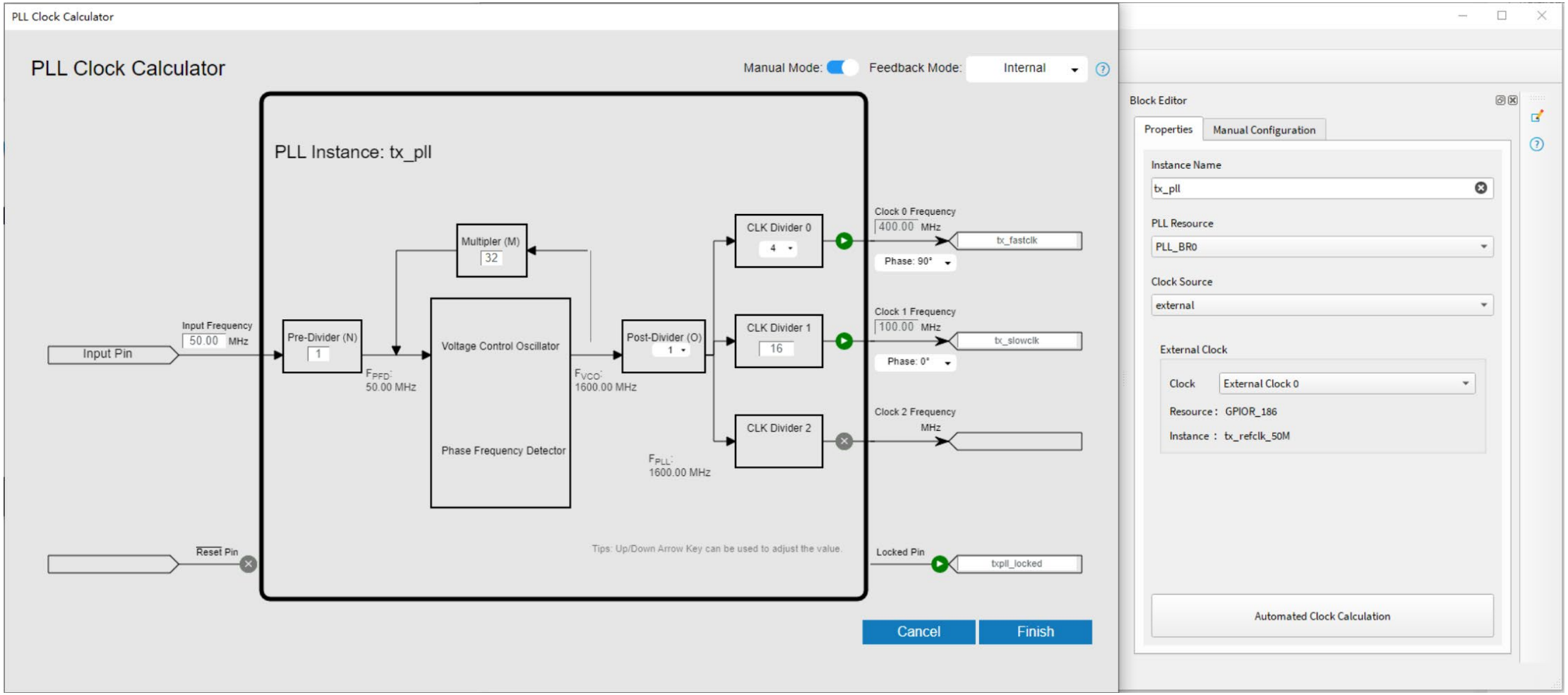
FPGA IO(T120F324）	说明	in/out	器件内部连接	对应LVDS子卡IO
GPIOT_RXP24	USER_LED0（测试误码状态）	output	core	-
GPIOT_RXN24	USER_LED1（锁相环锁定指示）	output	core	-
GPIOT_RXP27	USER_LED2（发送数据指示）	output	core	-
GPIOT_RXN27	USER_LED3（接收数据指示）	output	core	-
GPIOR_186_PLLIN0	clk in(50 MHz)	input	PLL_BR0	-
GPIOB_TXP00	lvds tx clk_P	output	LVDS TX hard core	GPIO_H01（P3）
GPIOB_TXN00	lvds tx clk_N	output	LVDS TX hard core	GPIO_H03（P3）
GPIOB_TXP01	lvds tx data1_P	output	LVDS TX hard core	GPIO_H07（P3）
GPIOB_TXN01	lvds tx data1_N	output	LVDS TX hard core	GPIO_H09（P3）
GPIOB_TXP02	lvds tx data2_P	output	LVDS TX hard core	GPIO_H13（P3）
GPIOB_TXN02	lvds tx data2_N	output	LVDS TX hard core	GPIO_H15（P3）
GPIOB_TXP03	lvds tx data3_P	output	LVDS TX hard core	GPIO_H19（P3）
GPIOB_TXN03	lvds tx data3_N	output	LVDS TX hard core	GPIO_H21（P3）
GPIOB_TXP04	lvds tx data4_P	output	LVDS TX hard core	GPIO_H25（P3）
GPIOB_TXN04	lvds tx data4_N	output	LVDS TX hard core	GPIO_H27（P3）
GPIOB_TXP05	lvds tx data5_P	output	LVDS TX hard core	GPIO_H31（P3）
GPIOB_TXN05	lvds tx data5_N	output	LVDS TX hard core	GPIO_H33（P3）
GPIOB_TXP06	lvds tx data6_P	output	LVDS TX hard core	GPIO_H37（P3）
GPIOB_TXN06	lvds tx data6_N	output	LVDS TX hard core	GPIO_H39（P3）
GPIOB_TXP07	lvds tx data7_P	output	LVDS TX hard core	GPIO_H02（P3）
GPIOB_TXN07	lvds tx data7_N	output	LVDS TX hard core	GPIO_H04（P3）
GPIOB_TXP08	lvds tx data8_P	output	LVDS TX hard core	GPIO_H08（P3）
GPIOB_TXN08	lvds tx data8_N	output	LVDS TX hard core	GPIO_H10（P3）

LVDS DEMO - IO分配（续）

FPGA IO(T120F324）	说明	in/out	器件内部连接	对应LVDS子卡IO
GPIOT_RXP09_CLKP0	lvds rx clk_P	input	LVDS RX hard core	GPIO_H01（P2）
GPIOT_RXN09_CLKN0	lvds rx clk_N	input	LVDS RX hard core	GPIO_H03（P2）
GPIOB_RXP01	lvds rx data1_P	input	LVDS RX hard core	GPIO_H07（P2）
GPIOB_RXN01	lvds rx data1_N	input	LVDS RX hard core	GPIO_H09（P2）
GPIOB_RXP02	lvds rx data2_P	input	LVDS RX hard core	GPIO_H13（P2）
GPIOB_RXN02	lvds rx data2_N	input	LVDS RX hard core	GPIO_H15（P2）
GPIOB_RXP03	lvds rx data3_P	input	LVDS RX hard core	GPIO_H19（P2）
GPIOB_RXN03	lvds rx data3_N	input	LVDS RX hard core	GPIO_H21（P2）
GPIOB_RXP04	lvds rx data4_P	input	LVDS RX hard core	GPIO_H25（P2）
GPIOB_RXN04	lvds rx data4_N	input	LVDS RX hard core	GPIO_H27（P2）
GPIOB_RXP05	lvds rx data5_P	input	LVDS RX hard core	GPIO_H31（P2）
GPIOB_RXN05	lvds rx data5_N	input	LVDS RX hard core	GPIO_H33（P2）
GPIOB_RXP06	lvds rx data6_P	input	LVDS RX hard core	GPIO_H37（P2）
GPIOB_RXN06	lvds rx data6_N	input	LVDS RX hard core	GPIO_H39（P2）
GPIOB_RXP07	lvds rx data7_P	input	LVDS RX hard core	GPIO_H02（P2）
GPIOB_RXN07	lvds rx data7_N	input	LVDS RX hard core	GPIO_H04（P2）
GPIOB_RXP08	lvds rx data8_P	input	LVDS RX hard core	GPIO_H08（P2）
GPIOB_RXN08	lvds rx data8_N	input	LVDS RX hard core	GPIO_H10（P2）

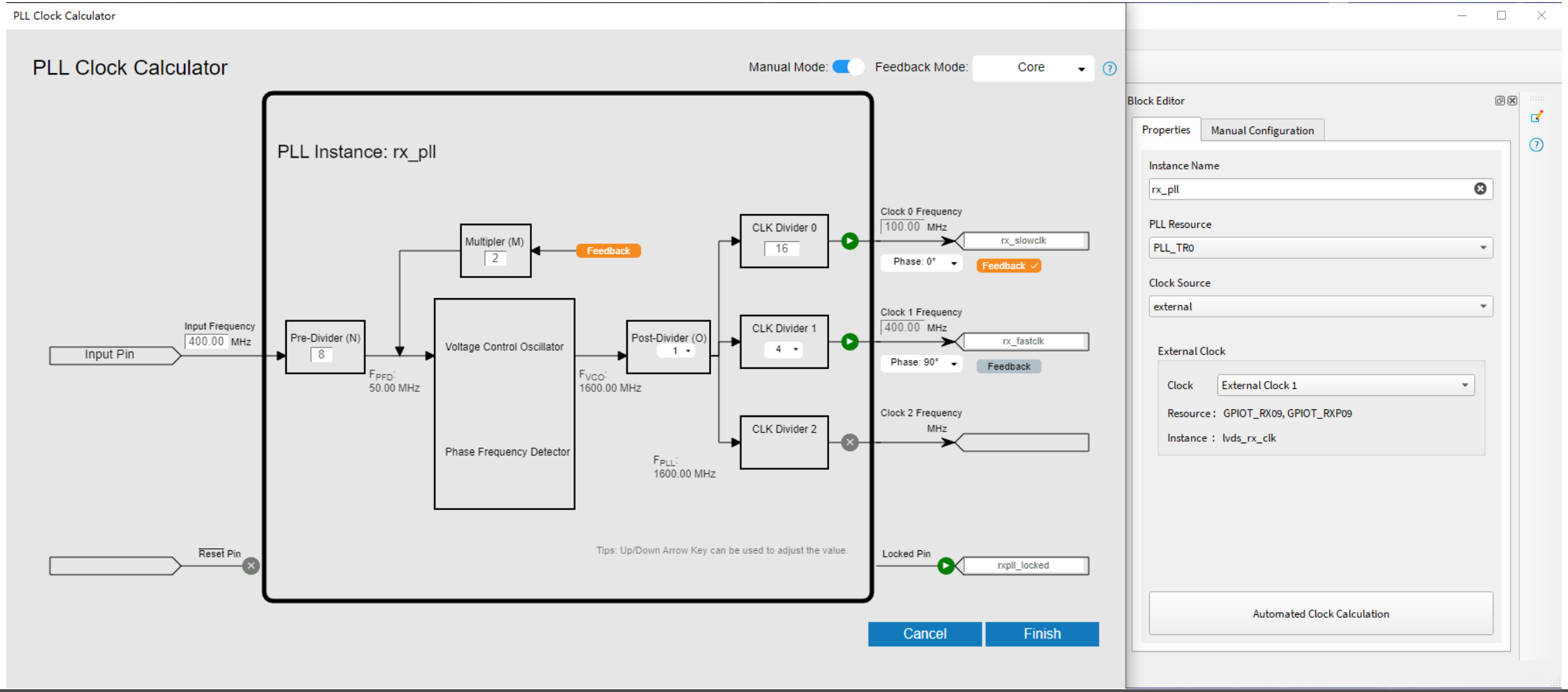
LVDS DEMO - interface designer

- LVDS TX PLL

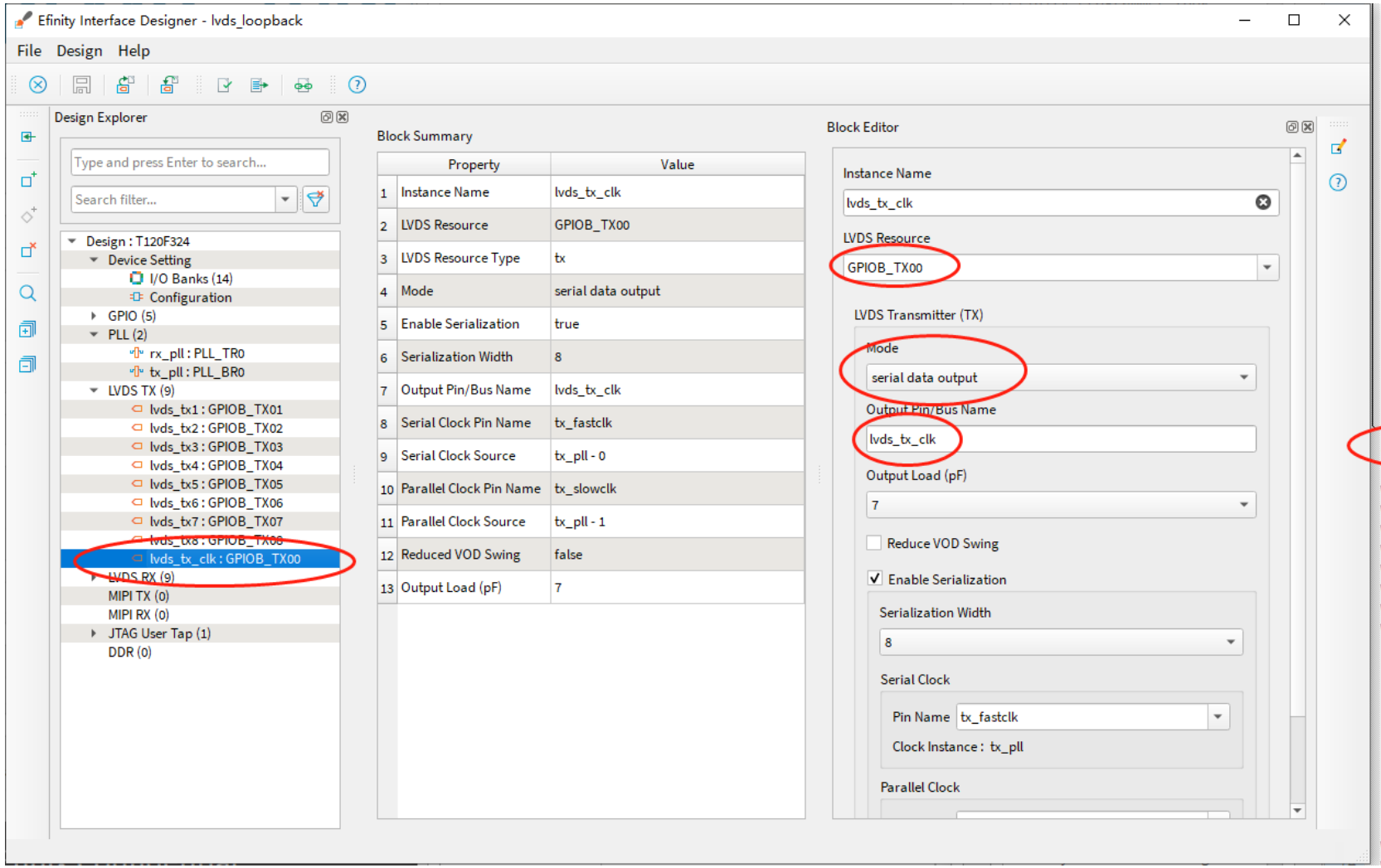


LVDS DEMO - interface designer

- LVDS RX PLL



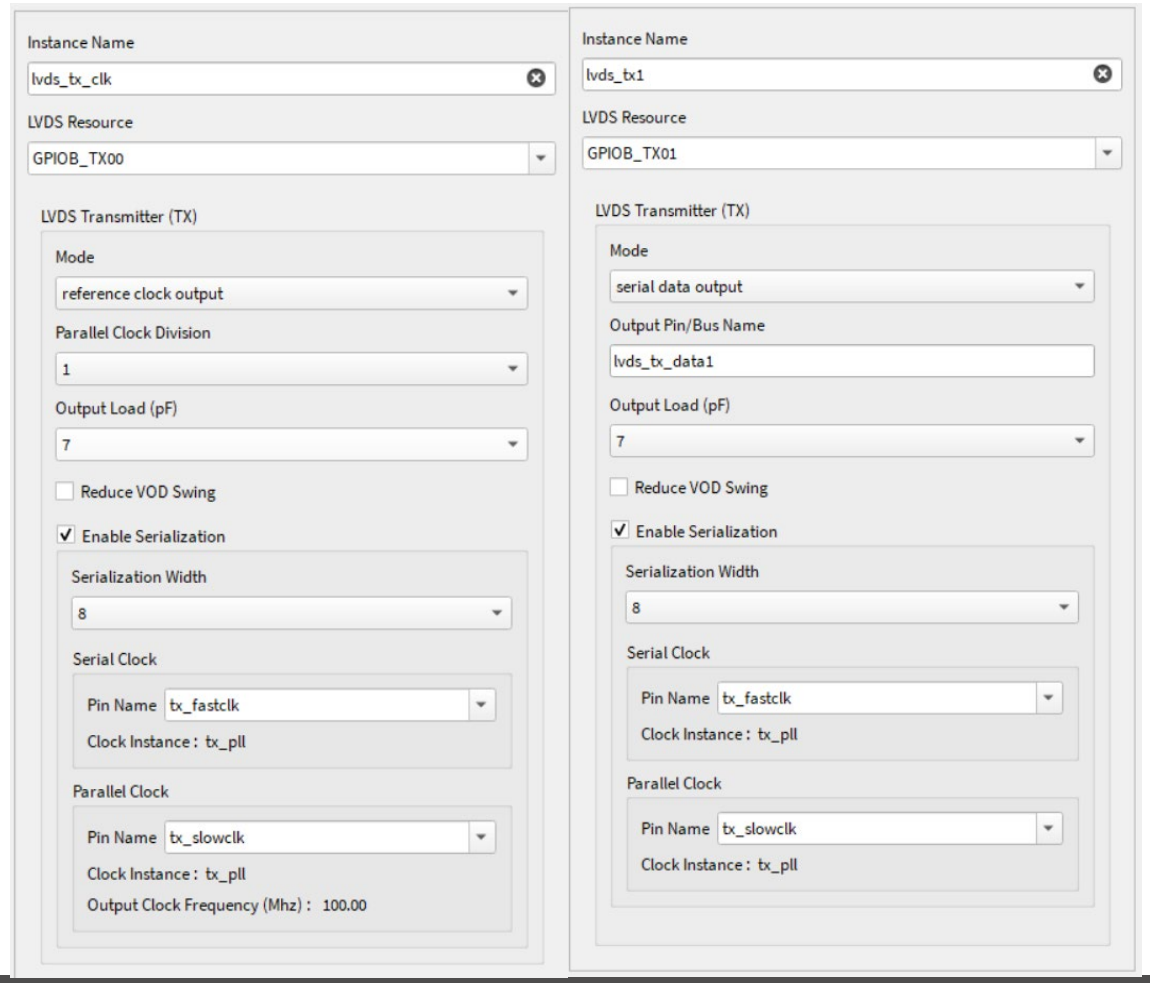
LVDS DEMO - LVDS TX clk



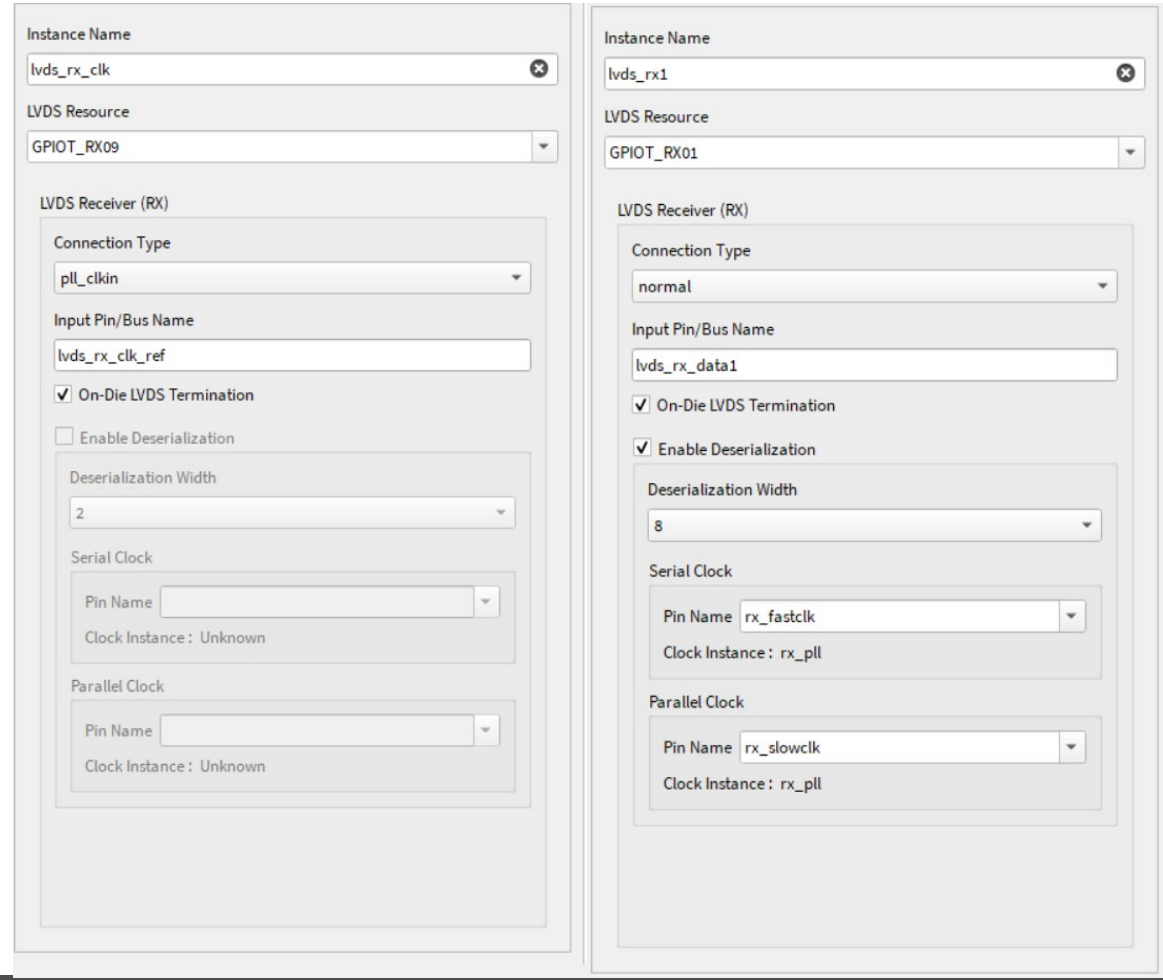

```
    input                   txpll_locked        ,
    input                   rxpll_locked        ,
    input           [7:0]   lvds_rx_data1       ,
    input           [7:0]   lvds_rx_data2       ,
    input           [7:0]   lvds_rx_data3       ,
    input           [7:0]   lvds_rx_data4       ,
    input           [7:0]   lvds_rx_data5       ,
    input           [7:0]   lvds_rx_data6       ,
    input           [7:0]   lvds_rx_data7       ,
    input           [7:0]   lvds_rx_data8       ,
//output
    output  reg     [7:0]   lvds_tx_data1       ,
    output  reg     [7:0]   lvds_tx_data2       ,
    output  reg     [7:0]   lvds_tx_data3       ,
    output  reg     [7:0]   lvds_tx_data4       ,
    output  reg     [7:0]   lvds_tx_data5       ,
    output  reg     [7:0]   lvds_tx_data6       ,
    output  reg     [7:0]   lvds_tx_data7       ,
    output  reg     [7:0]   lvds_tx_data8       ,
    output          [7:0]   lvds_tx_clk         ,
    output          [3:0]   led
);
assign lvds_tx_clk = 8'h55;

wire        [7:0]   lvds_rx_data_slip1  ;
wire        [7:0]   lvds_rx_data_slip2  ;
wire        [7:0]   lvds_rx_data_slip3  ;
wire        [7:0]   lvds_rx_data_slip4  ;
wire        [7:0]   lvds_rx_data_slip5  ;
wire        [7:0]   lvds_rx_data_slip6  ;
wire        [7:0]   lvds_rx_data_slip7  ;
wire        [7:0]   lvds_rx_data_slip8  ;

reg                 bitslip1            ;
reg                 bitslip2            ;
reg                 bitslip3            ;
reg                 bitslip4            ;
reg                 bitslip5            ;
reg                 bitslip6            ;
reg                 bitslip7            ;
reg                 bitslip8            ;

wire                vio_bitslip1        ;
```

LVDS DEMO - interface designer

LVDS TX



LVDS RX



LVDS DEMO - VIO简介: vio_ctrl_status

vio_lvds_tx_data ： 通过VIO产生LVDS的发送数据
data_source ： 发送数据选择控制信号
-- 0： vio_lvds_tx_data
-- 1： prbs data
bitslip_binding ： 数据位对齐控制信号 绑定控制
-- 0： 不绑定
--1： 绑定
bitslip_all ： 所有数据位对齐控制信号（bitslip_binding = 1）
bitslipn ： 第n路数据位对齐控制信号（bitslip_binding = 0）
pll_locked ： LVDS PLL锁定指示(TX & RX ）
tx_heartbeat ： LVDS TX 工作状态指示（闪烁）
rx_heartbeat ： LVDS RX 工作状态指示（闪烁）
det_pass ： 数据检测结果指示（PRBS模式）
-- 0: 检测结果不正确
-- 1: 检测结果无误码
statn ： 第n路prbs数据比对状态
-- 0: 有误码
-- 1: 无误码

vio_ctrl_status

Name	Type	Width	Radix	Value
data_source	Source	1	Hex	0
lvds_tx_data	Source	8	Hex	5a
bitslip_binding	Source	1	Hex	0
bitslip_all	Source	1	Hex	1
bitslip1	Source	1	Hex	1
bitslip2	Source	1	Hex	0
bitslip3	Source	1	Hex	0
bitslip4	Source	1	Hex	0
bitslip5	Source	1	Hex	0
bitslip6	Source	1	Hex	0
bitslip7	Source	1	Hex	0
bitslip8	Source	1	Hex	0
pll_locked	Probe	1	Hex	1
rx_heartbeat	Probe	1	Hex	1
tx_heartbeat	Probe	1	Hex	1
det_pass	Probe	1	Hex	0
stat1	Probe	1	Hex	0
stat2	Probe	1	Hex	0
stat3	Probe	1	Hex	0
stat4	Probe	1	Hex	0
stat5	Probe	1	Hex	0
stat6	Probe	1	Hex	0
stat7	Probe	1	Hex	0
stat8	Probe	1	Hex	0

LVDS DEMO - VIO简介：vio_tx_data

lvds_tx_datan ： 第n路LVDS发送数据（ to LVDS tx硬core）

vio_tx_data

Name	Type	Width	Radix	Value
lvds_tx_data1	Probe	8	Hex	5a
lvds_tx_data2	Probe	8	Hex	5a
lvds_tx_data3	Probe	8	Hex	5a
lvds_tx_data4	Probe	8	Hex	5a
lvds_tx_data5	Probe	8	Hex	5a
lvds_tx_data6	Probe	8	Hex	5a
lvds_tx_data7	Probe	8	Hex	5a
lvds_tx_data8	Probe	8	Hex	5a

LVDS DEMO - VIO简介: vio_tx_data

lvds_rx_datan　　：第n路LVDS接收数据
（from LVDS rx 硬core）

lvds_rx_data_slipn　：第n路LVDS接收数据
（经过数据对齐模块之后）

vio_rx_data

Name	Type	Width	Radix	Value
lvds_rx_data1	Probe	8	Hex	5a
lvds_rx_data2	Probe	8	Hex	5a
lvds_rx_data3	Probe	8	Hex	5a
lvds_rx_data4	Probe	8	Hex	5a
lvds_rx_data5	Probe	8	Hex	5a
lvds_rx_data6	Probe	8	Hex	5a
lvds_rx_data7	Probe	8	Hex	5a
lvds_rx_data8	Probe	8	Hex	5a
lvds_rx_data_slip1	Probe	8	Hex	69
lvds_rx_data_slip2	Probe	8	Hex	69
lvds_rx_data_slip3	Probe	8	Hex	69
lvds_rx_data_slip4	Probe	8	Hex	69
lvds_rx_data_slip5	Probe	8	Hex	69
lvds_rx_data_slip6	Probe	8	Hex	69
lvds_rx_data_slip7	Probe	8	Hex	69
lvds_rx_data_slip8	Probe	8	Hex	69

LVDS DEMO ILA简介：观察比对LVDS TX 和 RX 数据