

MIPI CSI-2 D-HPY

协议介绍

主要内容

1

关于串行接口

2

MIPI联盟

3

MIPI CSI-2架构

4

协议层

5

物理层

一、关于串行接口

- 1、串行接口一般采用差分结构，利用几百mV的差分信号，在收发端之间传送数据。串行比并行相比：更节省PCB板的布线面积，增强空间利用率；差分信号增强了自身的EMI抗干扰能力，同时减少了对其他信号的干扰；低的电压摆幅可以做到更高的速度，更小的功耗；
- 2、差分接口传输的是电流信号，在接收端可以通过差分对之间串接适当阻值的电阻，得到电压信号。

二、MIPI联盟

1、**MIPI**（移动行业处理器接口）是**Mobile Industry Processor Interface**的缩写。

MIPI联盟是一个开放的会员制组织。[2003年7月](#)，由[美国德州仪器](#)（TI）、[意法半导体](#)（ST）、[英国ARM](#)和[芬兰诺基亚](#)（Nokia）4家公司共同成立。MIPI联盟旨在推进手机应用处理器接口的[标准化](#)。

该组织结集了业界老牌的软硬件厂商包括最大的手机芯片厂商TI、影音多媒体芯片领导厂商意法、全球手机巨头诺基亚以及处理器内核领导厂商ARM、还有手机操作系统鼻祖Symbian。随着飞思卡尔、英特尔、三星和爱立信等重量级厂商的加入，MIPI也逐渐被国际标准化组织所认可。

MIPI发展至今已经有90多个会员加入，形成了完整的产业联盟。

目前，MIPI联盟的董事成员包括[英特尔](#)、[摩托罗拉](#)、[诺基亚](#)、[恩智浦](#)、[三星](#)、[意法半导体](#)、[德州仪器](#)。

2、该组织下设了：高速多端链接工作小组(**High-Speed Multipoint Link Working Group**，包含基带、应用处理器、相机模组、蓝牙、和Wi-Fi之间的高速连接)、软件工作小组、显示接口工作小组、存储界面以及负责市场的工作小组。

工作组名称和相应规范名称如下：

1) Camera工作组：

- * MIPI Camera Serial Interface 1.0 specification,

- * Camera Serial Interface 2 v1.0 (CSI-2) ;

2) Device Descriptor Block工作组：暂无规范；

3) DigRF工作组：

- * DigRF BASEBAND/RF DIGITAL INTERFACE SPECIFICATION Version 1.12 ;

4) Display工作组：

- * DBI-2 ,

- * DPI-2,

- * DSI ,

- * DCS ;

5) 高速同步接口工作组：

- * HSI 1.0 ;

6) 接口管理框架工作组：暂无规范；

7) 低速多点连接工作组:

* SLIMbus ;

8) NAND软件工作组: 暂无规范;

9) 物理层工作组:

* D-PHY: MIPI D-PHY Specification v1.00,
MIPI D-PHY Specification v0.90.00,
MIPI D-PHY Specification v0.65,

* M-PHY;

10) 软件工作组: 暂无规范;

11) 系统电源管理工作组

*SPMI ;

12) 检测与调试工作组: 暂无规范;

13) 统一协议工作组:

*UniPro 1 point-to-point

*PIE

三、MIPI CSI-2架构

3.1 总体情况

1. CSI-2是一个单或双向差分串行界面，包含时钟和数据信号。
2. CSI-2的层次结构：CSI-2由应用层、协议层、物理层组成。
 - *协议层包含三层：
 - .像素/字节打包/解包层，
 - .LLP(Low Level Protocol) 层，
 - .LANE管理层；
 - *物理层规范了传输介质、电气特性、IO电路、和同步机制，
物理层遵守MIPI Alliance Standard for D-PHY，
D-PHY为MIPI各个工作组共用标准；
3. 所有的CSI-2接收器和发射器必须支持连续的时钟，可以选择支持不连续时钟；
连续时钟模式时，数据包之间时钟线保持HS模式，非连续时钟模式时，数据包之间时钟线保持LP11状态。

4. 应用举例（2通道）：

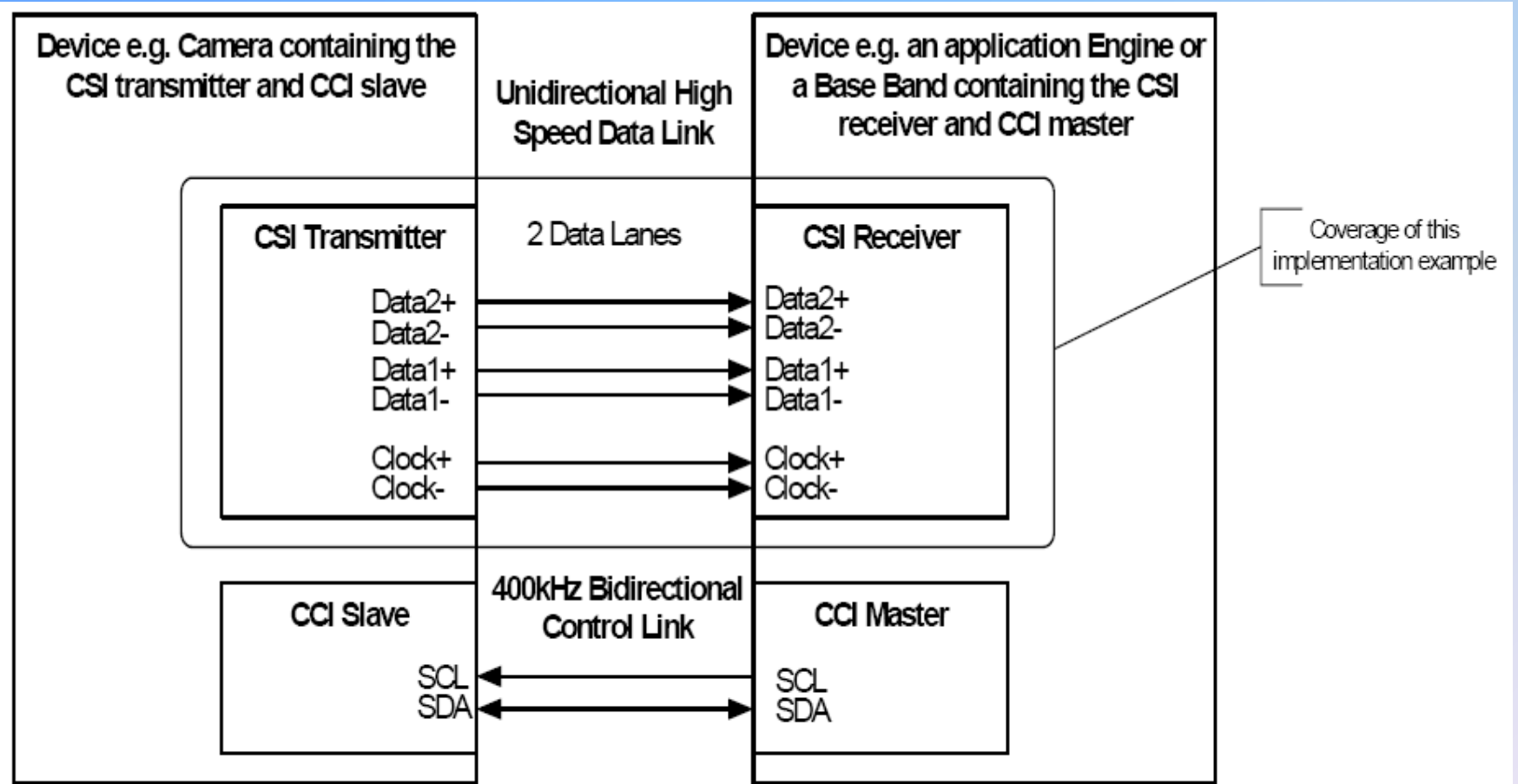


Figure 131 Implementation example block diagram and coverage

5. 发送端结构:

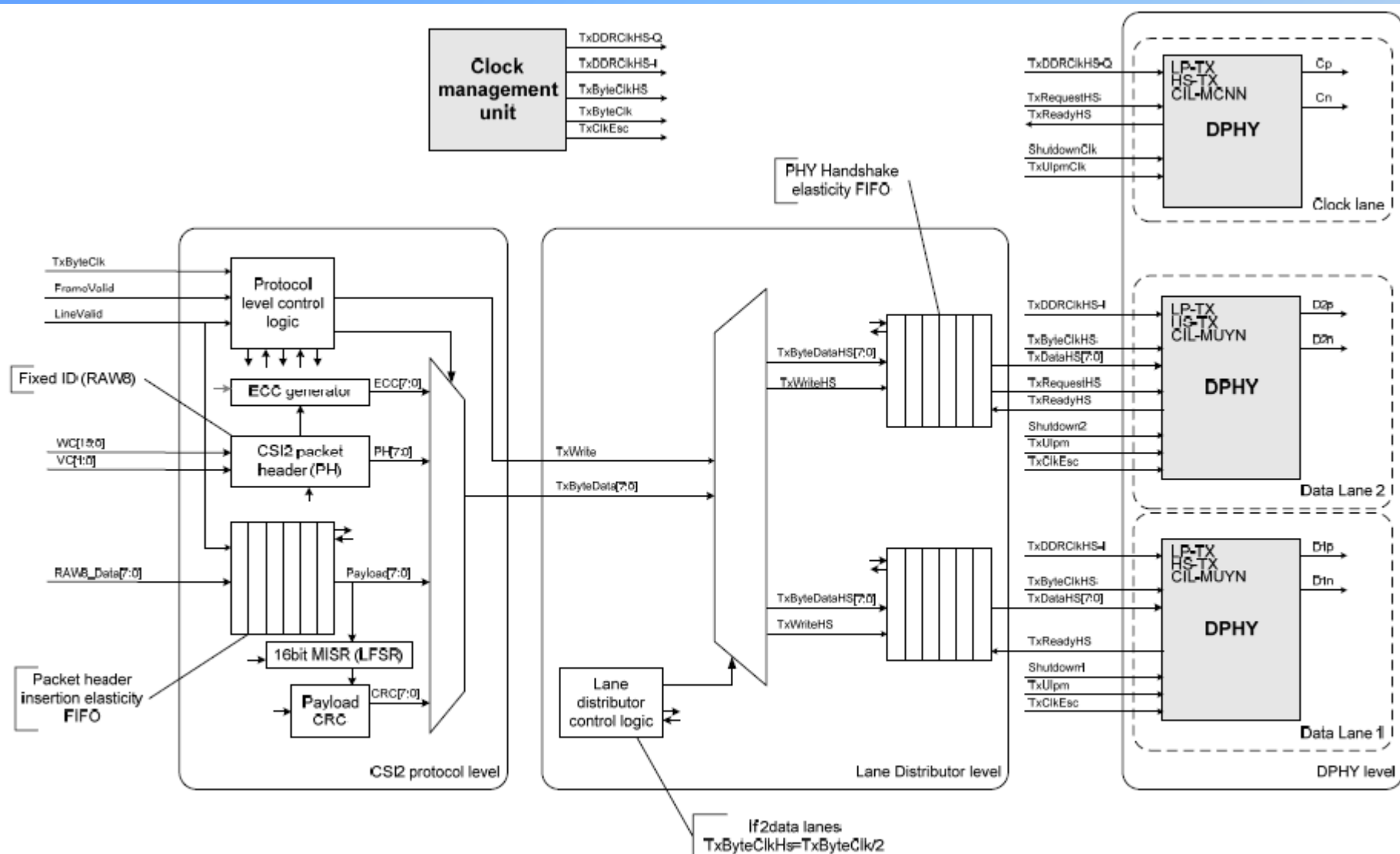


Figure 132 CSI-2 Transmitter Block Diagram

6. 接收端结构:

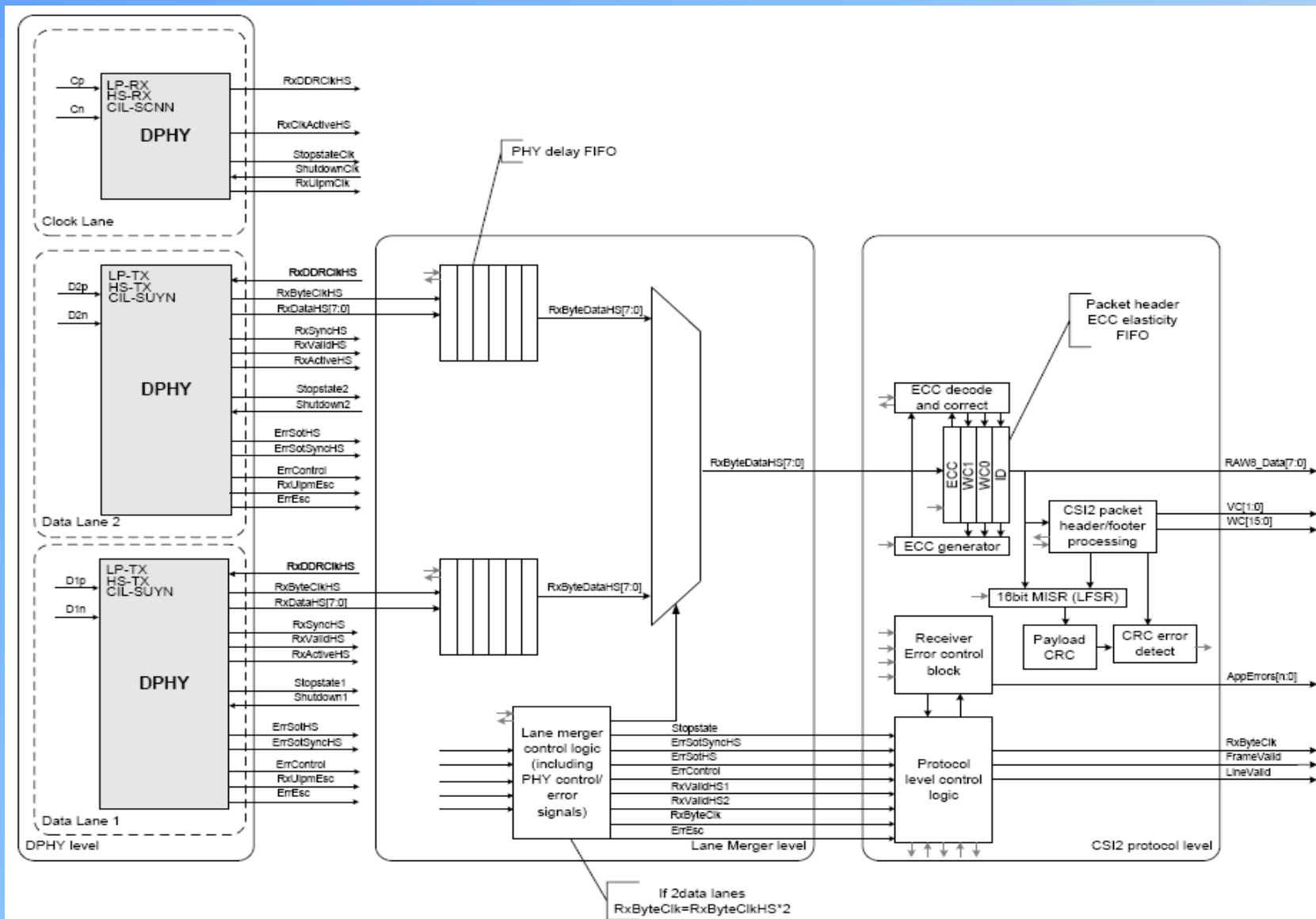
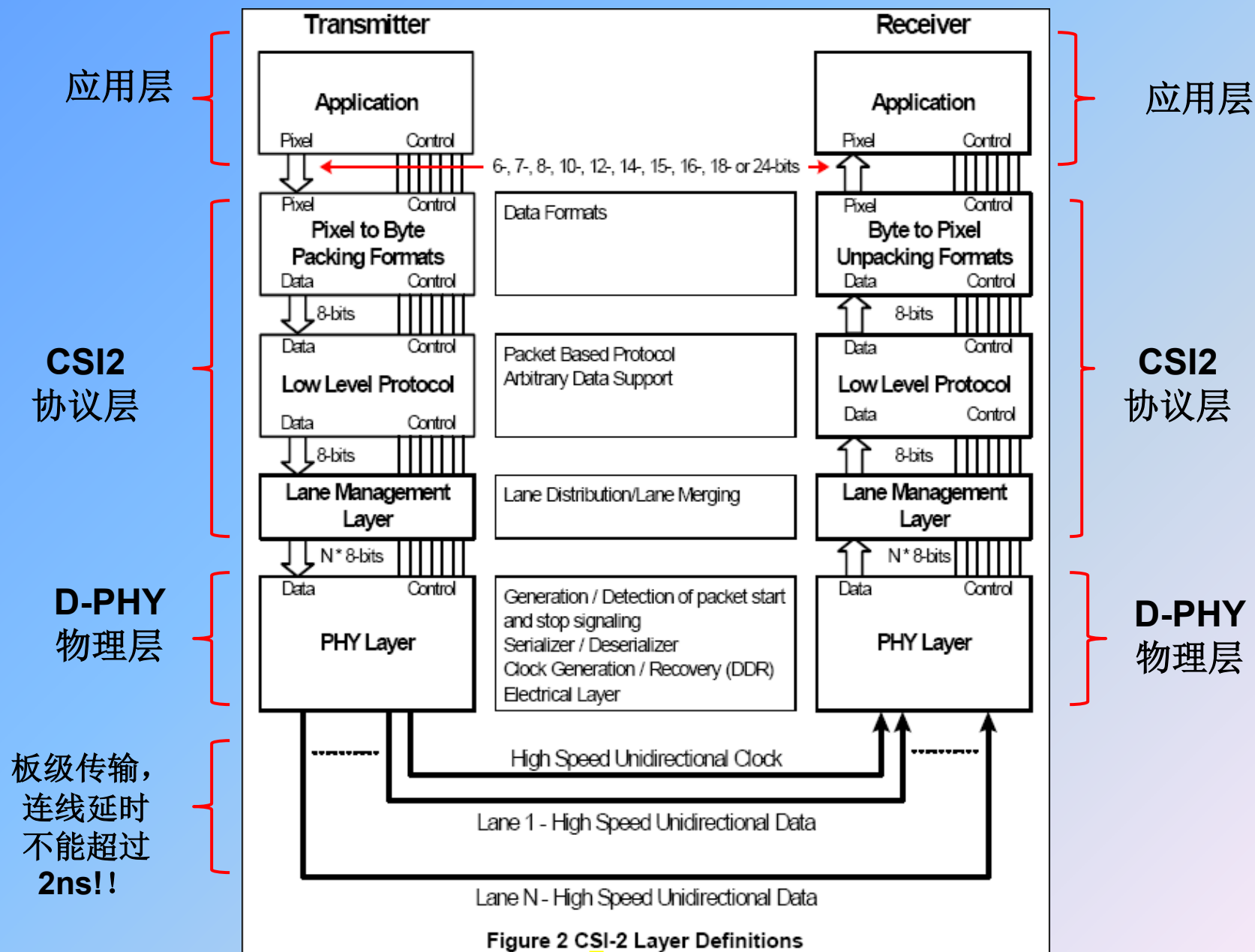


Figure 133 CSI-2 Receiver Block Diagram

7. 总体结构:



四、协议层

4.1、字节打包层：

*因为LLP(Low Level Protocol) 层是一个面向字节的，基于包的协议；所以 在LLP之前必须进行字节打包；

*针对除了Raw8、JPEG8等几种数据本身是8bit的外， Raw10、YUV422、RGB565、RGB555、RGB444等都需要特定的数据顺序：

* YUV422 : CB0Y0CR0 Y1 CB2Y2CR2 Y3 CB4Y4CR4

* RGB565: {G[4:2], B[7:3]}, {R[7:3], G[7:5]}

* RGB555: {G[4:3], 1'B0, B[7:3]}, {R[7:3], G[7:5]}

* RGB444: {G[4], 2'B10, B[7:4], 1'B1}, {R[7:4], 1'B1, G[7:5]}

* Raw10 :

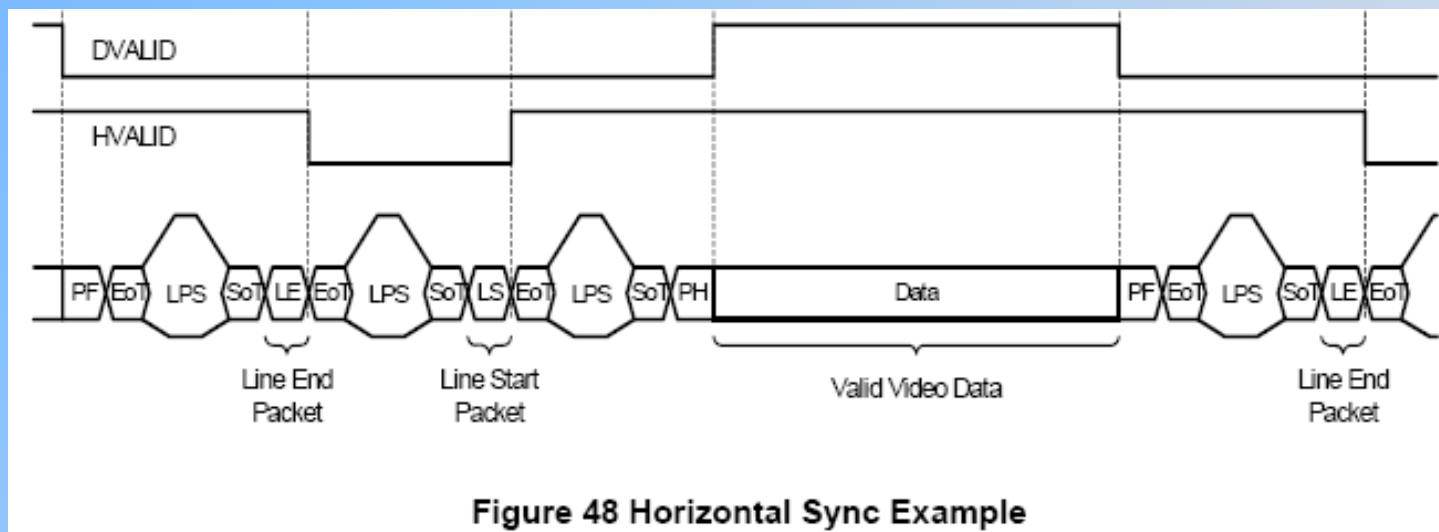
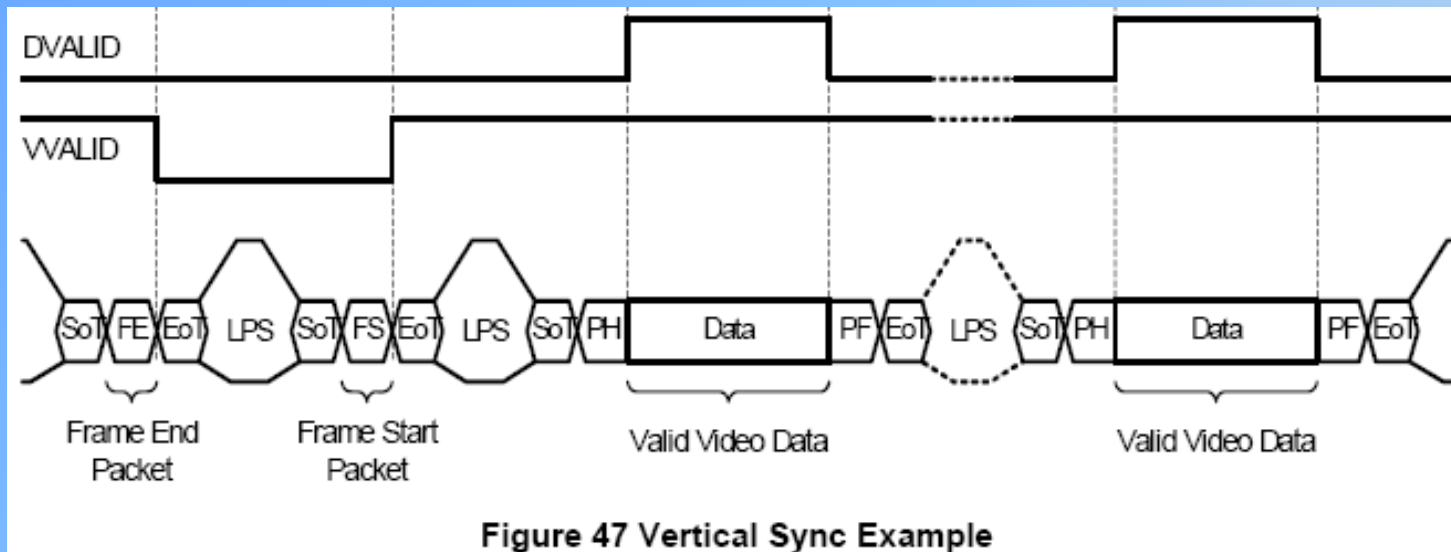
D0[9:2],D1[9:2],D2[9:2] D3[9:2], {D3[1:0],D2[1:0],D1[1:0] ,D0[1:0]}, D4[9:2],D5[9:2],
D6[9:2],D7[9:2], {D7[1:0],D6[1:0],D5[1:0] ,D4[1:0]}

*可以看出，对于Raw10，需要把10bit的数据转换成8bit的数据，需要进行时钟域转换，
Raw10字节打包后的时钟频率=打包前的1.25倍；

*其他格式的打包前后时钟频率相同；

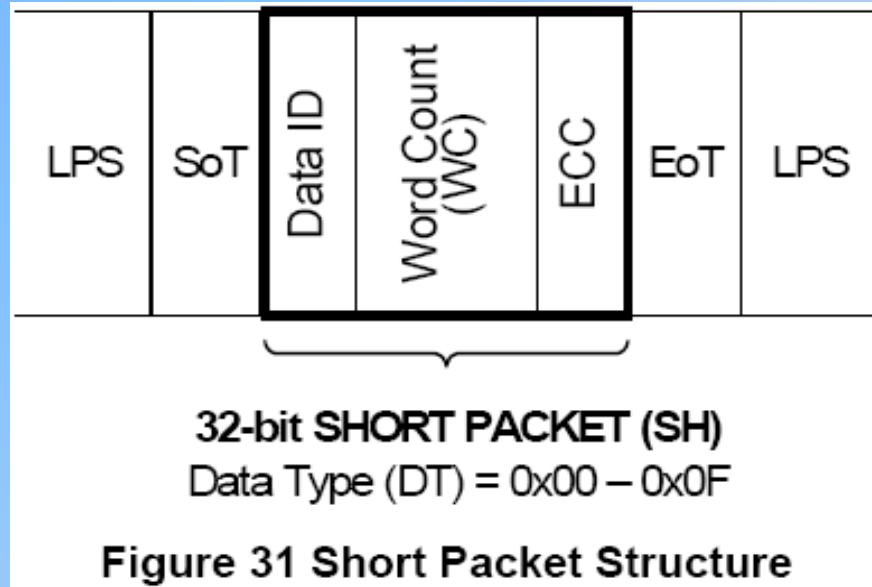
4.2、LLP(Low Level Protocol) 层:

*LLP层是一个面向字节的，基于包的协议；它支持任意大小的数据通过短包和长包格式传输。各个包之间由EOT-LPS-SOT序列隔开。



*同步短包、数据长包：

- .帧同步短包：每帧图象必须开始于帧开始包(FRAME START PACKET)，结束于帧结束包（FRAME END PACKET）；
- .行同步短包是可选的，对于RGB、YUV、RAW数据格式，每个数据长包里面必须包含一整行图象数据，接收端利用WC解出行同步信号。

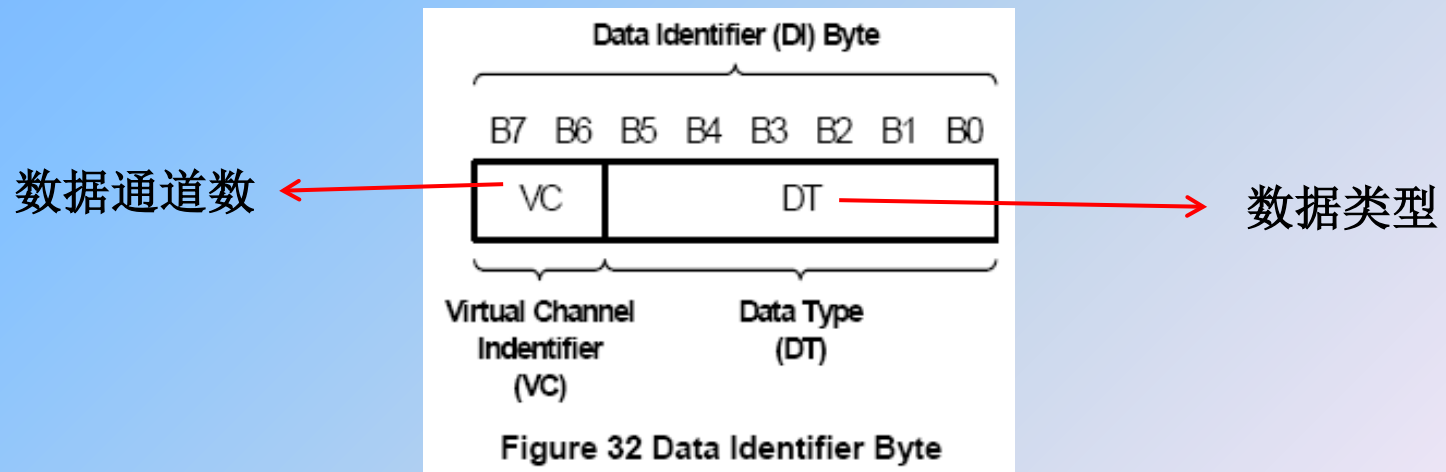


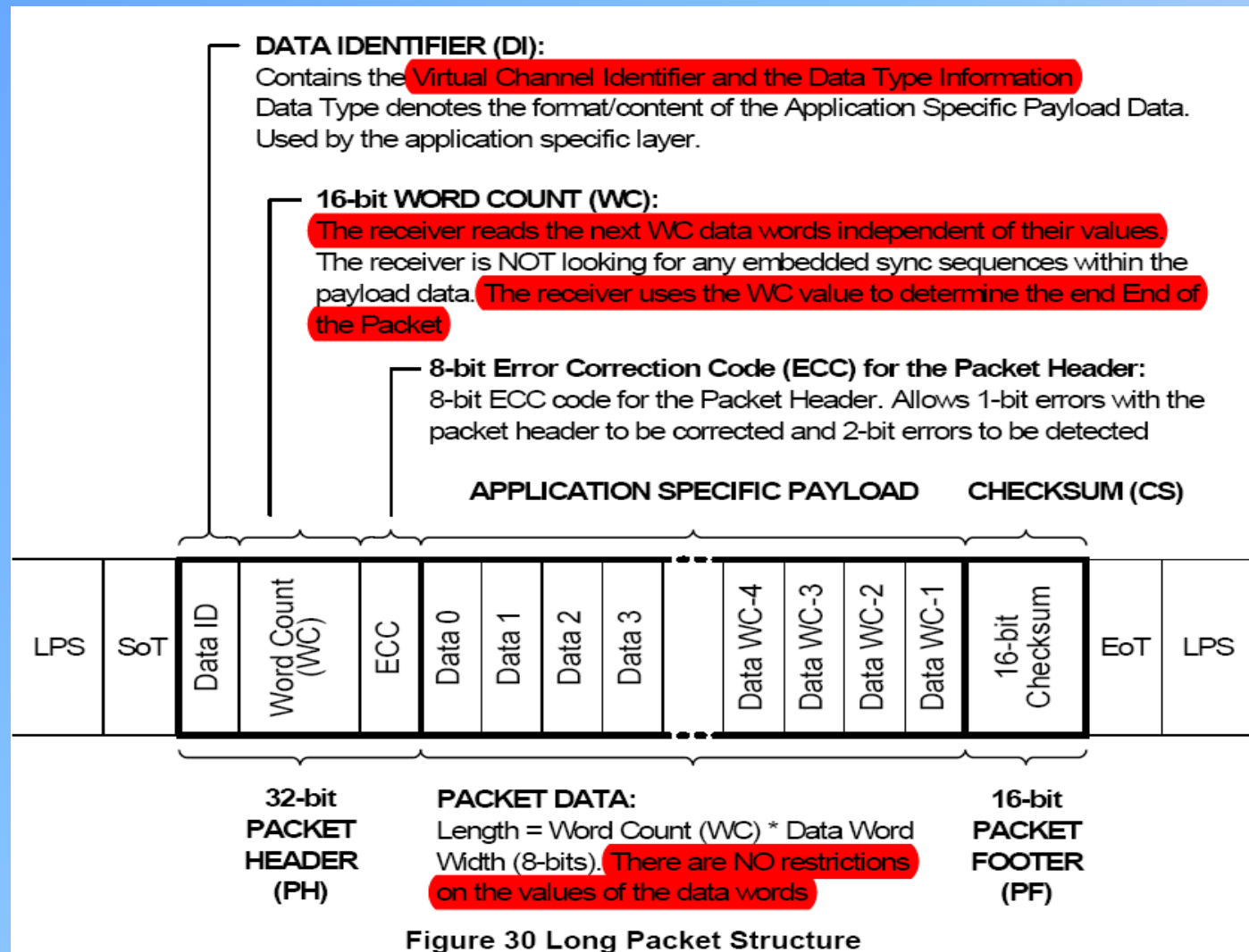
用于帧头帧尾、行头行尾、以及数据长包的包头

Table 6 Synchronization Short Packet Data Type Codes

Data Type	Description
0x00	Frame Start Code
0x01	Frame End Code
0x02	Line Start Code (Optional)
0x03	Line End Code (Optional)
0x04 – 0x07	Reserved

帧头帧尾、行头行尾的DT值





用于数据包

- *长包格式：一个长包由**32位（4Byte）**的包头，**N字节**的数据域，和**16位的CRC**构成
- *短包格式：短包只包含一个**32位（4Byte）**包头；
- *包头格式：包头由**8位数据标志符+16位计数值+8位ECC**构成；
- *数据标志符**DI**：由**2位虚拟通道号+6位数据类型**构成，**CSI2**可以通过不同的虚拟通道号和数据类型来标志不同的数据流，比如**JPEG**数据流中穿插着**YUV**缩略图数据流；
- ***16位计数值WC**：为长包里面数据域（图像数据）的字节数**N**；
在短包里面的**WC**可以默认是**0**，在有需要的情况下表示是第几帧或是第几行。
- ***8位ECC**：允许包头中前**24位（8位数据标志符+16位计数值）**在传输过程中两位出错被发现、一位错误被纠正；
- ***16位CRC**:**16bit**的循环冗余校验码，可以指示收到的该包数据在传输过程中是否出错；
- *每个字节都是低位先传，多字节元素（**16位计数值、16位CRC**）也是低字节低位先传。

- * 数据标志符由两位虚拟通道号和6位数据类型构成，
 - .虚拟通道允许最多四个数据流交叉传输，（比如JPEG数据流中穿插着YUV缩略图数据流）；
 - .6位数据类型允许8类64种数据类型：
 - 0x00 – 0x07 Synchronization Short Packet Data Types
 - 0x08 – 0x0F Generic Short Packet Data Types
 - 0x10 – 0x17 Generic Long Packet Data Types
 - 0x18 – 0x1F YUV Data
 - 0x20 – 0x27 RGB Data
 - 0x28 – 0x2F RAW Data
 - 0x30 – 0x37 User Defined Byte-based Data
 - 0x38 – 0x3F Reserved
 - 0x1E: YUV422 8-bit; 0x20 : RGB444;
 - 0x21 : RGB555; 0x22 : RGB565;
 - 0x2A : RAW8; 0x2B: RAW10;
 - 0x30 : User(比如JPEG);

* 8位ECC:

8~15 位数据需要5位ECC,

16~31 位数据需要6位ECC,

32~63 位数据需要7位ECC,

64~127位数据需要8位ECC,

{DI[7:0], WC[15:0]}为24位, 由2'b00和6位监督位组成:

对24位的标准公式:

$$P7=0,$$

$$P6=0,$$

$$P5=D10^{\wedge}D11^{\wedge}D12^{\wedge}D13^{\wedge}D14^{\wedge}D15^{\wedge}D16^{\wedge}D17^{\wedge}D18^{\wedge}D19^{\wedge}D21^{\wedge}D22^{\wedge}D23,$$

$$P4=D4^{\wedge}D5^{\wedge}D6^{\wedge}D7^{\wedge}D8^{\wedge}D9^{\wedge}D16^{\wedge}D17^{\wedge}D18^{\wedge}D19^{\wedge}D20^{\wedge}D22^{\wedge}D23,$$

$$P3=D1^{\wedge}D2^{\wedge}D3^{\wedge}D7^{\wedge}D8^{\wedge}D9^{\wedge}D13^{\wedge}D14^{\wedge}D15^{\wedge}D19^{\wedge}D20^{\wedge}D21^{\wedge}D23,$$

$$P2=D0^{\wedge}D2^{\wedge}D3^{\wedge}D5^{\wedge}D6^{\wedge}D9^{\wedge}D11^{\wedge}D12^{\wedge}D15^{\wedge}D18^{\wedge}D20^{\wedge}D21^{\wedge}D22,$$

$$P1=D0^{\wedge}D1^{\wedge}D3^{\wedge}D4^{\wedge}D6^{\wedge}D8^{\wedge}D10^{\wedge}D12^{\wedge}D14^{\wedge}D17^{\wedge}D20^{\wedge}D21^{\wedge}D22^{\wedge}D23,$$

$$P0=D0^{\wedge}D1^{\wedge}D2^{\wedge}D4^{\wedge}D5^{\wedge}D7^{\wedge}D10^{\wedge}D11^{\wedge}D13^{\wedge}D16^{\wedge}D20^{\wedge}D21^{\wedge}D22^{\wedge}D23;$$



ECC对照表

接收机收到包头后，也计算一次ECC，然后与收到的ECC相异或，

*若异或结果为0，则说明收到的{WC[15:0], DI[7:0]}无错；

*否则，用异或结果查表，若异或结果与表中的某一项相同，则指示相应的位出错，相应的位取反就得到正确结果；

*但若异或结果与表中的任一项都不同，则说明有两位以上出错；

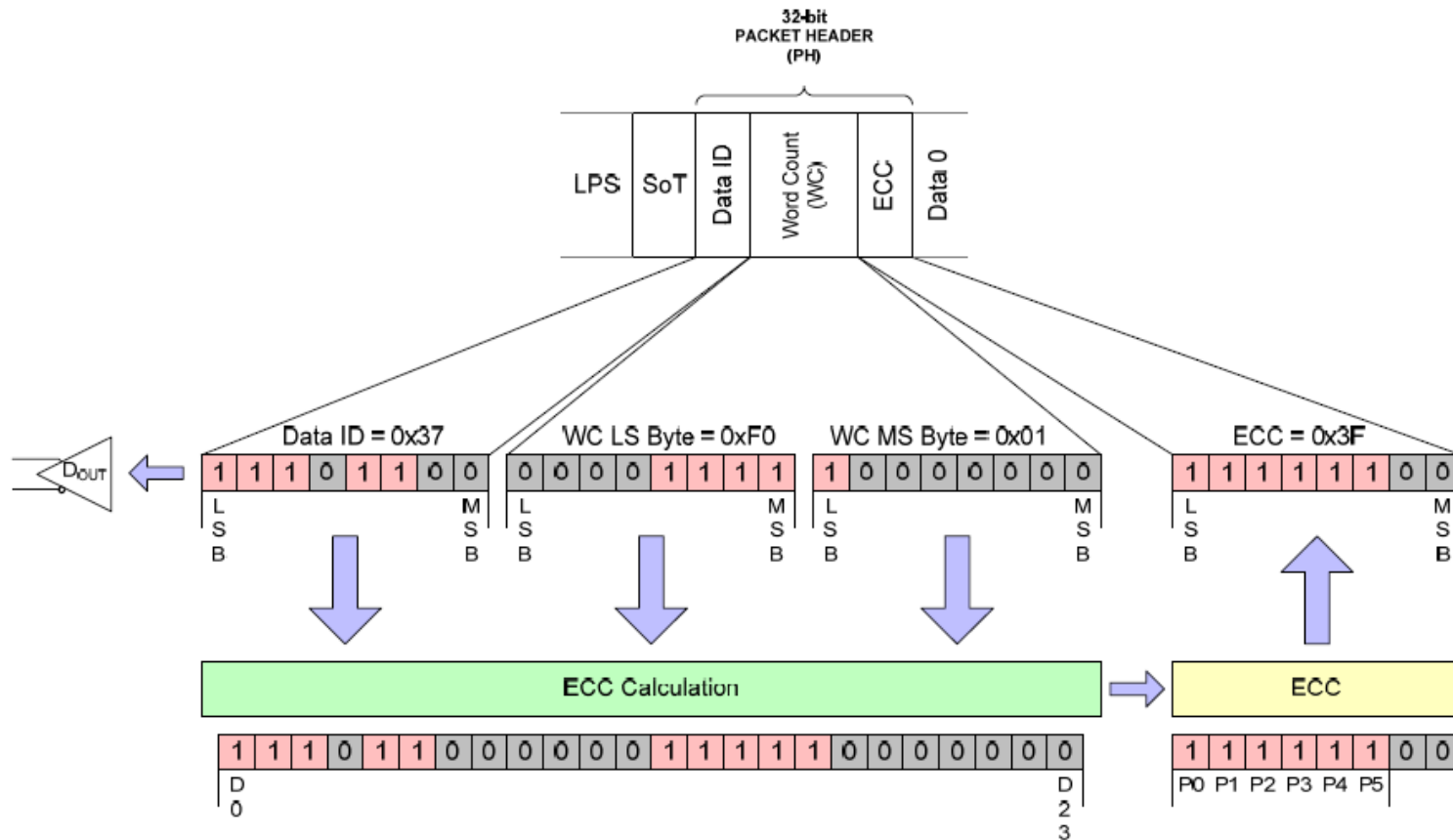


Figure 35 24-bit ECC Generation Example

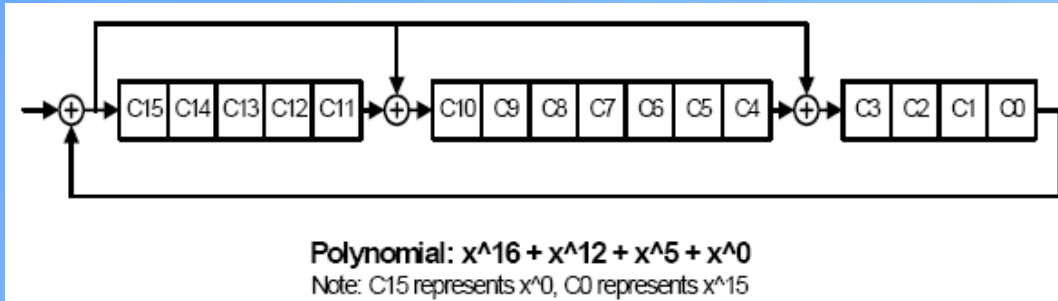


* 16位CRC循环冗余校验码：可以指示收到的该包数据在传输过程中是否出错；

CSI2里面采用CRC16 CCITT：生成多项式 $g(x)=x^{16}+x^{12}+x^5+1$



CRC16 CCITT
并行推导

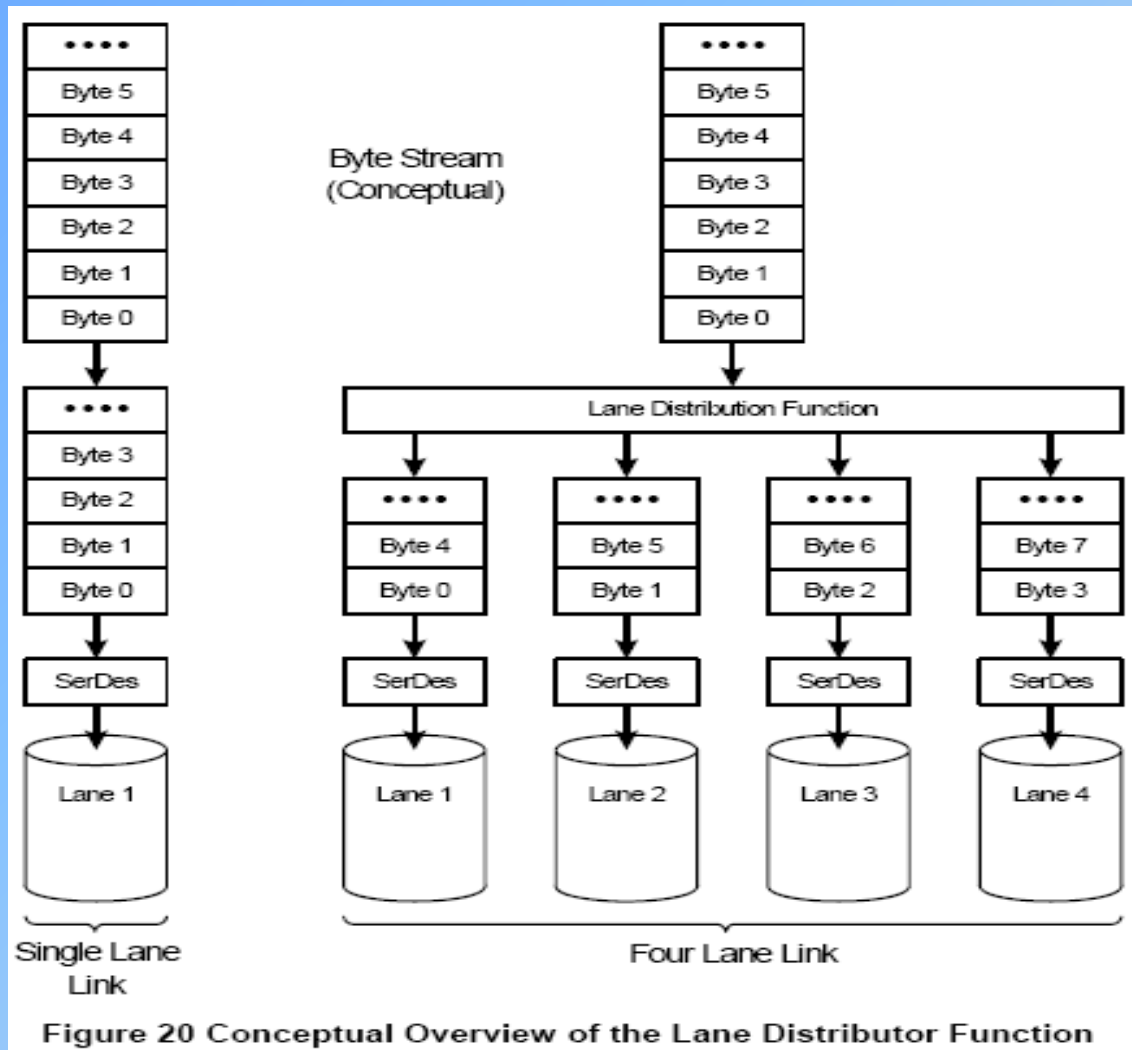


```

CRC[0] = Data[0] ^ Data[4] ^ CRC[0] ^ CRC[4] ^ CRC[8] ;
CRC[1] = Data[1] ^ Data[5] ^ CRC[1] ^ CRC[5] ^ CRC[9] ;
CRC[2] = Data[2] ^ Data[6] ^ CRC[2] ^ CRC[6] ^ CRC[10] ;
CRC[3] = Data[0] ^ Data[3] ^ Data[7] ^ CRC[0] ^ CRC[3] ^ CRC[7] ^ CRC[11] ;
CRC[4] = Data[1] ^ CRC[1] ^ CRC[12] ;
CRC[5] = Data[2] ^ CRC[2] ^ CRC[13] ;
CRC[6] = Data[3] ^ CRC[3] ^ CRC[14] ;
CRC[7] = Data[0] ^ Data[4] ^ CRC[0] ^ CRC[4] ^ CRC[15] ;
CRC[8] = Data[0] ^ Data[1] ^ Data[5] ^ CRC[0] ^ CRC[1] ^ CRC[5] ;
CRC[9] = Data[1] ^ Data[2] ^ Data[6] ^ CRC[1] ^ CRC[2] ^ CRC[6] ;
CRC[10] = Data[2] ^ Data[3] ^ Data[7] ^ CRC[2] ^ CRC[3] ^ CRC[7] ;
CRC[11] = Data[3] ^ CRC[3] ;
CRC[12] = Data[0] ^ Data[4] ^ CRC[0] ^ CRC[4] ;
CRC[13] = Data[1] ^ Data[5] ^ CRC[1] ^ CRC[5] ;
CRC[14] = Data[2] ^ Data[6] ^ CRC[2] ^ CRC[6] ;
CRC[15] = Data[3] ^ Data[7] ^ CRC[3] ^ CRC[7] ;
  
```

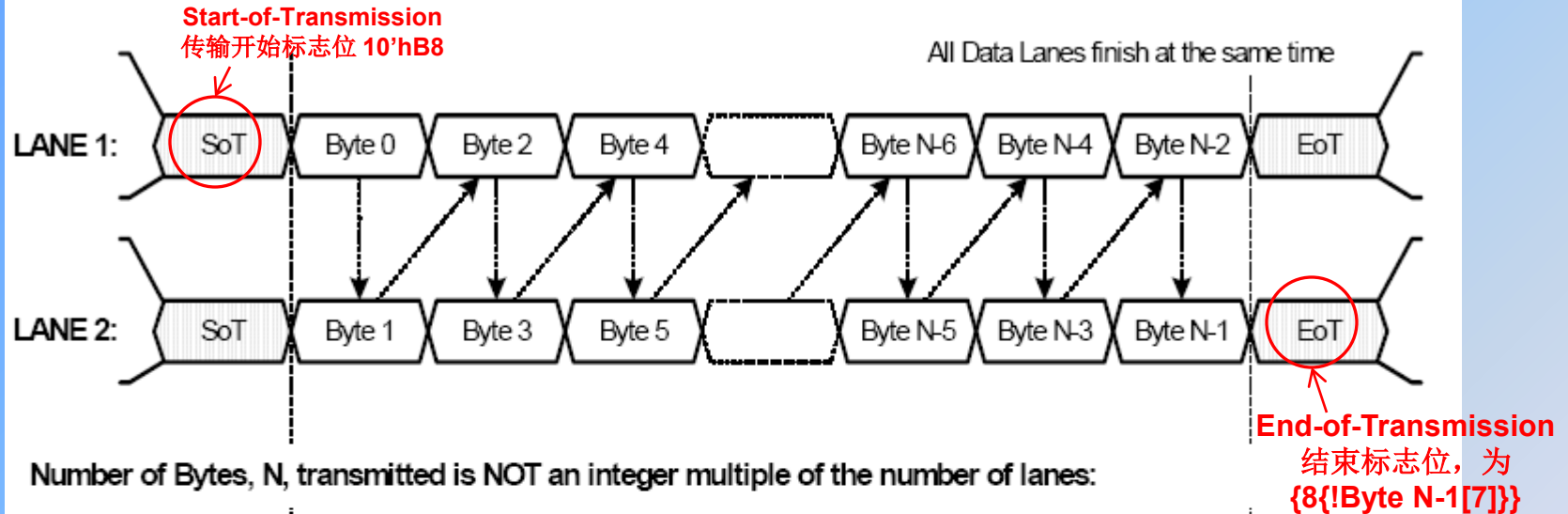

4.3、LANE MANAGEMENT

- * LANE MANAGEMENT根据通道的具体配置情况，对已经打包好的数据进行通道管理，同时准备好相应的时序和同步信号，跟物理层接口对接起来；

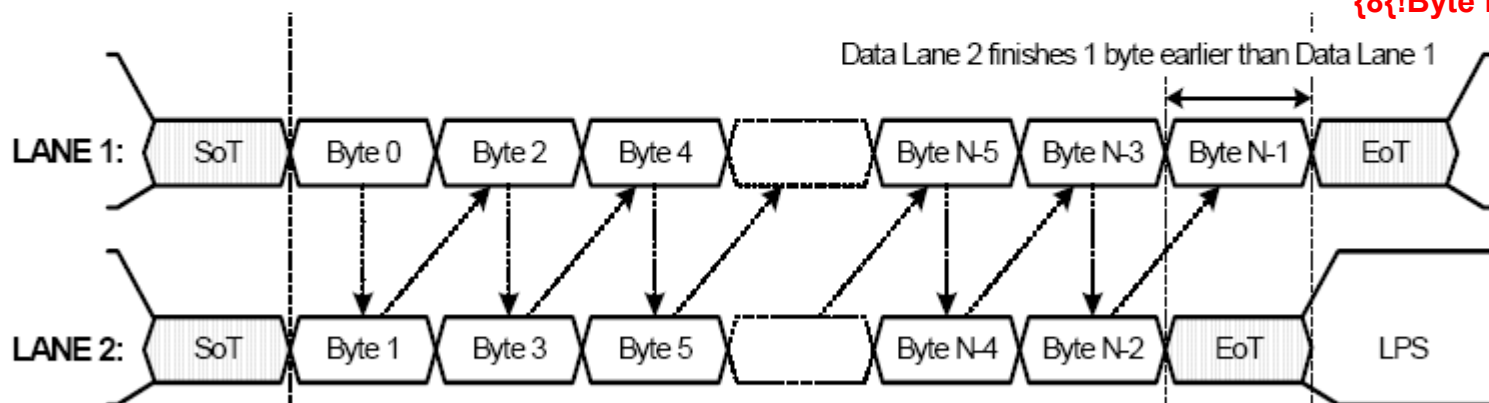


双通道情况下数据的传输模式

Number of Bytes, N, transmitted is an integer multiple of the number of lanes:



Number of Bytes, N, transmitted is NOT an integer multiple of the number of lanes:



KEY:

LPS – Low Power State

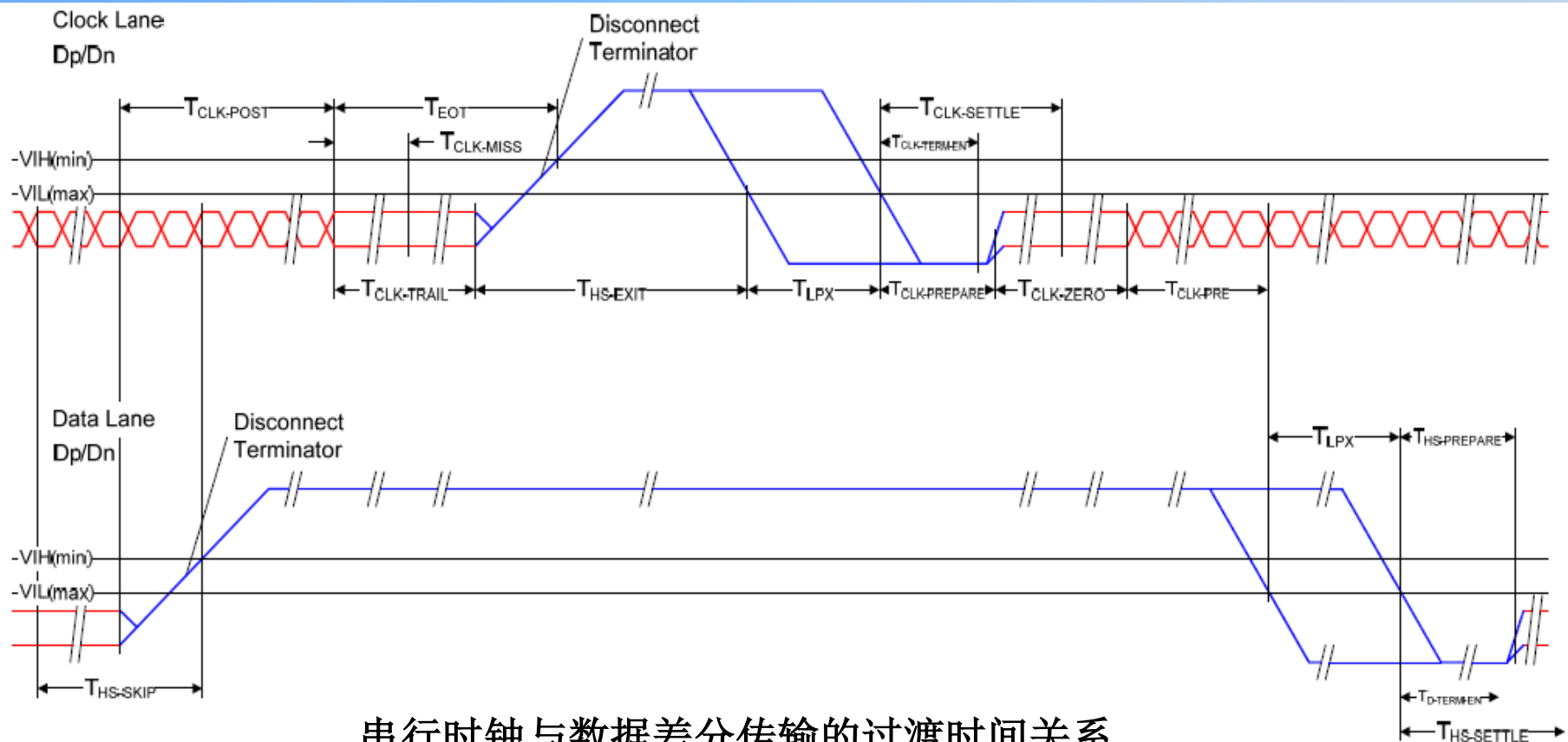
SoT – Start of Transmission

EoT – End of Transmission

Figure 22 Two Lane Multi-Lane Example

•完成通道分配后，需要生成与物理层对接的时序、同步信号：

MIPI规定，传输过程中，包内是200mV、包间以及包启动和包结束时是1.2V，两种不同的电压摆幅，需要两组不同的LVDS驱动电路在轮流切换工作；为了传输过程中各数据包之间的安全可靠过渡，从启动到数据开始传输，MIPI定义了比较长的可靠过渡时间，加起来最少也有600多ns；而且规定各个时间参数是可调的，所以需要一定等待时间，需要缓存，我们用寄存器代替FIFO，每通道128Byte。



串行时钟与数据差分传输的过渡时间关系

Figure 21 Switching the Clock Lane between Clock Transmission and Low-Power Mode

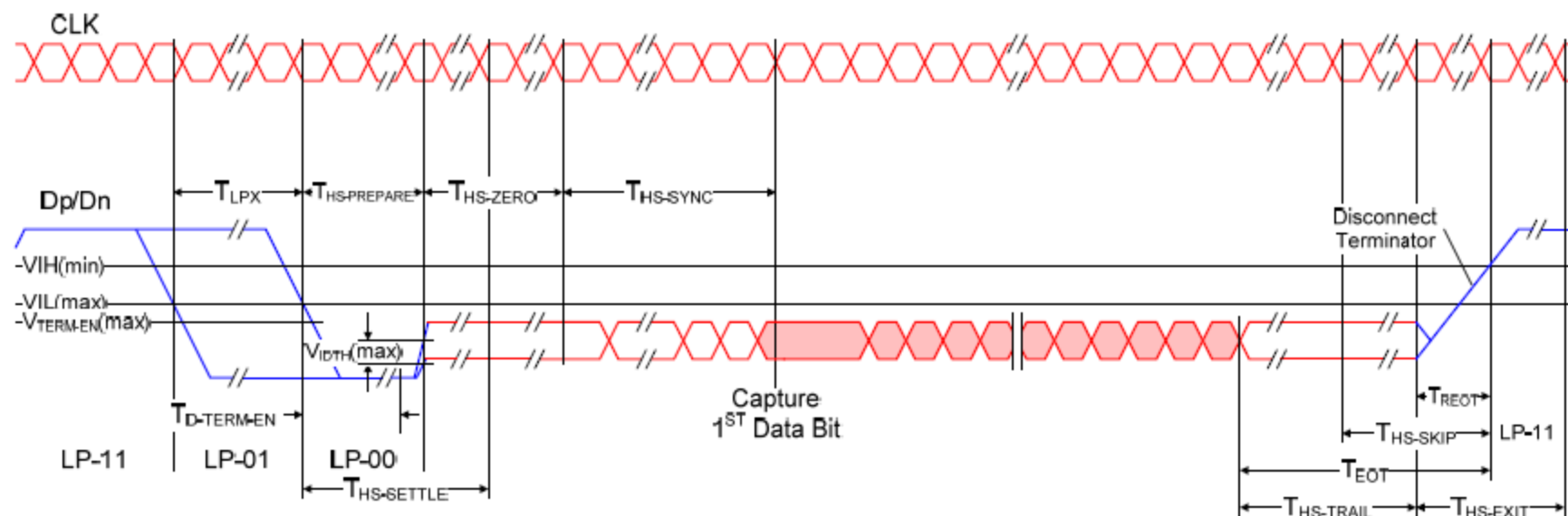


Figure 14 High-Speed Data Transmission in Bursts

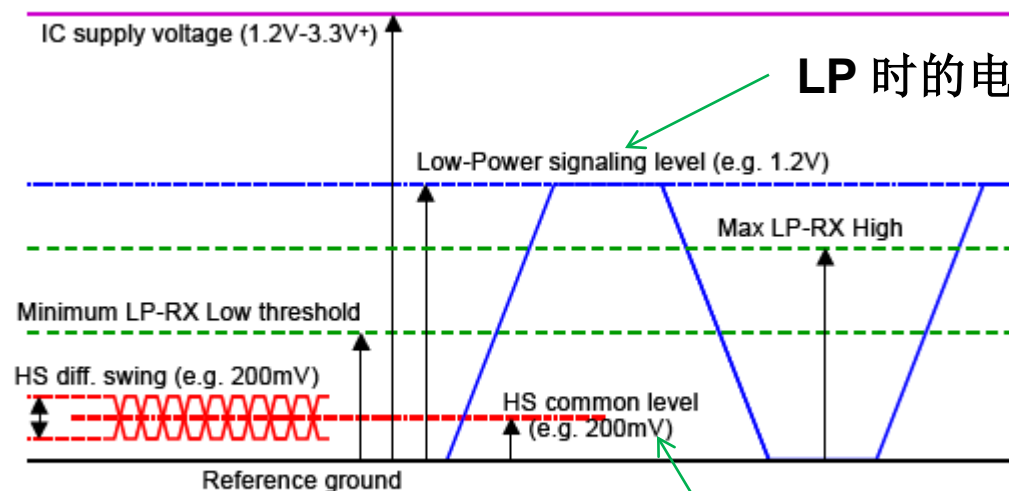


Figure 13 Line Levels

LP 时的电平是0和1.2V

数据时钟通道
对电压的要求

HS时的共模电平200mV，差模电平时200mV

各个时间参数需要满足以下的要求

Table 14 Global Operation Timing Parameters

Parameter	Description	Min	Typ	Max	Unit	Notes
$T_{CLK-MISS}$	Timeout for receiver to detect absence of Clock transitions and disable the Clock Lane HS-RX.			60	ns	1, 6
$T_{CLK-POST}$	Time that the transmitter continues to send HS clock after the last associated Data Lane has transitioned to LP Mode. Interval is defined as the period from the end of $T_{HS-TRAIL}$ to the beginning of $T_{CLK-TRAIL}$.	$60\text{ ns} + 52*UI$			ns	5
$T_{CLK-PRE}$	Time that the HS clock shall be driven by the transmitter prior to any associated Data Lane beginning the transition from LP to HS mode.	8			UI	5
$T_{CLK-PREPARE}$	Time that the transmitter drives the Clock Lane LP-00 Line state immediately before the HS-0 Line state starting the HS transmission.	38		95	ns	5
$T_{CLK-SETTLE}$	Time interval during which the HS receiver shall ignore any Clock Lane HS transitions, starting from the beginning of $T_{CLK-PREPARE}$.	95		300	ns	6
$T_{CLK-TERM-EN}$	Time for the Clock Lane receiver to enable the HS line termination, starting from the time point when Dn crosses V_{LMAX} .	Time for Dn to reach $V_{TERM-EN}$		38	ns	6
$T_{CLK-TRAIL}$	Time that the transmitter drives the HS-0 state after the last payload clock bit of a HS transmission burst.	60			ns	5
$T_{CLK-PREPARE} + T_{CLK-ZERO}$	$T_{CLK-PREPARE}$ + time that the transmitter drives the HS-0 state prior to starting the Clock.	300			ns	5
$T_{D-TERM-EN}$	Time for the Data Lane receiver to enable the HS line termination, starting from the time point when Dn crosses V_{LMAX} .	Time for Dn to reach $V_{TERM-EN}$		$35\text{ ns} + 4*UI$		6
T_{EOT}	Transmitted time interval from the start of $T_{HS-TRAIL}$ or $T_{CLK-TRAIL}$ to the start of the LP-11 state following a HS burst.			$105\text{ ns} + n*12*UI$		3, 5
$T_{HS-EXIT}$	Time that the transmitter drives LP-11 following a HS burst.	100			ns	5

Parameter	Description	Min	Typ	Max	Unit	Notes
$T_{HS-PREPARE}$	Time that the transmitter drives the Data Lane LP-00 Line state immediately before the HS-0 Line state starting the HS transmission	$40\text{ ns} + 4*UI$		$85\text{ ns} + 6*UI$	ns	5
$T_{HS-PREPARE} + T_{HS-ZERO}$	$T_{HS-PREPARE}$ + time that the transmitter drives the HS-0 state prior to transmitting the Sync sequence.	$145\text{ ns} + 10*UI$			ns	5
$T_{HS-SETTLE}$	Time interval during which the HS receiver shall ignore any Data Lane HS transitions, starting from the beginning of $T_{HS-PREPARE}$.	$85\text{ ns} + 6*UI$		$145\text{ ns} + 10*UI$	ns	6
$T_{HS-SKIP}$	Time interval during which the HS-RX should ignore any transitions on the Data Lane, following a HS burst. The end point of the interval is defined as the beginning of the LP-11 state following the HS burst.	40		$55\text{ ns} + 4*UI$	ns	6
$T_{HS-TRAIL}$	Time that the transmitter drives the flipped differential state after last payload data bit of a HS transmission burst	$\max(n*8*UI, 60\text{ ns} + n*4*UI)$			ns	2, 3, 5
T_{DNIT}	See section 5.11.	100			μs	5
T_{LPX}	Transmitted length of any Low-Power state period	50			ns	4, 5
Ratio T_{LPX}	Ratio of $T_{LPX(MASTER)}/T_{LPX(SLAVE)}$ between Master and Slave side	2/3		3/2		
T_{TA-GET}	Time that the new transmitter drives the Bridge state (LP-00) after accepting control during a Link Turnaround.	$5*T_{LPX}$			ns	5
T_{TA-GO}	Time that the transmitter drives the Bridge state (LP-00) before releasing control during a Link Turnaround.	$4*T_{LPX}$			ns	5
$T_{TA-SURE}$	Time that the new transmitter waits after the LP-10 state before transmitting the Bridge state (LP-00) during a Link Turnaround.	T_{LPX}		$2*T_{LPX}$	ns	5
T_{WAKEUP}	Time that a transmitter drives a Mark-1 state prior to a Stop state in order to initiate an exit from ULPS.	1			ms	5

1. The minimum value depends on the bit rate. Implementations should ensure proper operation for all the supported bit rates.
2. If $a > b$ then $\max(a, b) = a$ otherwise $\max(a, b) = b$
3. Where $n = 1$ for Forward-direction HS mode and $n = 4$ for Reverse-direction HS mode
4. T_{LPX} is an internal state machine timing reference. Externally measured values may differ slightly from the specified values due to asymmetrical rise and fall times.
5. Transmitter-specific parameter
6. Receiver-specific parameter

UI 的值

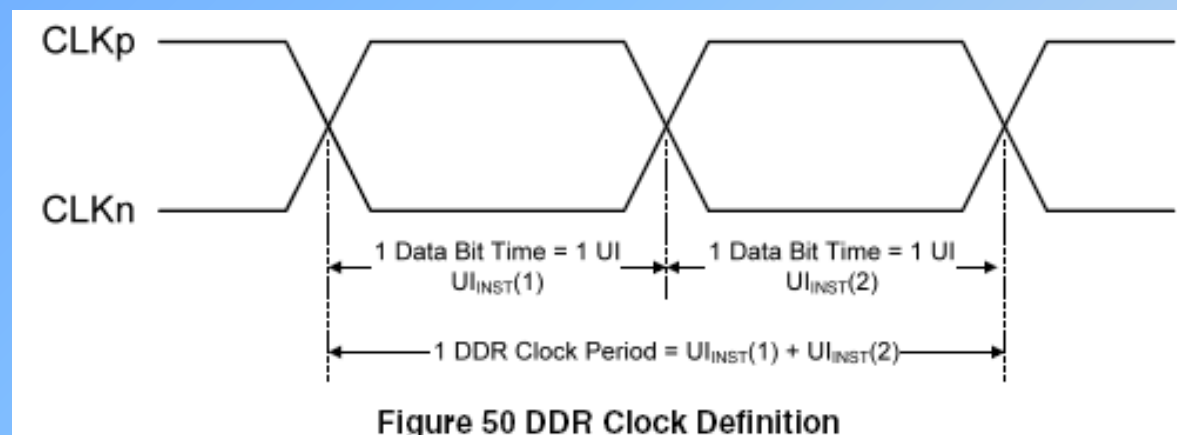


Table 26 Clock Signal Specification

Clock Parameter	Symbol	Min	Typ	Max	Units	Notes
UI instantaneous	UI_{INST}			12.5	ns	1,2

Notes:

时钟通道的最小值是40MHz

1. This value corresponds to a minimum 80 Mbps data rate.
2. The minimum UI shall not be violated for any single bit period, i.e., any DDR half cycle within a data burst.

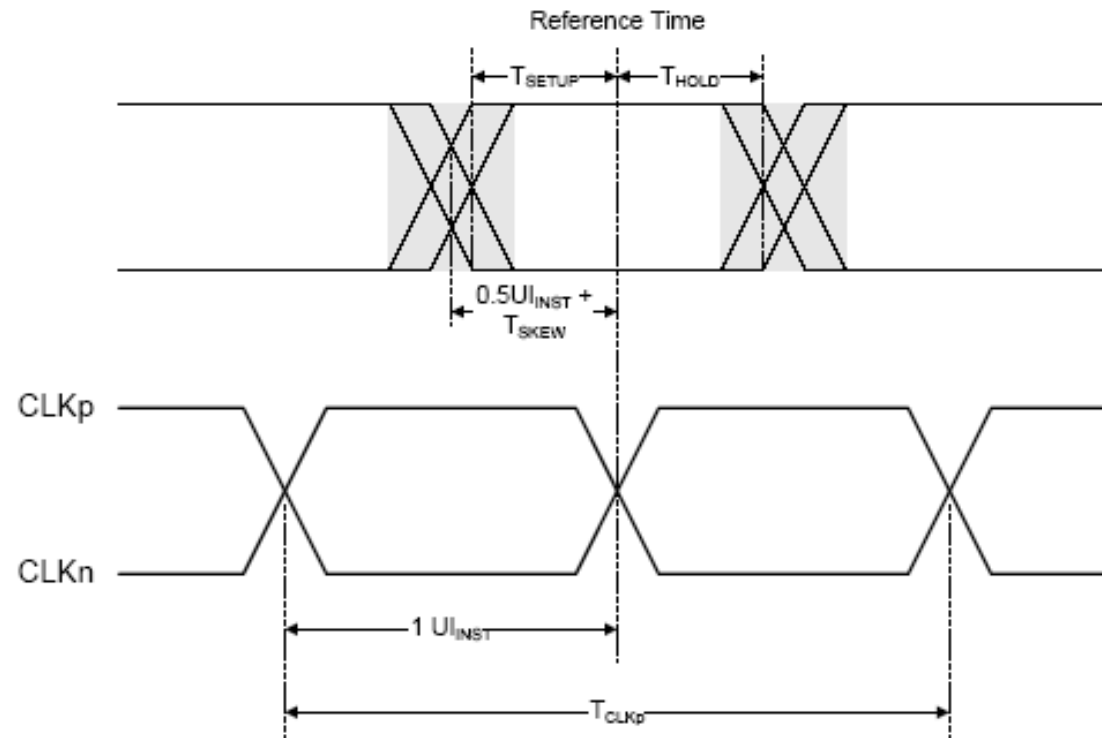
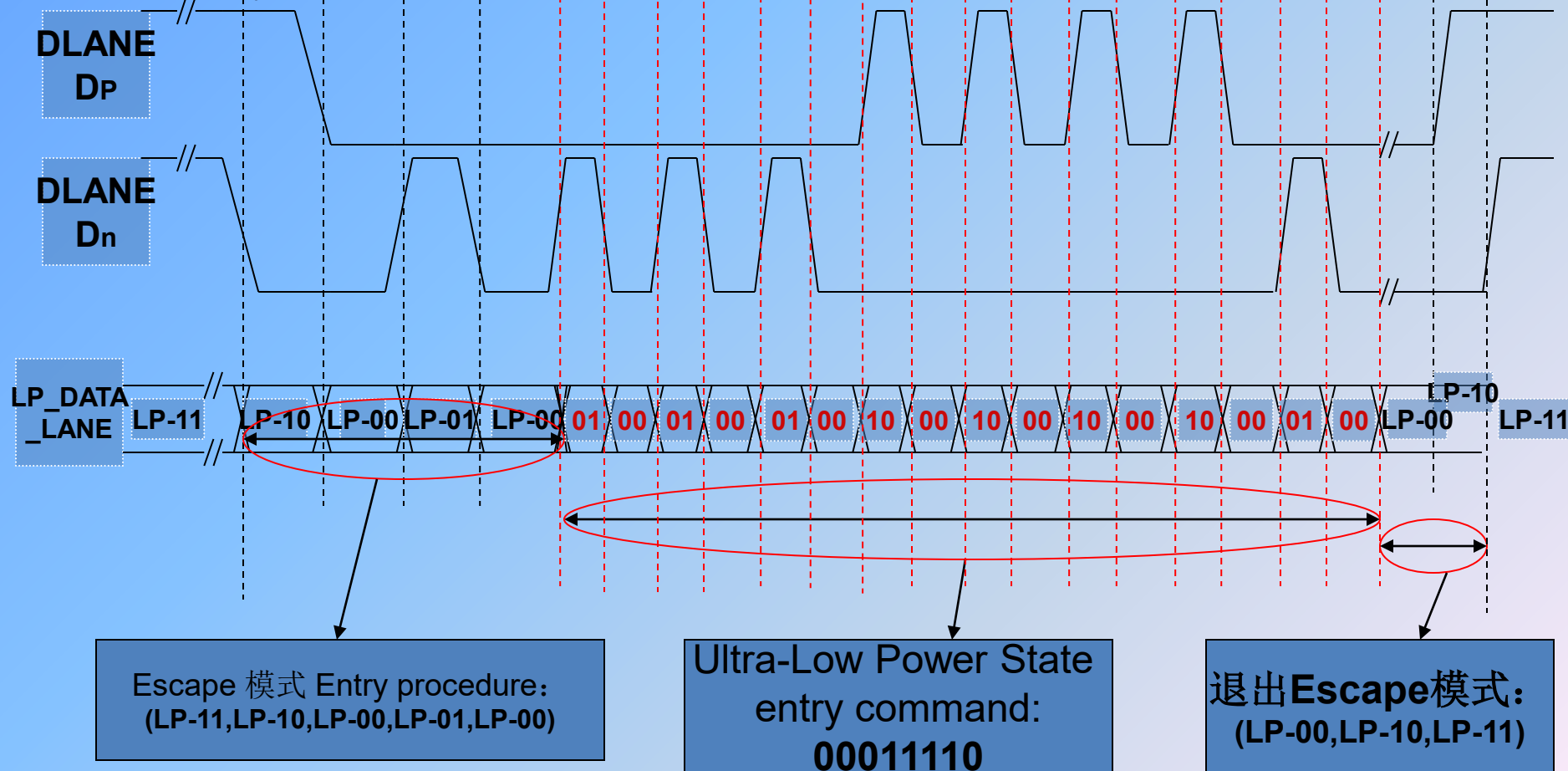


Figure 51 Data to Clock Timing Definitions

数据与时钟的相位关系

数据通道进入和退出SLM(即睡眠模式)的控制:

DATA_LANE TX:(注: 进入ULPS之后, 将一直保持LP-Q0状态, 直到退出该模式,另外, 三个物理通道(一个时钟通道和两个数据通道)是否进入ULPS模式可由寄存器分开控制)



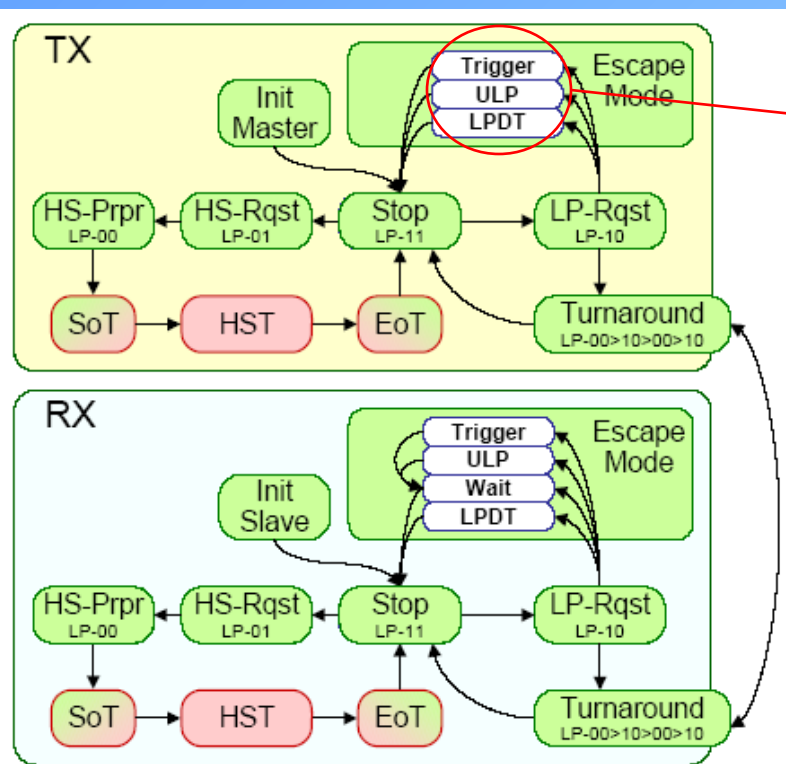


Figure 24 Data Lane Module State Diagram

Table 8 Escape Entry Codes

Escape Mode Action	Command Type	Entry Command Pattern (first bit transmitted to last bit transmitted)
Low-Power Data Transmission	mode	11100001
Ultra-Low Power State	mode	00011110
Undefined-1	mode	10011111
Undefined-2	mode	11011110
Reset-Trigger [Remote Application]	Trigger	01100010
Unknown-3	Trigger	01011101
Unknown-4	Trigger	00100001
Unknown-5	Trigger	10100000

数据通道中各种模式转换的状态图

进入各种状态数据通道需要发送的命令

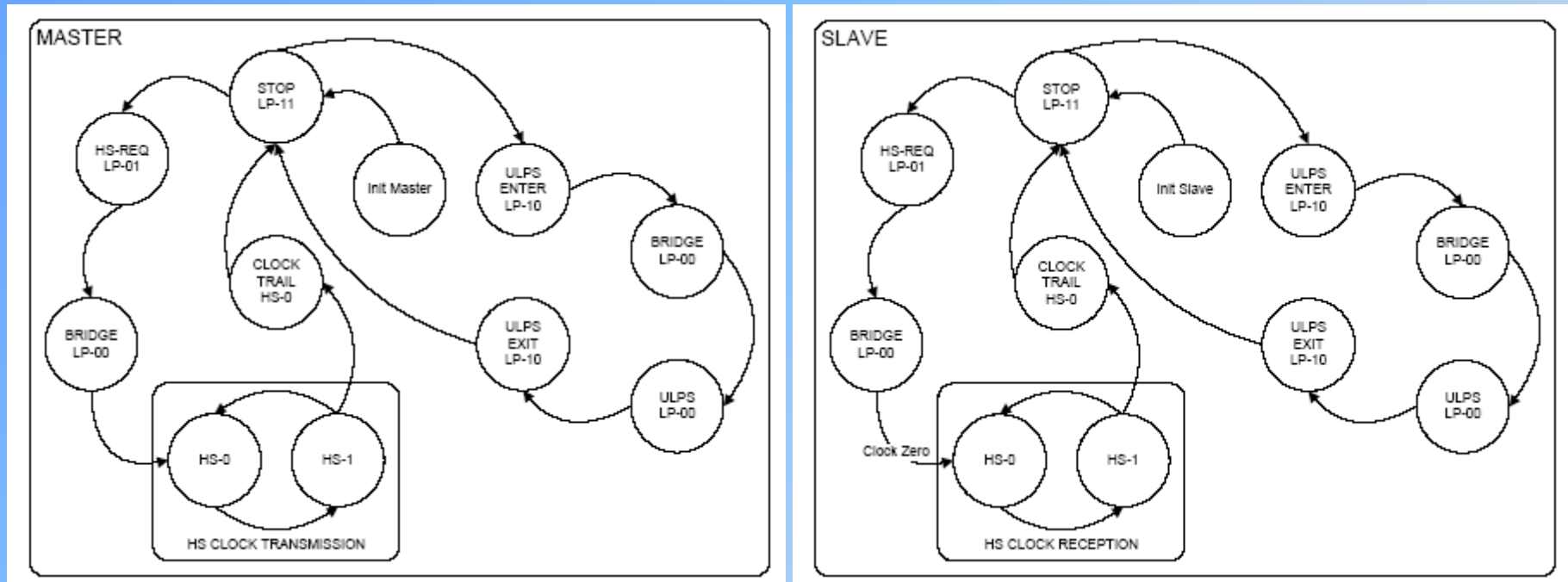
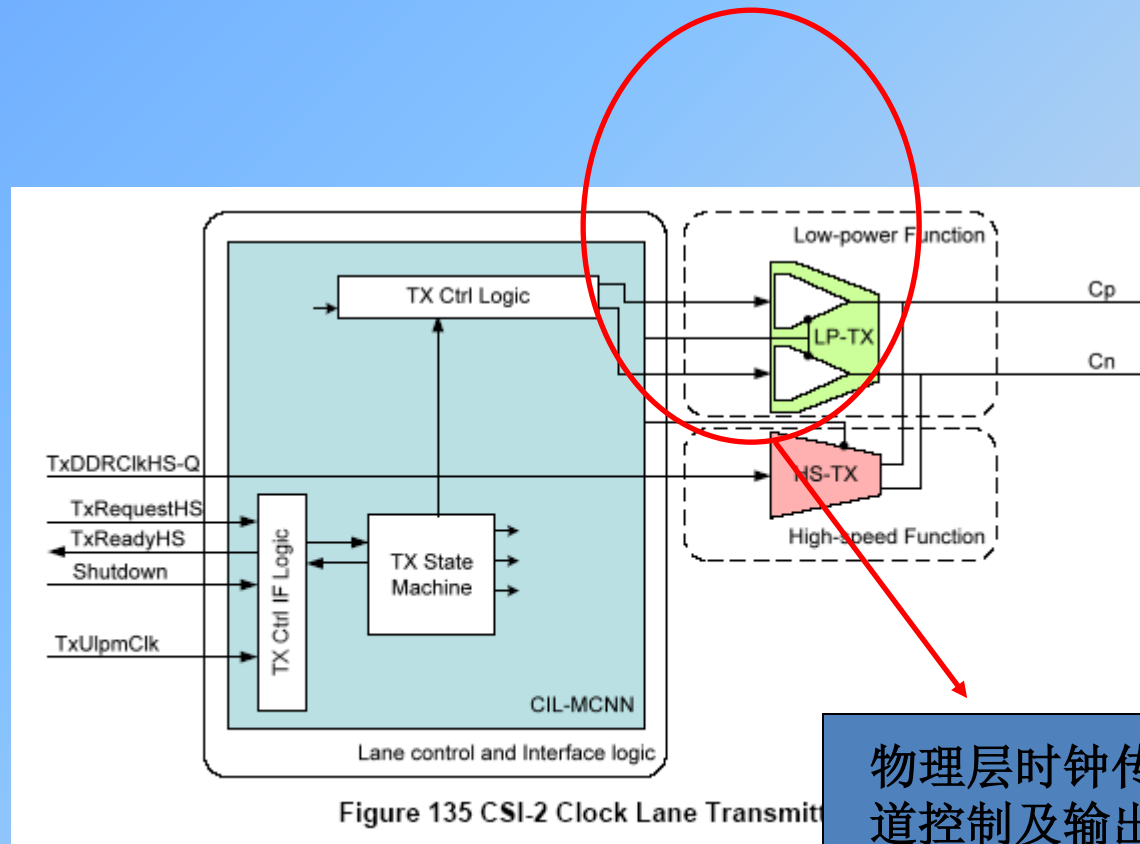


Figure 25 Clock Lane Module State Diagram

时钟通道中各种模式转换的状态图

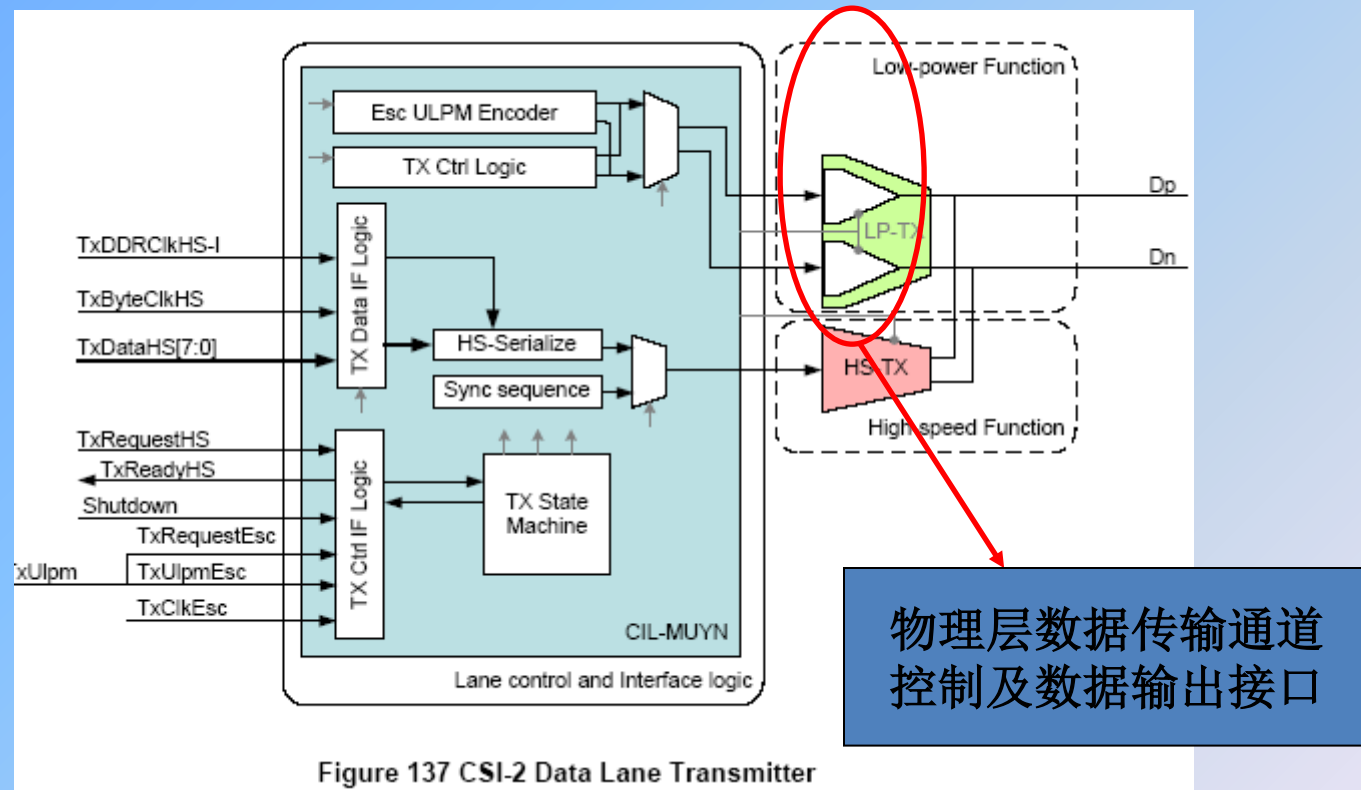
五、物理层

CSI-2物理层时钟传输通道结构示意图



物理层时钟传输通道控制及输出接口

CSI-2物理层数据传输通道结构示意图



MIPI 传输的物理层，实现MIPI 协议的数据串行传输。

此物理层的接口分为输入和输出两种接口，现只讨论接口电路模块，在我们芯片内部只用到输出接口。协议中数据传输有不同的模式，接口电路也有不同的应用。在我们的芯片状态（L中会用到两种状态机，LP ow Power）和HS 状态（High Speed）。

- *对应于同步信号完成并串转换；

- *HS 状态为高速低压差分信号，传输高速连续串行数据；

- *LP 状态为低速低功耗信号，传输控制信号和状态信号；

- *MIPI要求HS 工作在1GHz 的频率下，完成共模信号为0.2v 差模信号为0.2v 的差分信号的传输；

- *LP 传递控制信号，要求高电平为1.2v 低电平为0的电平信号输出；

- *HS 及LP 状态下，输出信号的电学特性要求非常苛刻，具体电学性能的要求可见附带文档表格。

其他:

- *MIPI是双向可选的，可以高速发送，也可以进行高速接收，或收发功能同时具备，我们目前根据需求仅做了发送功能；
- *MIPI的HS模式（0.2V），传送图像数据，速度为80Mbps ~ 1000Mbps；
- *MIPI的LP模式（1.2V），可以用于传送控制命令，最高速度为10Mbps；
- *MIPI规定，任一个MIPI设备必须Escape Mode，此为Low Power Data Transmission Mode，LP模式中的一种，此模式下可低速传输图像或其他数据。
- *MIPI规定了Low Power Mode、 Ultra Low Power Mode的电压范围、以及它们之间、它们与HS模式之间的相互切换方式或相关要求；
- *MIPI D-PHY是各个MIPI工作组共用的物理层规范；

Thank you!