



Trion FPGA时钟树和典型源同步应用

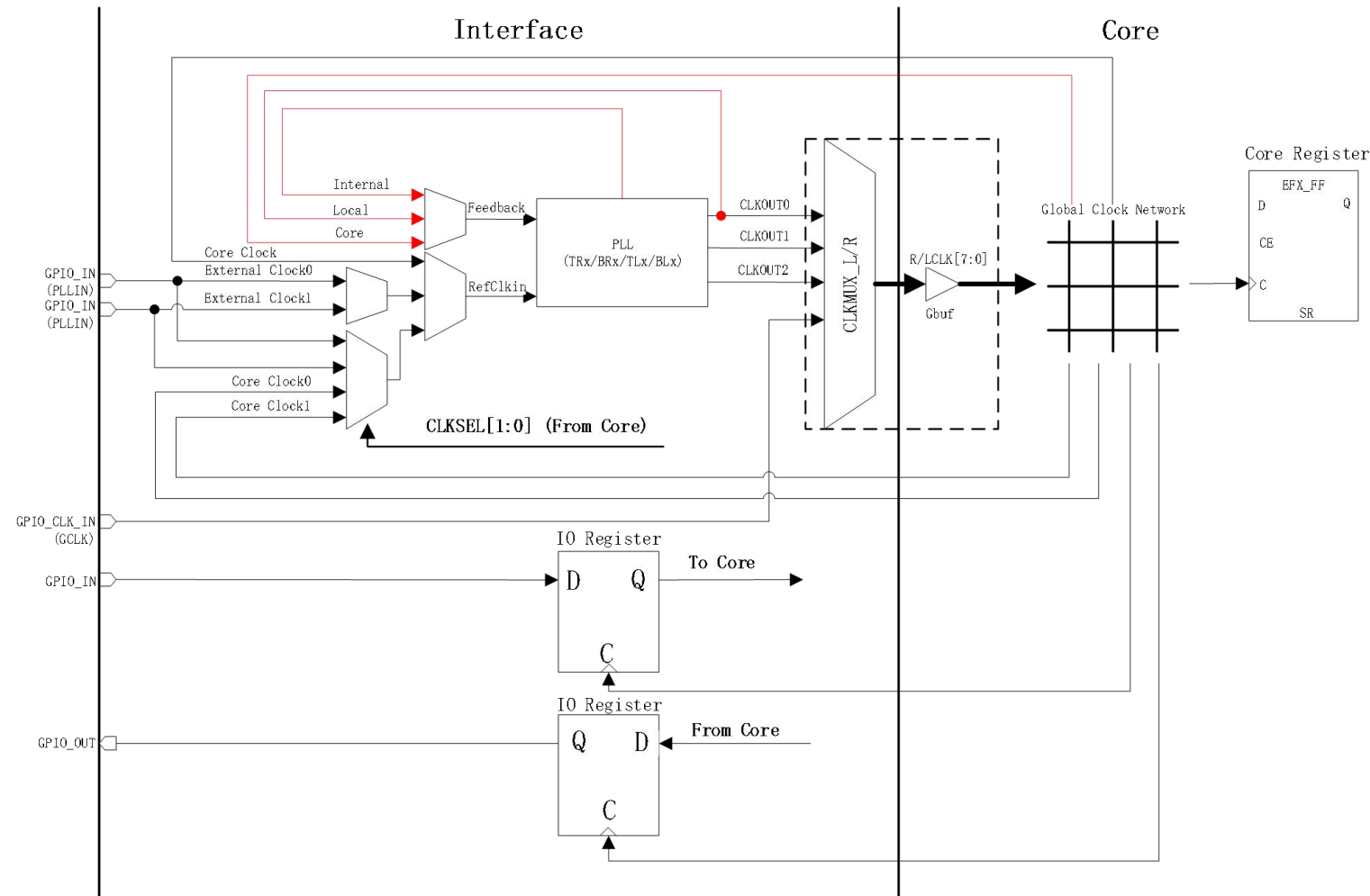
陈弘 Bruce Chen
2021年11月

版本



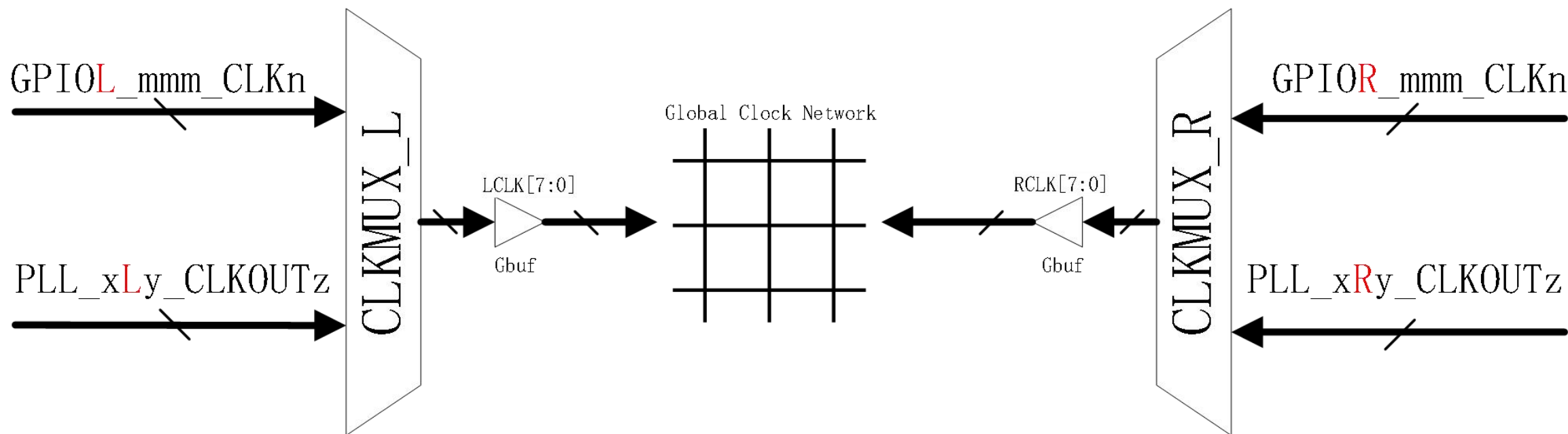
版本	修改日期	修改内容
V1.0	2021-11-17	初版发布

Trion FPGA Clock Tree



- CLKMUX_L/R
 - Input
 - PLL-CLKOUT
 - GPIO_CLK_IN
 - Output
 - R/LCLK[7:0] Gbuf
- PLL
 - Input
 - GPIO_PLLIN
 - GCLK
 - Output
 - CLKMUX
- IO/Core Register
 - GCLK

CLKMUX



CLKMUX T20



CLKMUX_L								
Input Resource	LCLK[0]	LCLK[1]	LCLK[2]	LCLK[3]	LCLK[4]	LCLK[5]	LCLK[6]	LCLK[7]
GPIOL_24.IN	○				○			
GPIOL_25.IN		○				○		
GPIOL_26.IN			○				○	
GPIOL_27.IN				○				○
GPIOL_28.IN	○				○			
GPIOL_29.IN		○				○		
GPIOL_30.IN			○				○	
GPIOL_31.IN				○				○
PLL_TL0.CLKOUT0	○						○	
PLL_TL0.CLKOUT1		○	○					
PLL_TL0.CLKOUT2		○	○					
PLL_TL1.CLKOUT0				○				○
PLL_TL1.CLKOUT1					○	○		
PLL_TL1.CLKOUT2					○	○		

CLKMUX_R								
Input Resource	RCLK[0]	RCLK[1]	RCLK[2]	RCLK[3]	RCLK[4]	RCLK[5]	RCLK[6]	RCLK[7]
GPIOR_127.IN	○				○			
GPIOR_126.IN		○				○		
GPIOR_125.IN			○				○	
GPIOR_124.IN				○				○
GPIOR_123.IN	○				○			
GPIOR_122.IN		○				○		
GPIOR_121.IN			○				○	
GPIOR_120.IN				○				○
PLL_TR0.CLKOUT0	○						○	
PLL_TR0.CLKOUT1		○	○					
PLL_TR0.CLKOUT2		○	○					
PLL_TR1.CLKOUT0				○				○
PLL_TR1.CLKOUT1					○	○		
PLL_TR1.CLKOUT2					○	○		
PLL_BR0.CLKOUT0	○							○
PLL_BR0.CLKOUT1		○	○					
PLL_BR0.CLKOUT2		○	○					

CLKMUX T35



CLKMUX_L								
Input Resource	LCLK[0]	LCLK[1]	LCLK[2]	LCLK[3]	LCLK[4]	LCLK[5]	LCLK[6]	LCLK[7]
GPIOL_66.IN	○				○			
GPIOL_67.IN		○				○		
GPIOL_68.IN			○				○	
GPIOL_69.IN				○				○
GPIOL_70.IN	○				○			
GPIOL_71.IN		○				○		
GPIOL_72.IN			○				○	
GPIOL_73.IN	○			○				○
PLL_BL0.CLKOUT0				○				○
PLL_BL0.CLKOUT1		○			○		○	
PLL_BL0.CLKOUT2			○			○		

CLKMUX_R								
Input Resource	RCLK[0]	RCLK[1]	RCLK[2]	RCLK[3]	RCLK[4]	RCLK[5]	RCLK[6]	RCLK[7]
GPIOR_133.IN	○							
GPIOR_132.IN		○						
GPIOR_131.IN			○					
GPIOR_130.IN				○				
GPIOR_129.IN					○			
GPIOR_128.IN						○		
GPIOR_127.IN							○	
GPIOR_126.IN								○
PLL_TR0.CLKOUT0	○						○	
PLL_TR0.CLKOUT1		○	○					
PLL_TR0.CLKOUT2		○	○					
PLL_TR1.CLKOUT0	○			○				
PLL_TR1.CLKOUT1					○	○		
PLL_TR1.CLKOUT2					○	○		
PLL_TR2.CLKOUT0	○							○
PLL_TR2.CLKOUT1		○	○					
PLL_TR2.CLKOUT2		○	○					
PLL_BR0.CLKOUT0				○				○
PLL_BR0.CLKOUT1					○	○		
PLL_BR0.CLKOUT2					○	○		
PLL_BR1.CLKOUT0			○				○	
PLL_BR1.CLKOUT1				○	○			
PLL_BR1.CLKOUT2				○	○			
PLL_BR2.CLKOUT0						○		
PLL_BR2.CLKOUT1		○					○	
PLL_BR2.CLKOUT2								○

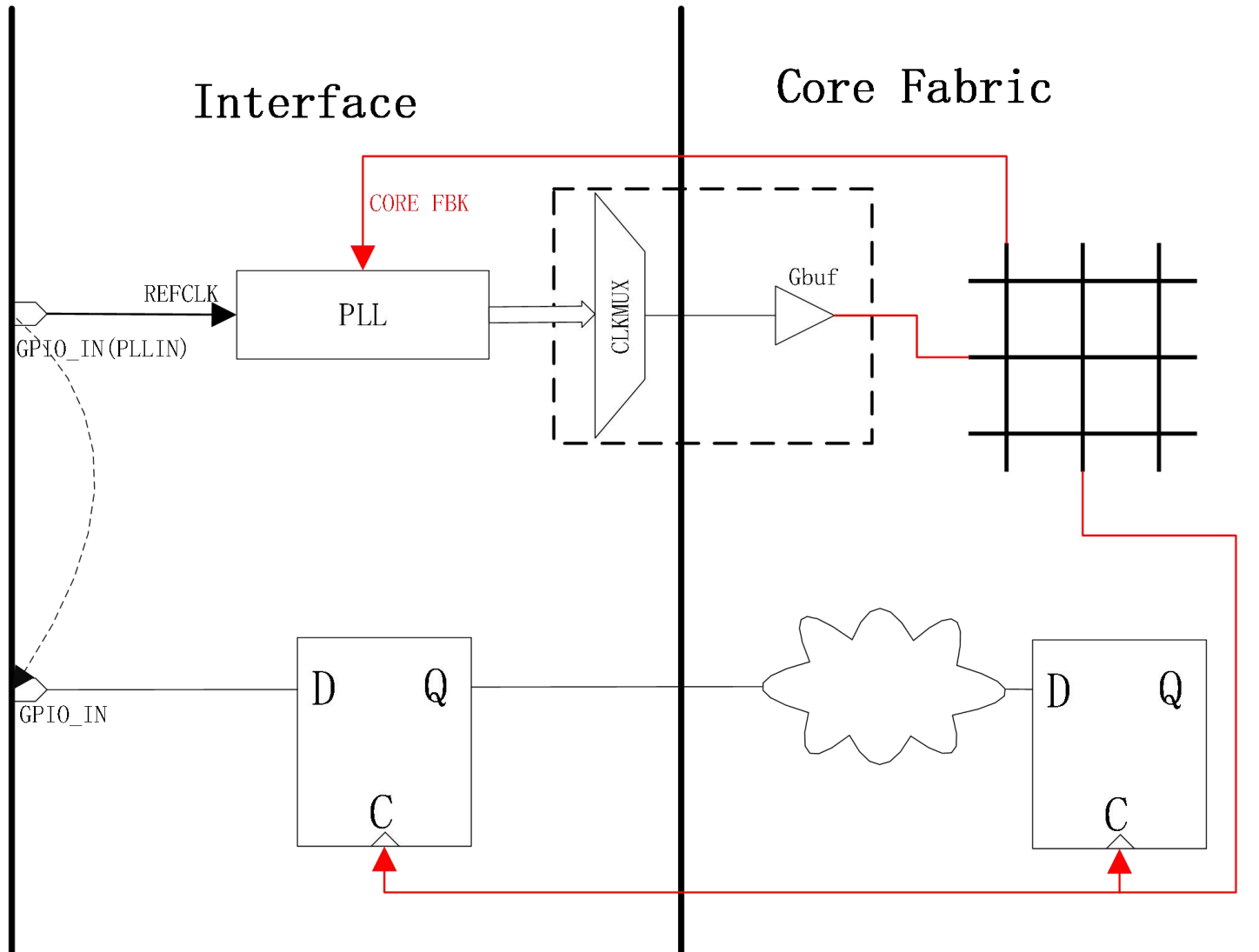
CLKMUX T120



CLKMUX_L								
Input Resource	LCLK[0]	LCLK[1]	LCLK[2]	LCLK[3]	LCLK[4]	LCLK[5]	LCLK[6]	LCLK[7]
GPIOL_66.IN	○				○			
GPIOL_67.IN		○				○		
GPIOL_68.IN			○				○	
GPIOL_69.IN				○				○
GPIOL_70.IN	○				○			
GPIOL_71.IN		○				○		
GPIOL_72.IN			○				○	
GPIOL_73.IN				○				○
PLL_TL0.CLKOUT0	○					○	○	
PLL_TL0.CLKOUT1		○		○				○
PLL_TL0.CLKOUT2			○		○			
PLL_BL0.CLKOUT0	○			○				○
PLL_BL0.CLKOUT1		○			○		○	
PLL_BL0.CLKOUT2			○			○		

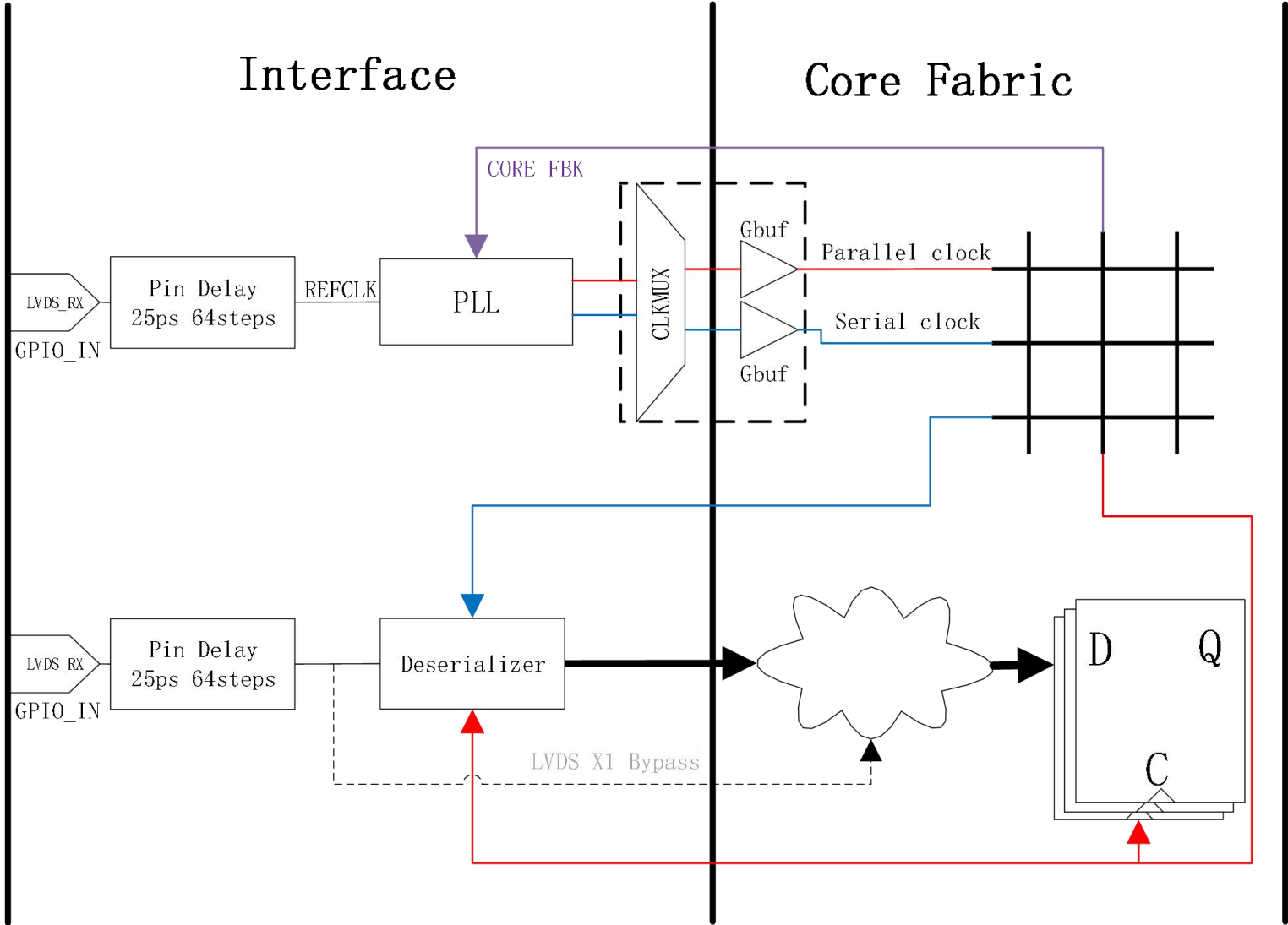
CLKMUX_R								
Input Resource	RCLK[0]	RCLK[1]	RCLK[2]	RCLK[3]	RCLK[4]	RCLK[5]	RCLK[6]	RCLK[7]
GPIOR_181.IN	○							
GPIOR_180.IN		○						
GPIOR_179.IN			○					
GPIOR_178.IN				○				
GPIOR_177.IN					○			
GPIOR_176.IN						○		
GPIOR_175.IN							○	
GPIOR_174.IN								○
PLL_TR0.CLKOUT0	○						○	
PLL_TR0.CLKOUT1		○	○					
PLL_TR0.CLKOUT2		○	○					
PLL_TR1.CLKOUT0	○			○				
PLL_TR1.CLKOUT1					○	○		
PLL_TR1.CLKOUT2					○	○		
PLL_TR2.CLKOUT0	○							○
PLL_TR2.CLKOUT1		○	○					
PLL_TR2.CLKOUT2		○	○					
PLL_BR0.CLKOUT0				○				○
PLL_BR0.CLKOUT1					○	○		
PLL_BR0.CLKOUT2					○	○		
PLL_BR1.CLKOUT0			○				○	
PLL_BR1.CLKOUT1				○	○			
PLL_BR1.CLKOUT2				○	○			
PLL_BR2.CLKOUT0						○		
PLL_BR2.CLKOUT1		○					○	
PLL_BR2.CLKOUT2								○

Source Synchronous



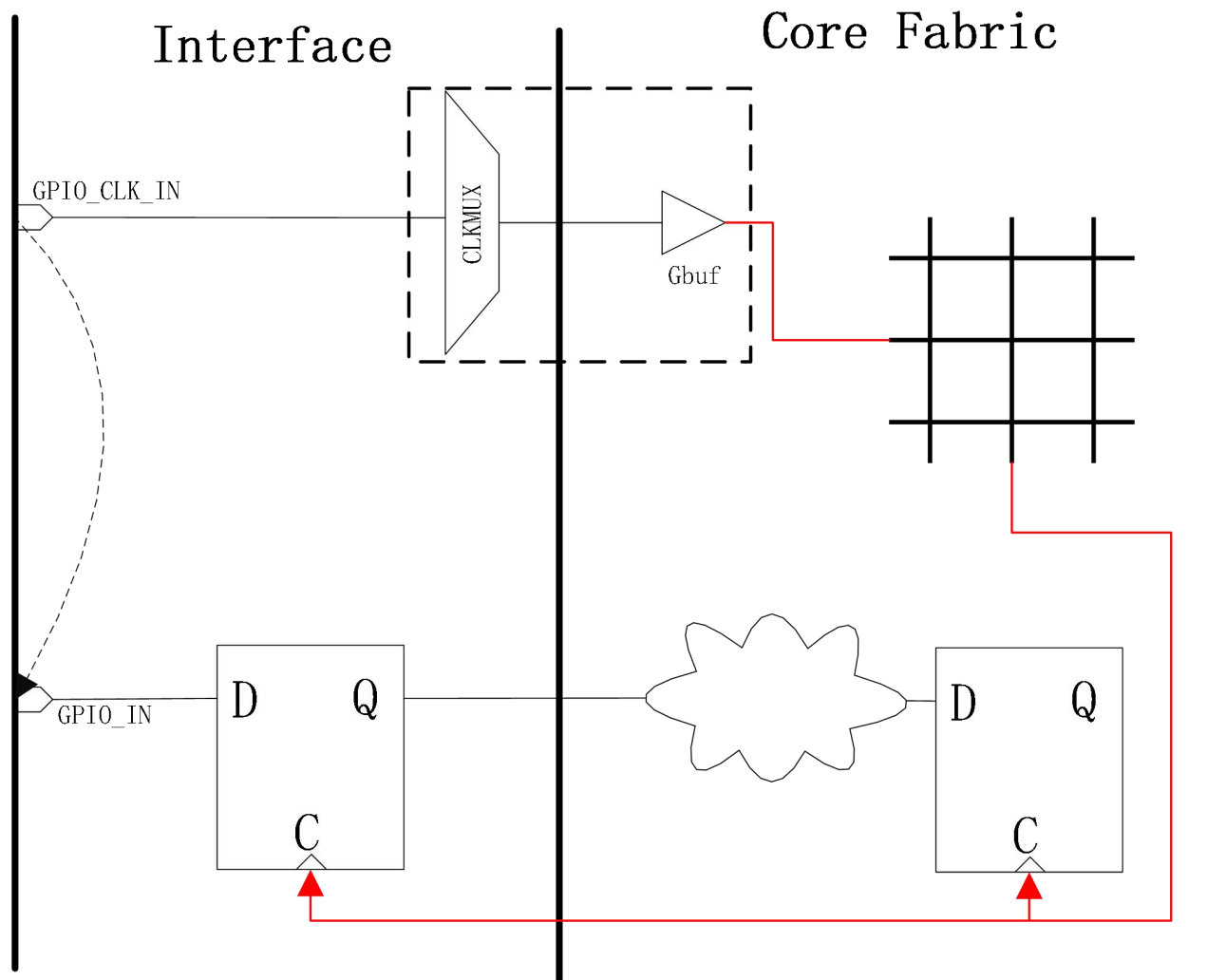
- Clock Path
 - IObuf(GPIO_PLL_IN)=>PLL
 - Delay=>IO Reg D-input
 - PLL Delay≈0
- Data Path
 - IObuf(GPIO_IN)=> IO Reg D-input
- Clock to Data delay
 - ≈ 0

External Reference & Core Feedback-LVDS RX



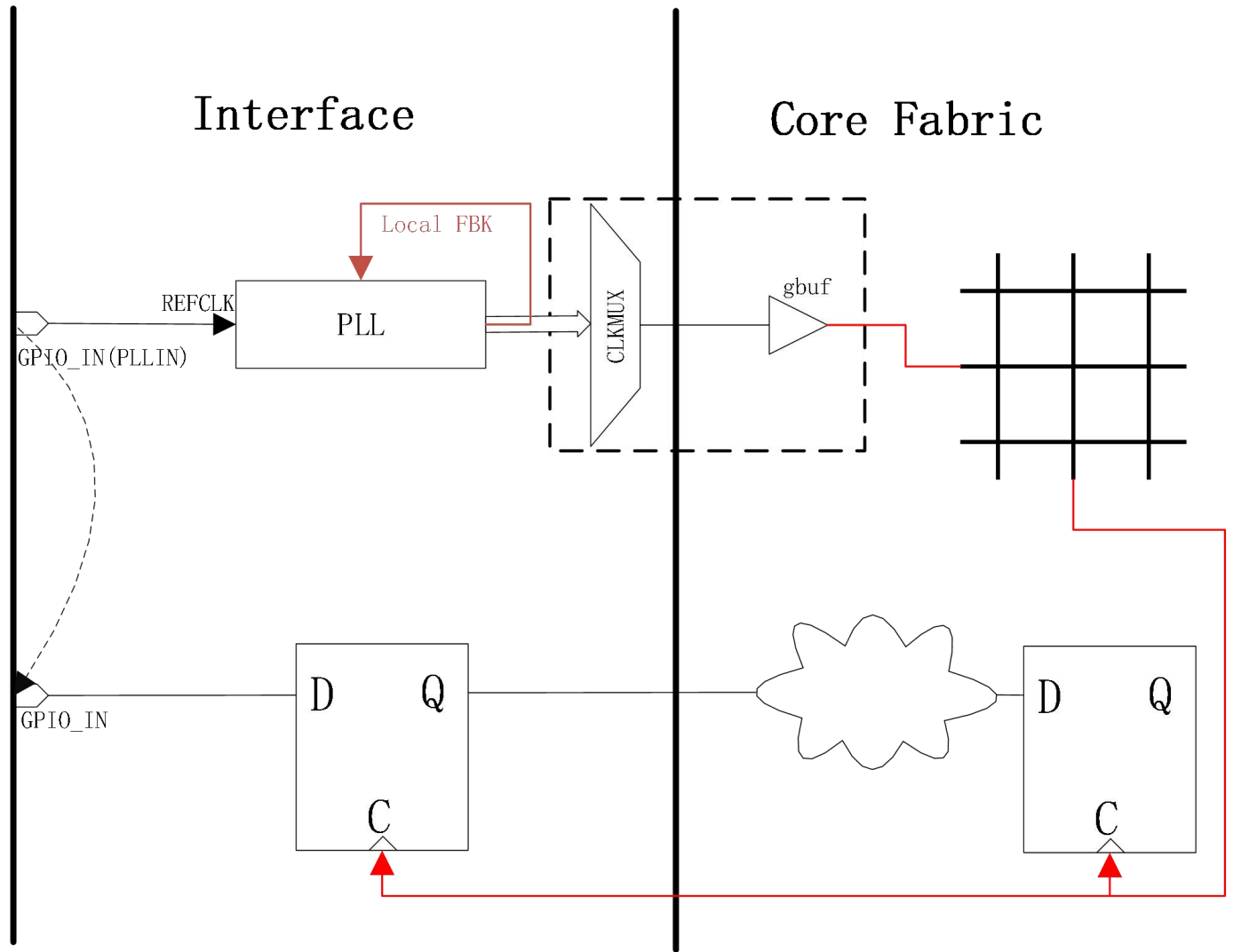
Other Modes

Without PLL

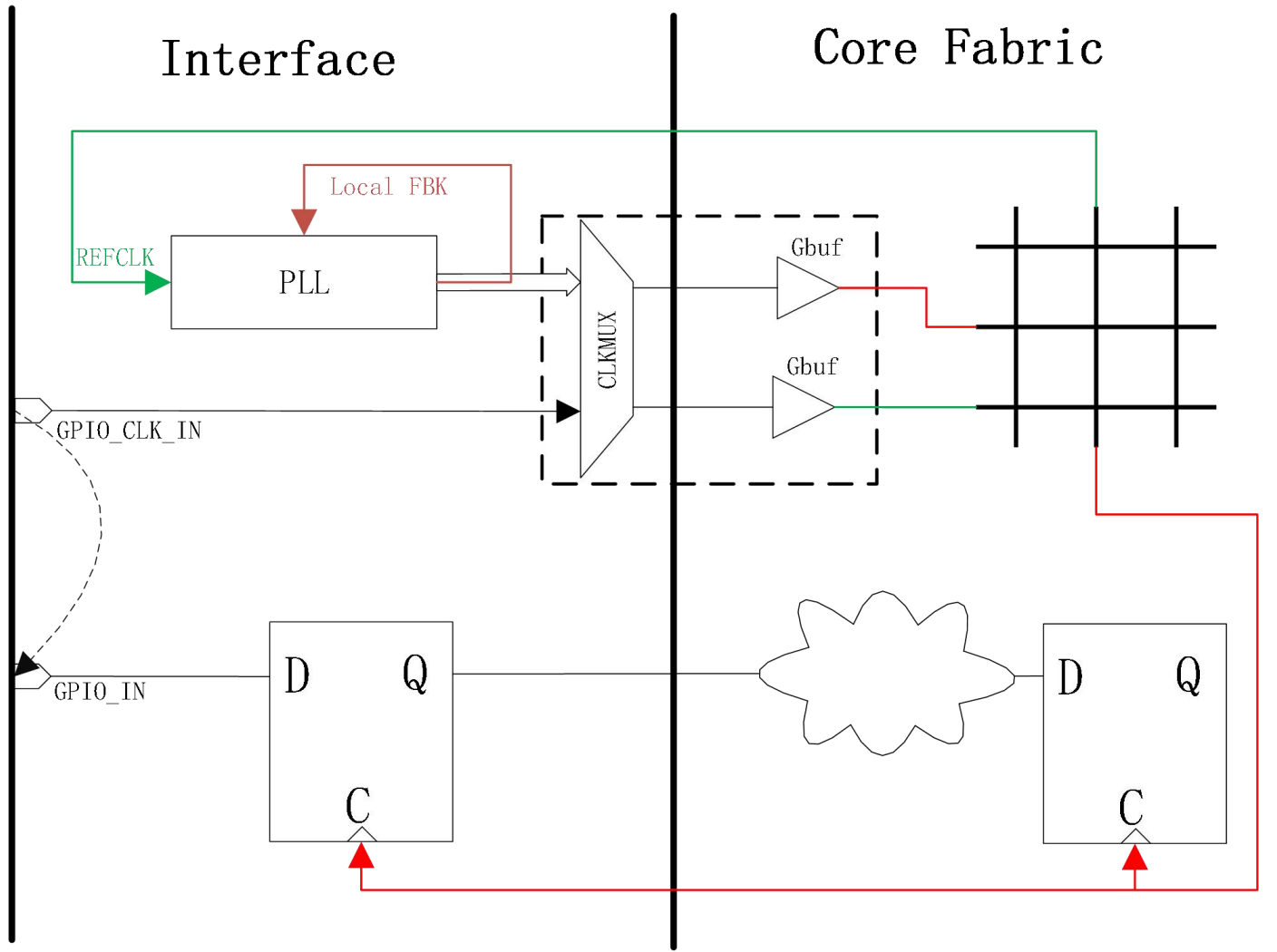


- Clock Path
 - $\text{IObuf}(\text{GPIO_CLK_IN}) \Rightarrow \text{CLKMUX} + \text{Gbuf} \Rightarrow \text{IO Reg D-input}$
- Data Path
 - $\text{IObuf}(\text{GPIO_IN}) \Rightarrow \text{IO Reg D-input}$
- Clock to Data delay
 - $\approx -(\text{CLKMUX} + \text{Gbuf})$

PLL External Reference & Local Feedback

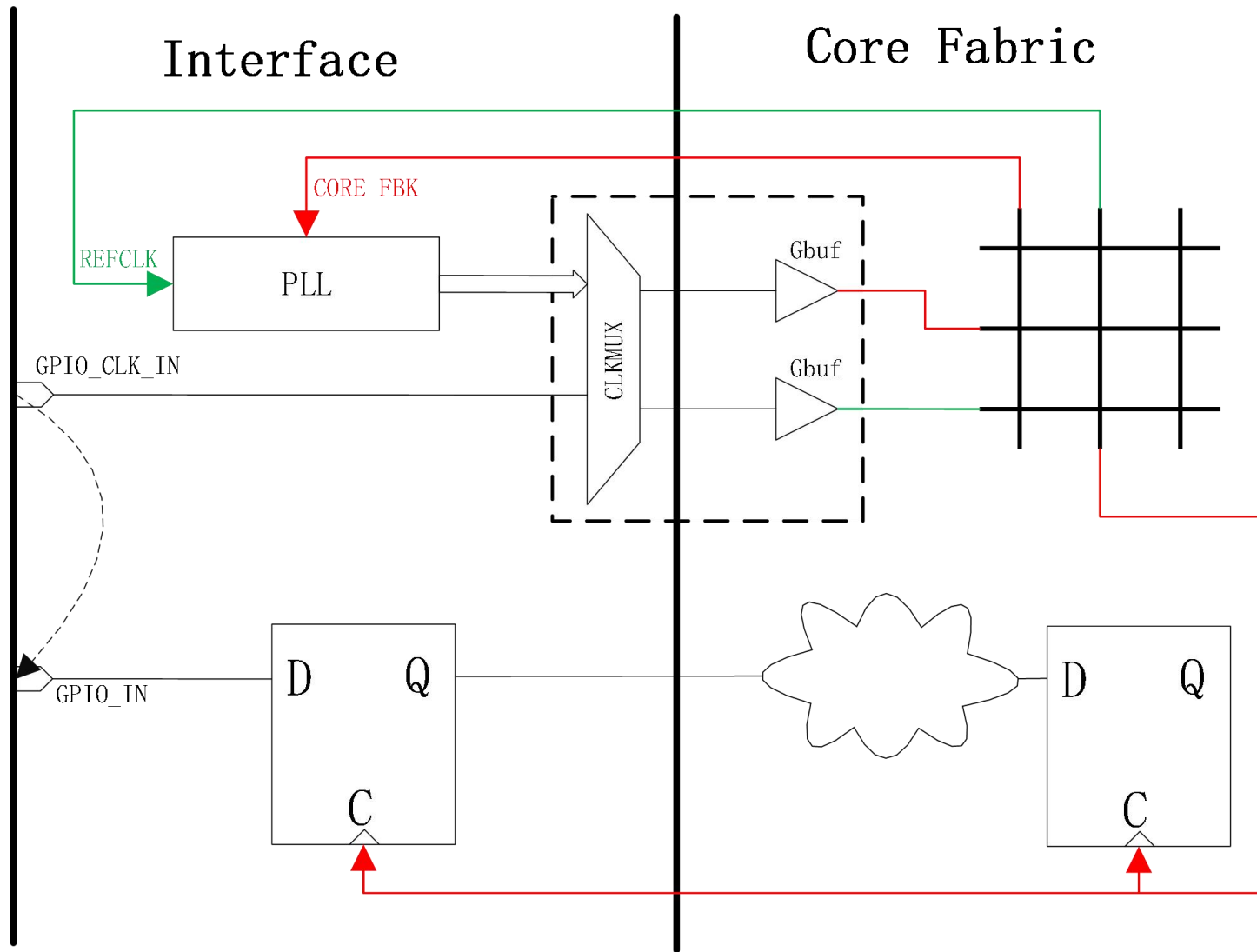


- Clock Path
 - IObuf(GPIO_PLL_IN) => **PLL Delay** => IO Reg D-input
 - **PLL Delay $\approx$ CLKMUX + Gbuf**
- Data Path
 - IObuf(GPIO_IN) => IO Reg D-input
- Clock to Data delay
 - **$\approx$ - (CLKMUX + Gbuf)**



- Clock Path
 - $\text{IObuf}(\text{GPIO_CLK_IN}) \Rightarrow \text{CLKMUX} + \text{Gbuf} \Rightarrow \text{PLL}$
Delay $\Rightarrow$ IO Reg D-input
 - $\text{PLL Delay} \approx \text{CLKMUX} + \text{Gbuf}$
- Data Path
 - $\text{IObuf}(\text{GPIO_IN}) \Rightarrow \text{IO Reg D-input}$
- Clock to Data delay
 - $\approx -2 * (\text{CLKMUX} + \text{Gbuf})$

PLL Core Reference & Core Feedback



- Clock Path
 - $\text{IObuf}(\text{GPIO_CLK_IN}) \Rightarrow \text{CLKMUX} + \text{Gbuf} \Rightarrow \text{PLL}$
Delay $\Rightarrow$ IO Reg D-input
 - PLL Delay ≈ 0
- Data Path
 - $\text{IObuf}(\text{GPIO_IN}) \Rightarrow$ IO Reg D-input
- Clock to Data delay
 - $\approx -(\text{CLKMUX} + \text{Gbuf})$

The End