



Trion FPGA 硬件设计指导V1.56

陈弘 Bruce Chen
2022-06-29

版本

日期	版本	版本描述
2020/7/27	V1.0	初稿发布
2020/7/30	V1.1	修改P38关于DDR专用锁相环的使用限制描述
2020/8/24	V1.2	修改LVDS交流耦合推荐参考电路
2020/11/22	V1.3	增加LVDS做单端IO使用的数量限制
2020/12/1	V1.4	增加T20 LVDS时钟输入管脚只能直接进入锁相环的限制
2021/01/19	V1.5	修改DDR控制器硬核不用的时候相关管脚的处理方法
2021/06/03	V1.51	增加多镜像在线重配置CRC校验要求
2021/10/27	V1.52	细化LVDS IO用作GPIO的功能限制 P24 P25
2021/11/18	V1.53	增加千兆以太网PHY接口的RXC时钟推荐接PLL In进入锁相环
2021/11/25	V1.54	增加CDONE处理的建议和电路
2022/01/27	V1.55	2021.1以后的软件版本支持自动打开QE bit

主要内容

- 原理图检视素材
- 电源
- 配置电路
- 普通GPIO
- 时钟GPIO
- LVDS
- DDR
- MIPI

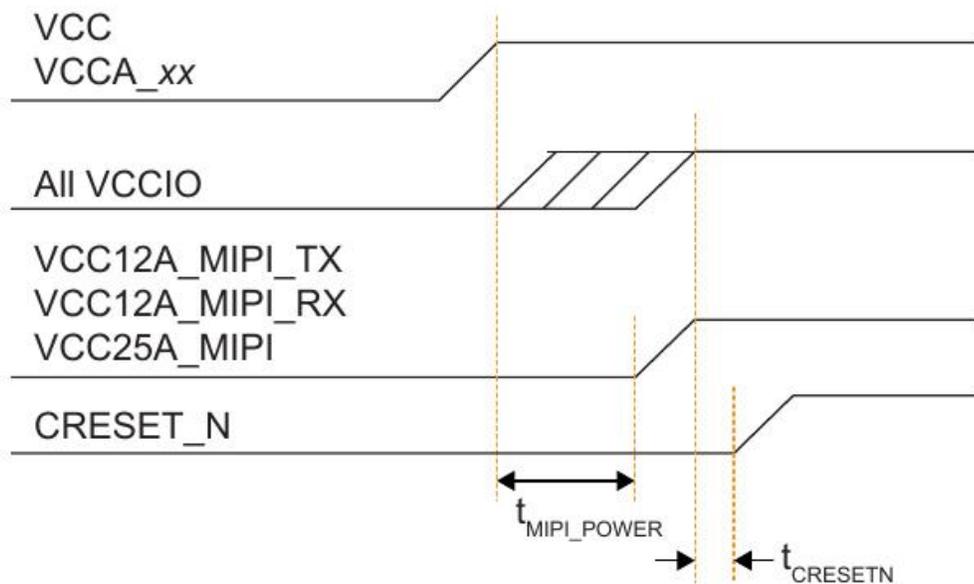
硬件设计参考素材

- [技术支持-易灵思 \(elitestek.com\)](http://elitestek.com)
 - AN006 Configuring Trion FPGAs
 - Trion Interfaces User Guide
 - 数据手册
 - PINOUT 文件
 - DevKit参考原理图
 - 功耗估算表

电源

- 上电顺序要求
- 功耗估算
- 储能,退藕和隔离
- 其他

电源-上电顺序要求



- 参考AN006
- VCC核电源和VCCA_xx模拟电源最先上电
- MIPI电源VCC12A/VCC25A在核电源VCC/VCCA_xx稳定 t_{MIPI_POWER} 时间以后上电
- 保证IO电源在核电源稳定以后上电
- 保证CRESET_N复位信号在IO电源稳定 $t_{CRESETN}$ 时间后释放
- 关于 t_{MIPI_POWER} 和 $t_{CRESETN}$ 参考具体器件的数据手册
- 客户硬件设计可采用带使能端的电源模块或者MOSFET来实现
 - RC电路的T值
 - 专用的时序控制芯片

电源-功耗估算

Power Estimator

For instructions on using the power estimators, read [AN 023: Using the Efinix Power Estimator](#)

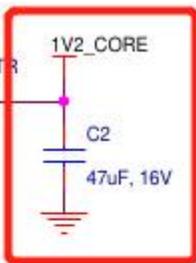
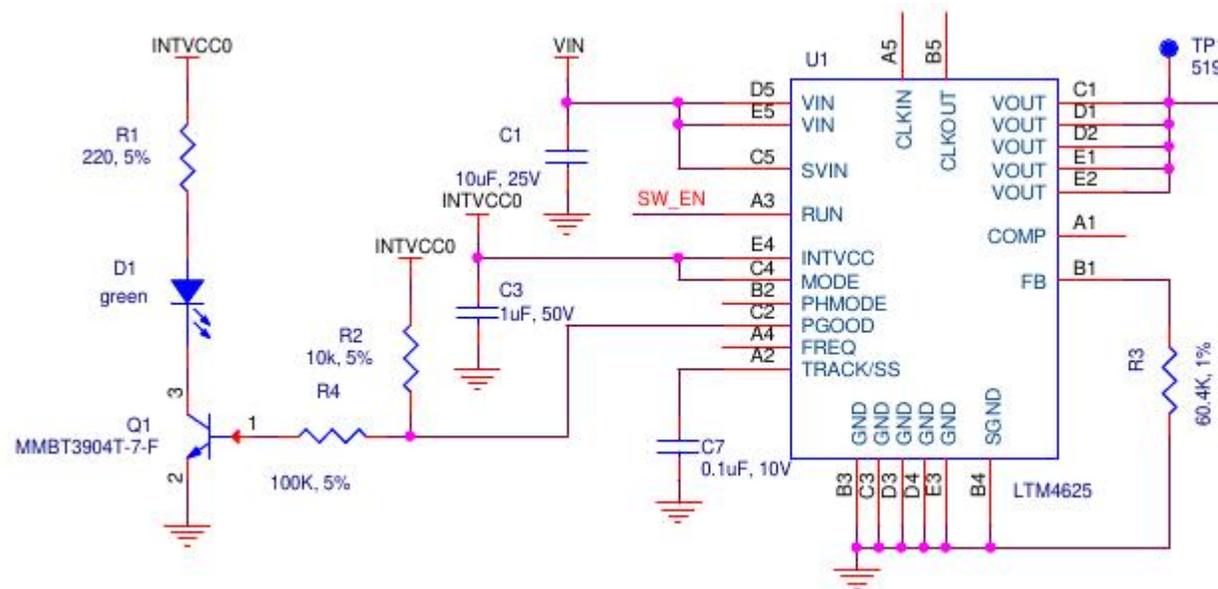
- [T4 Power Estimator](#) (v1.0 Jul 2020)
- [T8 Power Estimator](#) (v1.0 Jul 2020)
- [T13 Power Estimator](#) (v1.0 Jul 2020)
- [T20 Power Estimator](#) (v1.0 Jul 2020)
- [T55 Power Estimator](#) (v1.0 Jul 2020)
- [T35 Power Estimator](#) (v1.0 Jul 2020)
- [T85 Power Estimator](#) (v1.0 Jul 2020)
- [T120 Power Estimator](#) (v2.0 Jul 2020)

- 根据功耗估算表估算FPGA各种电压的功耗
- 根据估算出的功耗检视原理图设计的电源负载能力是否足够
- 推荐电源的负载能力推荐按估算功耗预留30%以上余量

电源-储能,退藕和隔离

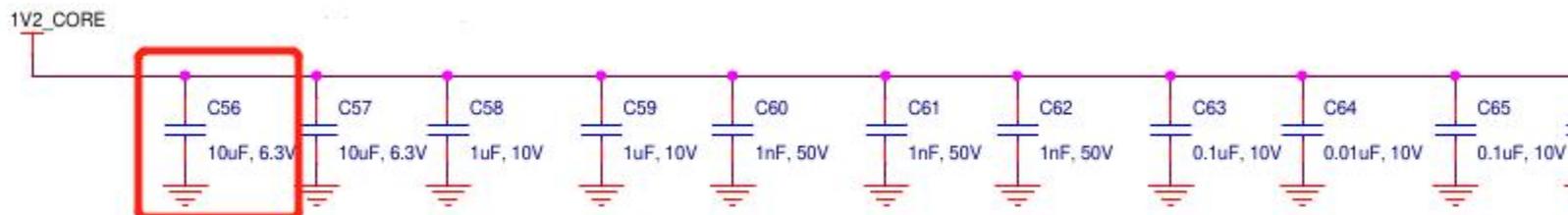
- 电源管脚和退藕电容的数量按1:1比例设计
 - 推荐每个电源管脚附近放置一个0.01uF和0.1uF作为退藕电容
 - PCB空间不足可以酌情减少,但是需要保证至少一个电源管脚有一个退藕电容
- 每种电源出口处(电源模块)使用1片或者多片47uF做储能电容,或参照电源模块参考电路要求选择储能电容
- 每组电源入口处(FPGA)使用1片或者多片10uF做储能电容
- 模拟电源(PLL/MIPI)采用 π 型滤波器(C-L-C)或者T型滤波(L-C)分开供电
 - L可以是电感或者是磁珠
 - L的选择必须考虑过电流能力,标称过电流至少预留高于对应电流30%以上的余量
 - 不同PLL 模拟电源分开隔离滤波
 - MIPI Tx和RX模拟电源分开隔离滤波

电源-储能电容 (T120F324 Devikit)

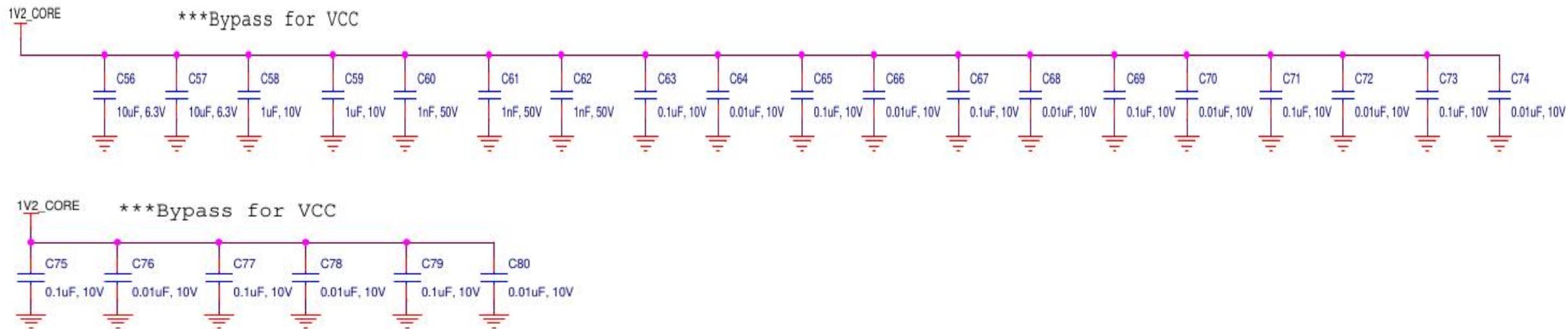


FPGA核电源储能电容 (放置在电源模块附近)

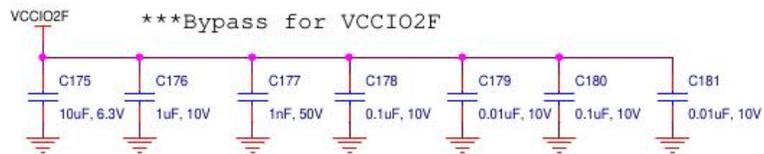
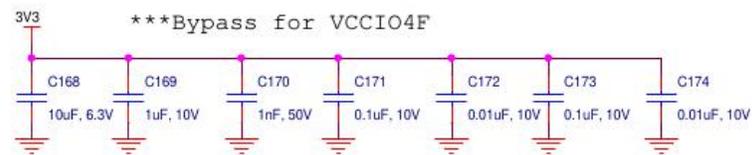
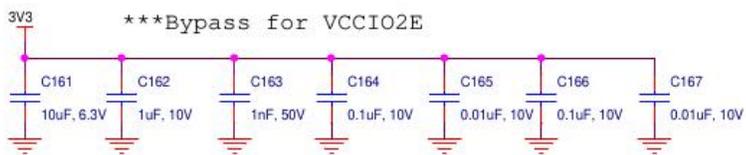
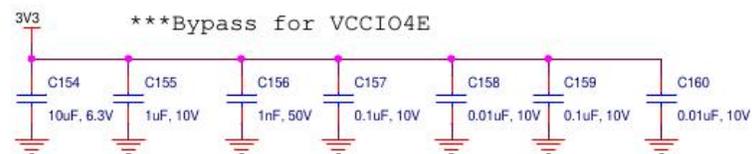
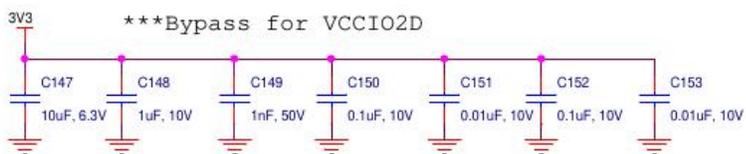
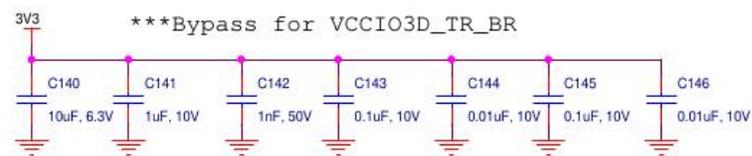
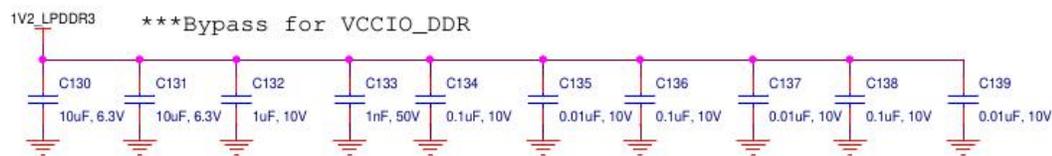
FPGA核电源储能电容 (放置在FPGA附近)



电源-内核电源退藕 (T120F324 Devikit)

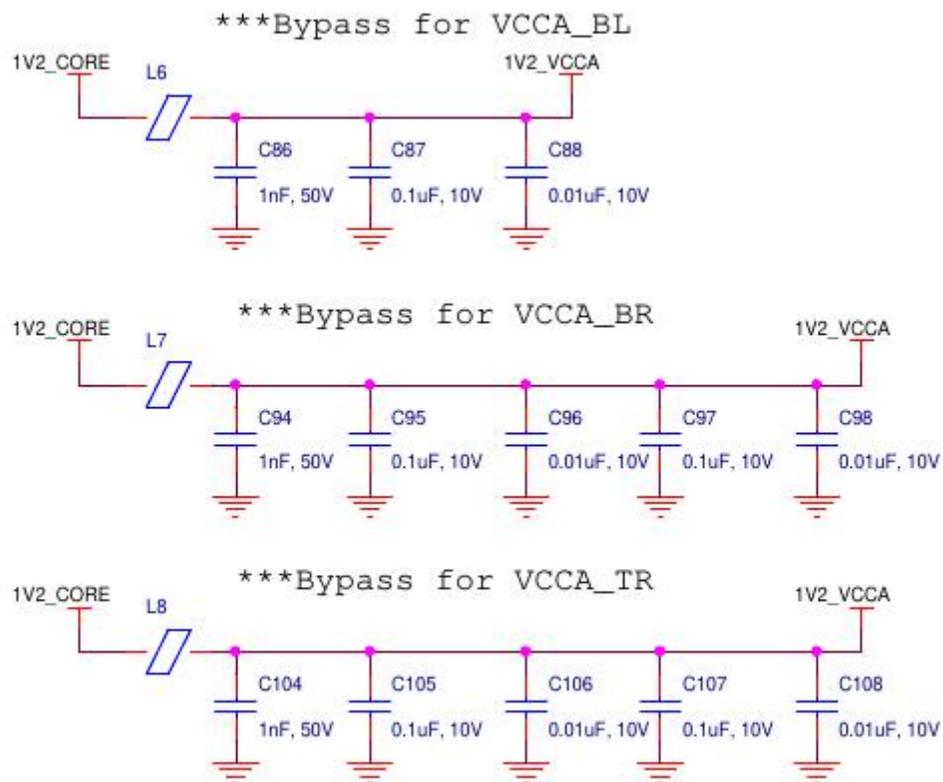


电源-IO电源退藕 (T120F324 Devikit)

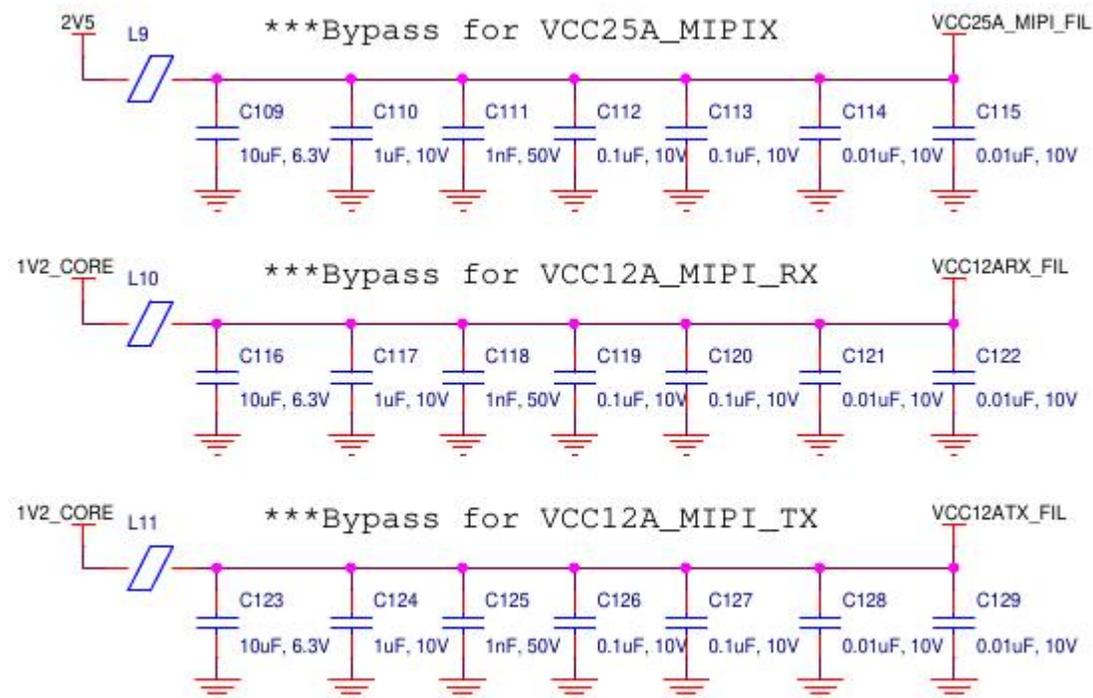


电源-模拟电源隔离和退藕 (T120F324 Devkit)

- PLL模拟电源隔离和退藕



- MIPI模拟电源隔离和退藕



配置电路（参考AN006）

- 关键信号
- 配置模式
 - JTAG
 - AS
 - 多镜像
 - POR电路
 - SPI FLASH
 - 容量选择
 - 支持型号
 - PS
 - JTAG Bridge

配置电路-关键信号（以T120F324为例）

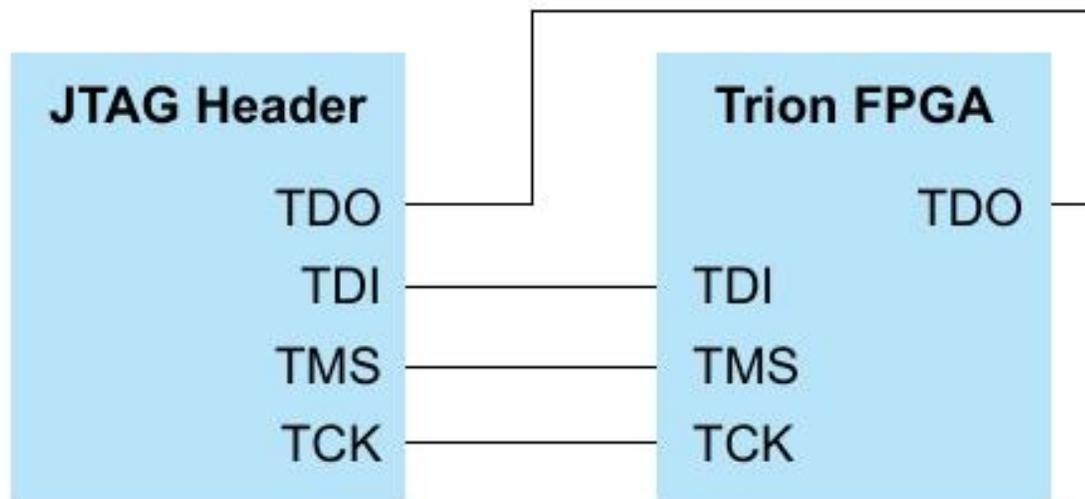
BANK	信号名	配置信号	功能描述	用户模式要求
BANK1A	GPIOL_11_CBUS0	CBUS0	配置数据位宽选择信号	输出
BANK1A	GPIOL_12_CBUS1	CBUS1		
BANK1A	GPIOL_13_CBUS2	CBUS2		
BANK1A	GPIOL_01_CCK	CCK	SPI配置接口	SS_N作为输出
BANK1A	GPIOL_08_CDIO	CDIO		
BANK1A	GPIOL_00_SS_N	SS_N		
BANK1A	GPIOL_09_CDI1	CDI1		
BANK1A	CDONE	CDONE	配置完成标志	
BANK1A	CRESET_N	CRESET_N	配置复位信号	
BANK1A	GPIOL_04_CSI	CSI	FPGA片选输入信号	输出
BANK1A	GPIOL_05_CSO	CSO	FPGA片选输出（级联）	
BANK1A	TCK	TCK	JTAG专用接口	
BANK1A	TDI	TDI		
BANK1A	TDO	TDO		
BANK1A	TMS	TMS		
BANK1G	GPIOL_156_CBSELO	CBSELO	多镜像外部选择信号	若使用多镜像，作为输出
BANK1G	GPIOL_157_CBSEL1	CBSEL1		
BANK1G	GPIOL_150_NSTATUS	NSTATUS	配置状态标志	
BANK1G	GPIOL_151_TEST_N	TEST_N	测试模式使能信号	输出

- 除了JTAG接口和CDONE，CRESET_N以外全部是复用管脚
 - FPGA配置成功进入用户模式以后复用管脚全部可作用户自定义IO
 - 复用管脚用作自定义IO的时候，为了避免干扰FPGA配置过程，均建议作为输出使用
 - 必须作为输出的管脚见右表（用户模式要求）
 - 配置信号的电阻上拉，必须接到对应BANK的VCCIO上
 - SPI接口，JTAG接口，CDONE和CRESET_N信号，所有的器件型号都在BANK1A
 - 其它信号，不同的器件型号对应的BANK会有所区别

配置电路-配置模式

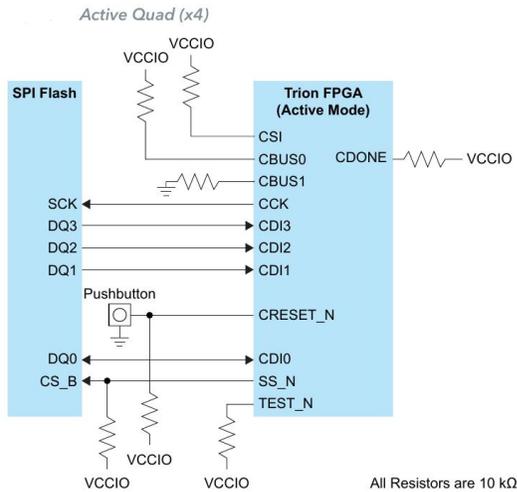
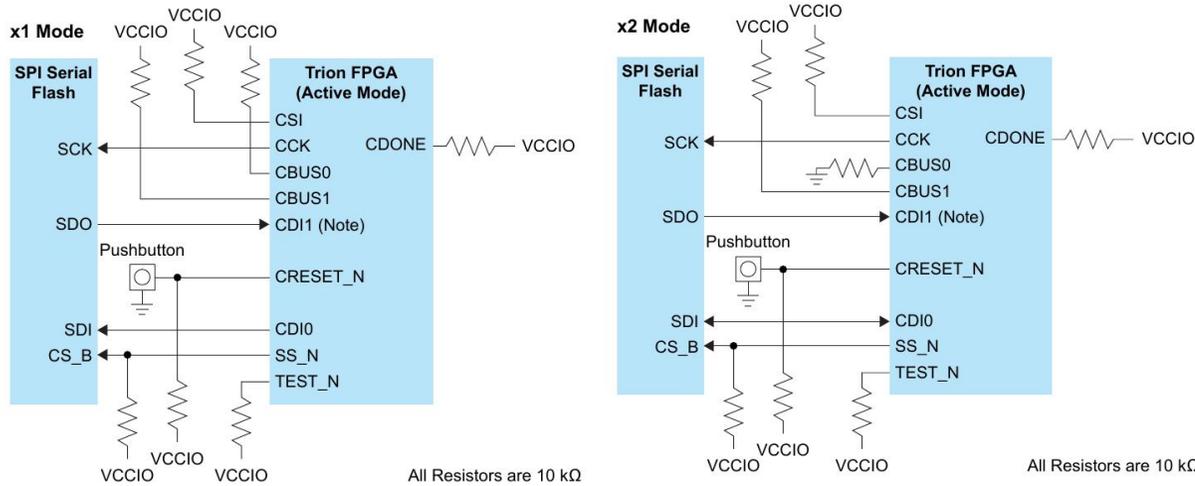
Configuration Mode	Parallel/Serial	TEST_N	SS_N	CBUS2, CBUS1, CBUS0	Width
SPI Active	Serial	1	1	3'b111	x1
	Parallel	1	1	3'b110	x2
	Parallel	1	1	3'b101	x4
SPI Passive	Serial	1	0	3'b111	x1
	Parallel	1	0	3'b110	x2
	Parallel	1	0	3'b101	x4
	Parallel	1	0	3'b100	x8
	Parallel	1	0	3'b011	x16
	Parallel	1	0	3'b010	x32

配置电路- JTAG



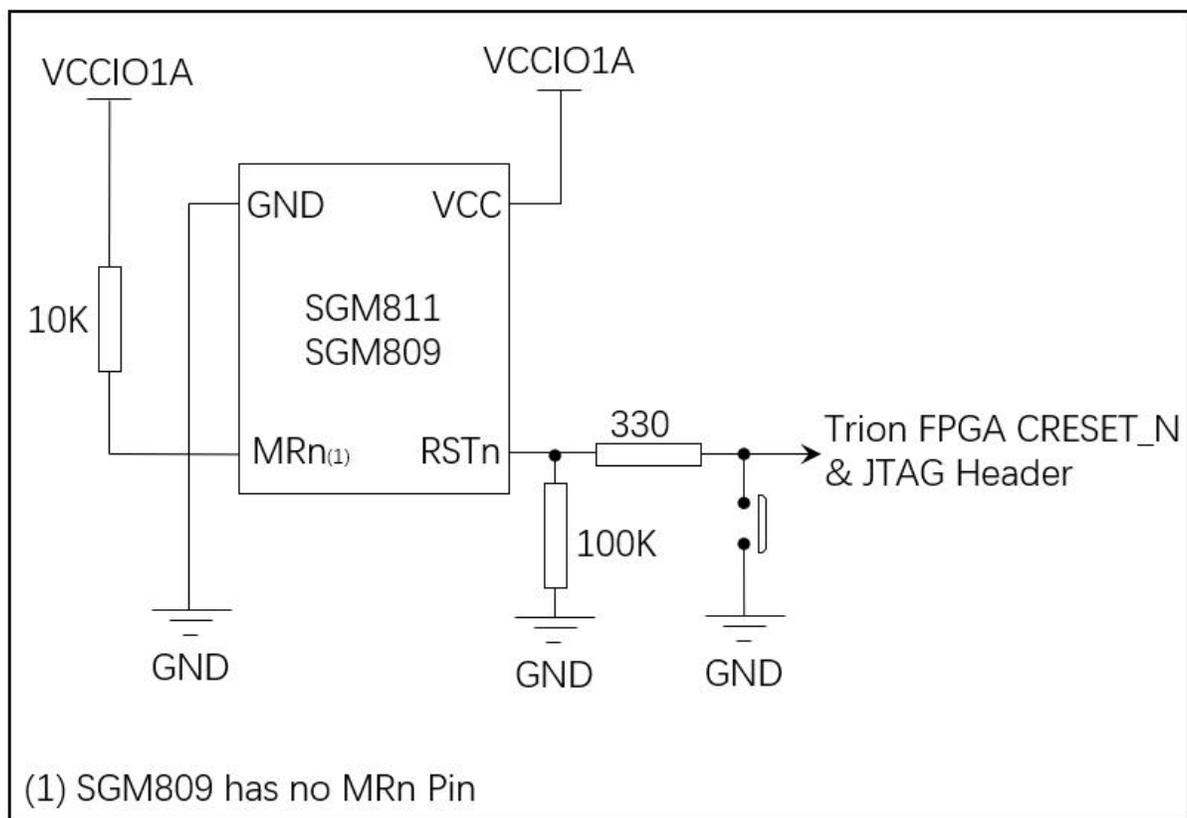
- JTAG模式不依赖于配置模式管脚设置
 - JTAG接口管脚是专用管脚不能作为用户自定义IO使用
- CDONE, TEST_N, CSI必须上拉
- 若板上干扰较大（例如：伺服驱动类板卡）建议TCK靠近FPGA管脚处加1nF滤波电容
- 为保证可靠性，建议TDI和TMS 10K 上拉
- T4 T8 T13 T20 CRESET_N管脚必须接到JTAG下载插座上

配置电路- AS



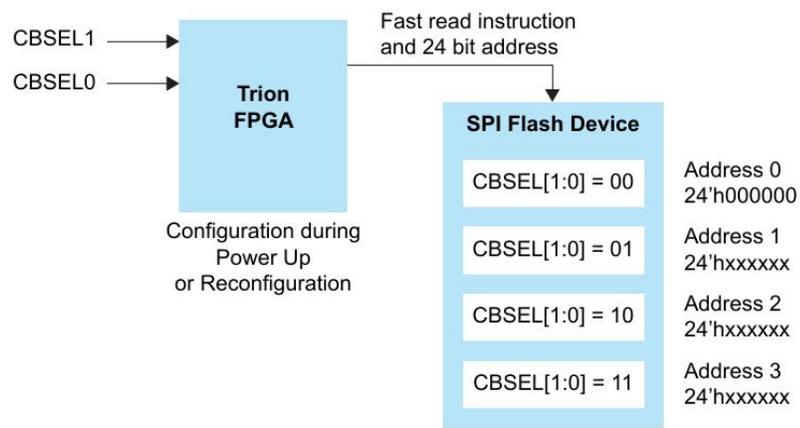
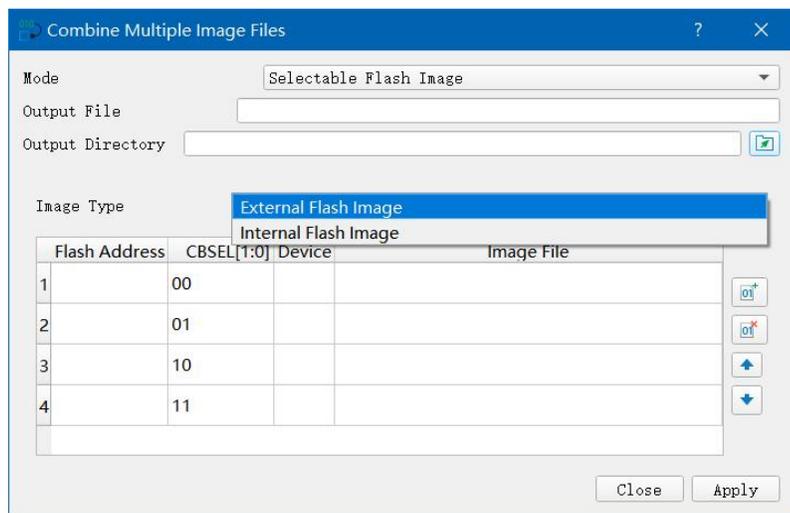
- AS模式必须使用上电复位POR电路
 - Next Page
- CDONE, TEST_N, CSI, SS_N必须上拉, 阻值推荐10K
- X1 X2 X4模式选择由CBUS0-2管脚上下拉决定
- T35 AS X1模式不支持在线重配置功能, 如果要支持在线重配置功能需要选择X2或者X4模式

配置电路- AS-POR电路



- 在使用**AS**模式配置的情况下需要上电复位电路
- 不推荐使用**RC**电路做**POR**
 - 目前开发板上都用了**RC**电路做**POR**
 - 在**FPGA**有较多其他**IC**互联的情况下，**RC**电路会通过串电充电导致上电状态不稳定
- **T4 T8 T13 T20**必须将**CRESET_N**管脚接到**JTAG**插座上
- 其它型号，也建议将**CRESET_N**管脚接到**JTAG**插座上，以备调试之需

配置电路- AS-多镜像



- Trion的多镜像在线重配置功能可通过外部模式或者内部模式实现
- CBSEL1-0为AS模式外部多镜像下载选择管脚，对这两个管脚的上下拉可实现FPGA从不同的镜像进行加载
- 如果使用内部多镜像，同时CBSEL1-0在FPGA下载完成以后作为用户GPIO使用，建议这两个管脚下拉（默认从image0启动）或者根据需要选择上下拉，并且用户模式中作为输出使用
- 如果要使用多镜像实现在线重配置，bitstream生成必须勾选CRC校验。
- 不使用多镜像功能的设计，CBSEL1-0当做通用GPIO来使用

配置电路- AS-SPI FLASH-容量选择

FPGA	Maximum Supported Configuration Bits (Single Image)	Packages
T4	1,348,184	All
T8	1,394,584	BGA49, BGA81
	5,255,968	QFP144
T13	5,261,920	All
T20	5,445,600	BGA169, BGA256
	8,003,744	BGA324, BGA400
T35	8,139,168	All
T55	27,675,040	All
T85	28,042,400	All
T120	28,409,760	All

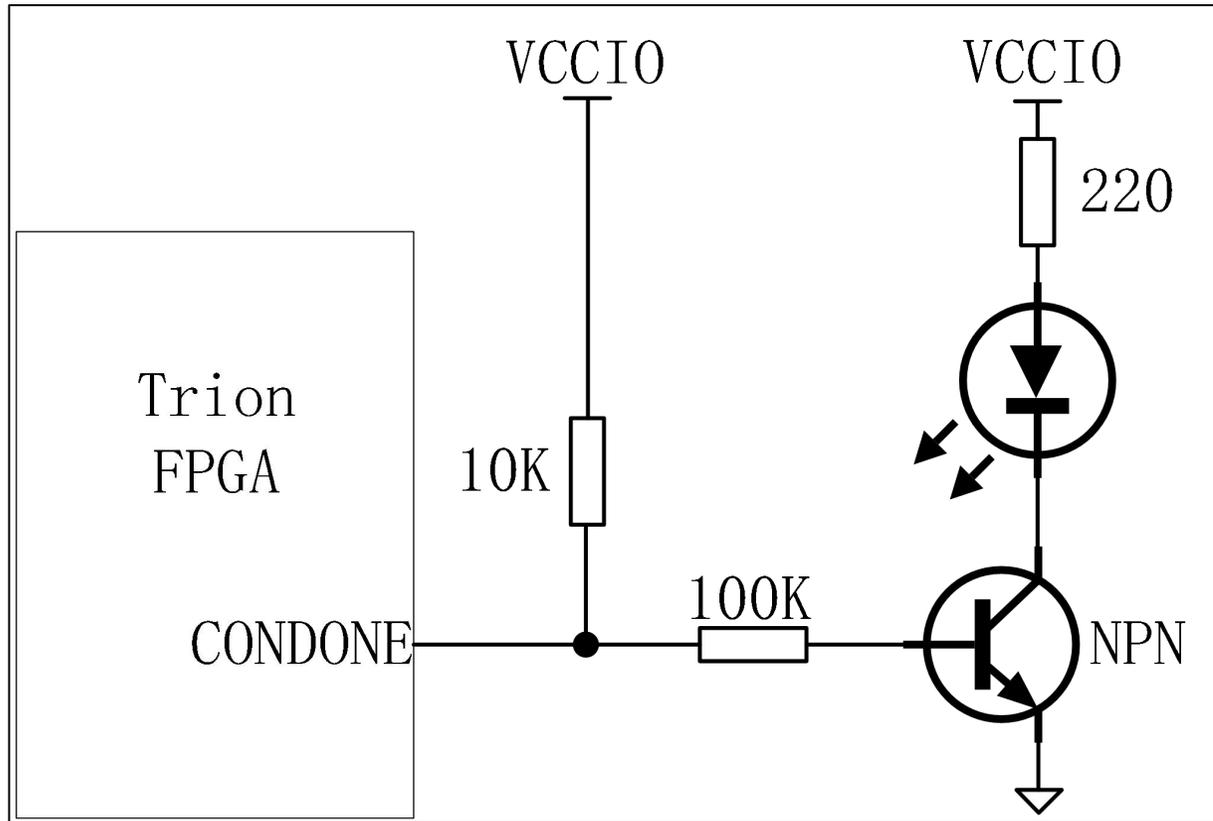
配置电路- AS-SPI FLASH-型号选择

Vendor	JEDEC ID	Family	SPI Mode Support	Remark
GD	0xC8	GD25Q	X1, X2, X4	1. 对应于Efinity2021.2.232 path5.19或者更新的版本。 2. 不在列表里的型号，请对照数据手册，确认是否和列表里的型号兼容。
		GD25WQ	X1, X2, X4	
		GD25LQ	X1, X2	
PUYA	0x85	P25Q	X1, X2, X4	
MACRONIX	0xC2	MX25L	X1, X2, X4	
		MX25V	X1, X2	
		MX25U	X1, X2, X4	
		MX75L	X1, X2, X4	
		MX75U	X1, X2, X4	
MICRON	0x20	MT25Q	X1, X2, X4	
		M25P	X1	
WINBOND	0xEF	W25Q	X1, X2, X4	
XTX	0x0B	XT25F	X1, X2, X4	

配置电路- JTAG Bridge

- JTAG Bridge模式是先通过JTAG烧写FPGA，将FPGA配置成JTAG到SPI的Bridge，再通过JTAG插座—FPGA(JTAG to SPI Bridge)烧写SPI FLASH
 - 其实质是AS模式，只是烧写FLASH的方式和AS不同
 - 省掉一个烧写SPI FLASH的插座
- 参照JTAG模式连接外围电路
- 参照AS模式连接SPI FLASH和FPGA之间的信号及相关配置电路

配置电路-CDONE信号的处理



- CDONE是FPGA完成加载的标志
- CDONE信号是OD信号，所有的配置模式下都必须上拉（推荐10K），否则加载不成功
- 如果需要用CDONE驱动LED作为加载完成标志指示灯信号，参考左图电路进行设计
- 如果不需要指示灯直接做10K上拉

普通GPIO

- LVCOMS/LVTTL3.3/2.5/1.8V
- DDIO

普通GPIO-LVCOMS/LVTTL3.3/2.5/1.8V

- GPIO的信号电平标准，必须同该BANK的VCCIO电压一致
 - 支持LVCOMS/LVTTL3.3/2.5/1.8V
 - TRION 1 FPGA的GPIO不支持IO Delay调节，也不支持DLL和可编程Delay结构，在需要对输入非连续快速时钟（大于100Mhz）进行相位调整的设计中慎重使用
 - Trion 1 FPGA使用1.8V电平标准时，建议速率不要超过130MHz
 - LVDS IO可以用作GPIO
 - 不支持内部下拉
 - 不支持DDIO
 - 不支持内部施密特触发器
 - 部分型号不支持输出驱动电流调节
 - 部分型号不支持Slew Rate设置
 - 关于LVDS IO用作GPIO和普通GPIO的功能区别见下一页

普通GPIO VS. LVDS IO用作GPIO

Package	Supported Features	
	GPIO	LVDS GPIO
<i>T4/T8</i>		
BGA49 BGA81	Schmitt Trigger Variable Drive Strength Pull-up Pull-down Slew Rate	-
<i>T8/T13/T20</i>		
WLCSP80 QFP144 BGA169 BGA256	DDIO Schmitt Trigger Variable Drive Strength Pull-up Pull-down Slew Rate	Pull-up
<i>T20/T35/T55/T85/T120</i>		
BGA324 BGA400 BGA484 BGA576	DDIO Schmitt Trigger Variable Drive Strength Pull-up Pull-down Slew Rate	Variable Drive Strength Pull-up Slew Rate

普通GPIO-DDIO

- 部分GPIO支持DDIO（Double-Data I/O）功能
 - 类似于X的IDDR/ODDR
 - RGMII接口/PSRAM接口以及支持DDR的FLASH等外设必须使用支持DDIO的管脚
 - T20/T13只有部分管脚支持DDIO，不同的器件型号支持的DDIO管脚有所区别，需要使用PINOUT文件对照检查
 - TRION 1 FPGA的GPIO不支持IO Delay调节，也不支持DLL和可编程Delay结构，在对输入非连续快速时钟（大于100Mhz）进行相位调整的设计中慎重使用，比如PSRAM的DQS
 - 在1.8V的情况下DDIO的时钟速度建议不要超过130Mhz
 - 推荐用户使用2.5V/3.3V的电压
 - 如果使用1.8V PSRAM，最高速率不能超过100M

时钟GPIO

- 时钟输入管脚（Clock In）
- 锁相环输入管脚（PLL In）
- Clock In和PLL In的选用原则
- MREFCLK

时钟GPIO-时钟输入管脚（Clock In）

- 时钟输入管脚（Clock In）
 - 管脚名称为GPIOx_y_CLKz的管脚为Clock In管脚
 - X=字母, y=数字, z=数字
 - 名称为GPIOx_RXPy_CLKPz/ GPIOx_RXNy_CLKNz不是Clock In管脚
 - X=字母, y=数字, z=数字
 - Clock In管脚可以直接进入全局时钟网络驱动内部逻辑时钟
 - Interface Designer -> Connection Type=gclk
 - Clock In管脚也可以通过core模式作为PLL的参考时钟输入
 - Clock In管脚通过core模式可以作为任意PLL的参考时钟输入
 - 占用一个全局时钟网络资源
 - 管脚到锁相环的延迟较大
- Clock In管脚如果不用做时钟输入可作为普通IO使用
 - Interface Designer -> Connection Type=none

时钟GPIO-时钟输入管脚 (Clock In)

- 例：T120F324的时钟输入管脚

Bank	Pin Names	Configur	MIPI	LVDS	DDIO	FBGA324
BANK1C	GPIOL_66_CLK0				Yes	K17
BANK1D	GPIOL_72_CLK6				Yes	H14
BANK1D	GPIOL_73_CLK7				Yes	H13
BANK3D	GPIOR_174_CLK15				Yes	G6
BANK3D	GPIOR_178_CLK11				Yes	H6

时钟GPIO-锁相环输入管脚 (PLL In)

- 锁相环输入管脚 (PLL In)
 - 名称为GPIOx_y_PLLINz和GPIOx_RXP/Ny_CLKP/Nz为锁相环输入管脚
 - x=字母, y=数字, z=数字
 - PLL In管脚可直接进入对应的锁相环作为参考时钟
 - Interface Designer -> Connection Type=pll_clkin
 - 不占用全局时钟网络资源
 - 管脚到锁相环延迟小
 - 一个PLL In管脚只能作为某个特定锁相环的参考时钟输入
 - PLL In管脚作为时钟只能进入锁相环, 无法直接驱动内部逻辑
 - DDR PHY的时钟源只能通过特定的PLL In管脚经由对应的锁相环生成
 - 一般为PLL BR0, 详细的PLL In管脚和锁相环资源参见相关型号的数据手册Device Interface Functional Description->PLL
 - 差分时钟输入
 - LVDS RX的差分源同步时钟只能通过GPIOx_RXP/Ny_CLKP/Nz经对应锁相环输入
 - 名称为GPIOx_RXPy_CLKPz也可作为单端参考时钟管脚进入对应锁相环
 - PLL in管脚和锁相环资源的详细对应关系表, 参见相关型号数据手册的Device Interface Functional Description->PLL
- PLL In管脚如果不用做时钟输入可作为普通IO使用
 - Interface Designer -> Connection Type=none

时钟GPIO-锁相环输入管脚 (PLL In)

- 例: T120F324 锁相环输入管脚和锁相环资源的对应关系表 (参见数据手册的Device Interface Functional Description->PLL)

PLL	REFCLK0	REFCLK1
PLL_BL0	GPIOL_15_PLLIN0	N/A
PLL_BR0 ⁽⁵⁾	GPIOR_186_PLLIN0	N/A
PLL_BR1	GPIOR_187_PLLIN1	N/A
PLL_BR2	GPIOR_188_PLLIN2	N/A
PLL_TR0	GPIOR_166_PLLIN0	Differential: GPIOT_RXP09_CLKP0, GPIOT_RXN09_CLKN0 Single-ended: GPIOT_RXP09_CLKP0
PLL_TR1	GPIOR_167_PLLIN1	Differential: GPIOT_RXP19_CLKP1, GPIOT_RXN19_CLKN1 Single-ended: GPIOT_RXP19_CLKP1
PLL_TR2	GPIOR_168_PLLIN2	Differential: GPIOT_RXP29_CLKP2, GPIOT_RXN29_CLKN2 Single-ended: GPIOT_RXP29_CLKP2

⁽⁵⁾ PLL_BR0 can be used as the PHY clock for DDR DRAM block.

时钟GPIO-Clock In和PLL In的选用原则

- 当输入时钟需要灵活兼顾直接驱动逻辑和锁相环时，建议接Clock In管脚，比如外部晶振
- 对于随路时钟，如果是高质量的连续时钟并且对输入延迟要求很苛刻的话，建议接PLL In
 - 千兆以太网GE PHY的RXC建议接到PLL IN管脚进锁相环
- 当内部逻辑时钟域很多，需要外部输入时钟源也很多的时候，建议尽量使用PLL In节约全局时钟网络资源

时钟GPIO- MREFCLK

- MREFCLK MIPI PHY专用时钟输入
 - 仅MIPI TX需要使用MREFCLK, 如果设计中只用到RX, 该管脚可以不用或者用作普通GPIO
 - MIPI PHY的参考时钟必须从MREFCLK管脚输入
 - 参考时钟频率只能从6M,12M,19.2M,25M,26M,27M,38.4M,52M中选取

LVDS

- LVDS RX源同步时钟管脚
- LVDS 交流耦合
- LVDS Bank使用限制
 - LVDS IO差分同单端混用的使用限制
 - LVDS IO 作单端的使用限制

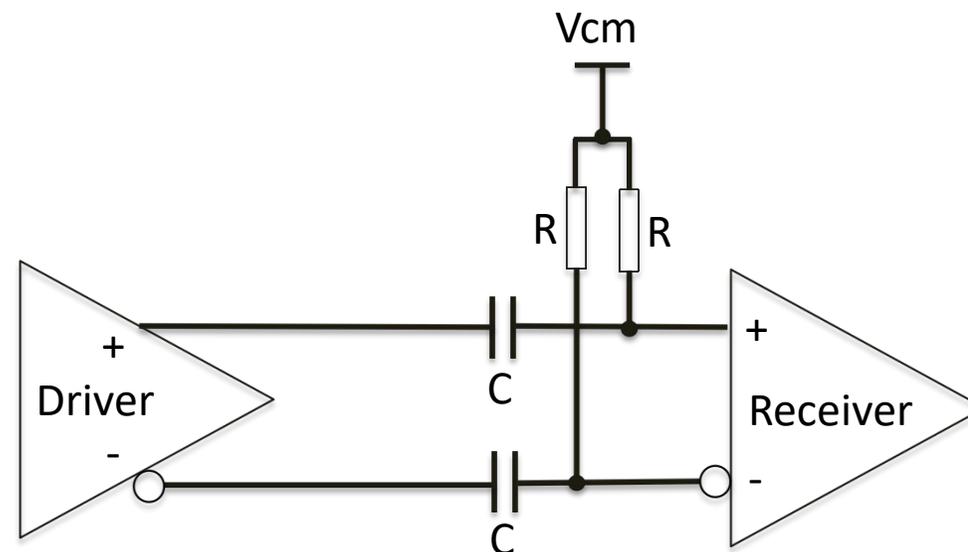
LVDS-LVDS RX源同步时钟管脚

- LVDS RX的差分源同步时钟只能通过GPIOx_RXP/Ny_CLKP/Nz经对应锁相环输入
 - LVDS 差分时钟输入同锁相环的对应关系参见相关型号的数据手册Device Interface Functional Description->PLL
 - 例: T120F324

PLL	REFCLK0	REFCLK1
PLL_BL0	GPIOL_15_PLLIN0	N/A
PLL_BR0 ⁽⁵⁾	GPIOR_186_PLLIN0	N/A
PLL_BR1	GPIOR_187_PLLIN1	N/A
PLL_BR2	GPIOR_188_PLLIN2	N/A
PLL_TR0	GPIOR_166_PLLIN0	Differential: GPIOT_RXP09_CLKP0, GPIOT_RXN09_CLKN0 Single-ended: GPIOT_RXP09_CLKP0
PLL_TR1	GPIOR_167_PLLIN1	Differential: GPIOT_RXP19_CLKP1, GPIOT_RXN19_CLKN1 Single-ended: GPIOT_RXP19_CLKP1
PLL_TR2	GPIOR_168_PLLIN2	Differential: GPIOT_RXP29_CLKP2, GPIOT_RXN29_CLKN2 Single-ended: GPIOT_RXP29_CLKP2

LVDS-LVDS 交流耦合

- RX端采用隔直电容
+Vcm上拉
 - 隔直电容推荐NP0介质陶瓷叠层贴片电容
 - 匹配电阻推荐1%贴片电阻
 - 在Interface Designer里取消片上端接跨阻



Vcm=1.25V
R=50ohm
C=1000pF@100Mhz
100pF@400Mhz
50pF@800Mhz
 $C > 1 / (5 * 2\pi * f) \approx 1 / 30f$

LVDS Bank使用限制

- 如果需要在LVDS IO里差分信号同单端信号混用，必须隔开2对差分IO
 - 例如：使用RXP09/RXN09就不能使用RX07/08/10/11作为差分信号
- 每一个LVDS Bank中的IO用作单端输出，不能超过14个
 - 引起同步开关噪声(SSN) 风险
- T20的GPIOB_CLKN0/GPIOB_CLKP0，用做LVDS时只能作为LVDS RX时钟直接进入锁相环，不能进入内部逻辑

DDR

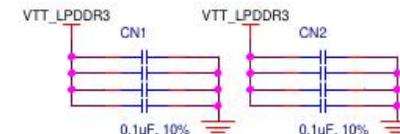
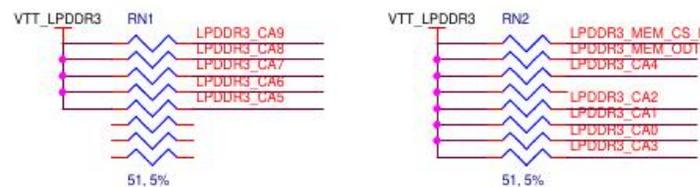
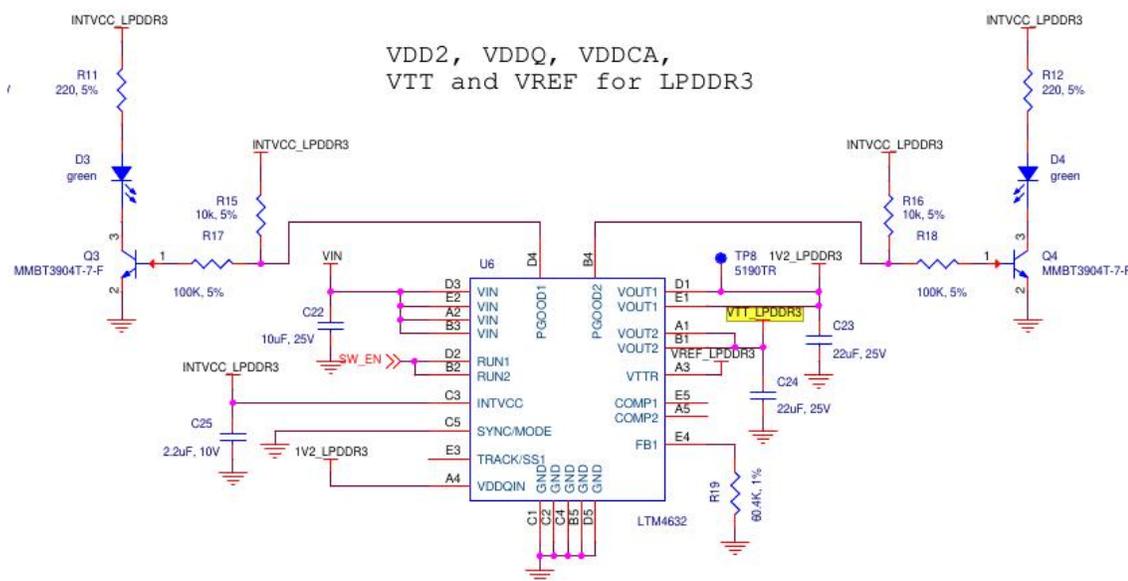
- DDR PHY专用时钟
- DDR VTT端接和VREF
- 不使用DDR硬核时的处理方法
- 其他注意事项

DDR-PHY专用时钟

- **DDR PHY的时钟源只能通过特定的PLL In管脚经由对应的锁相环生成**
 - 一般为PLL BR0，详细的PLL In管脚和锁相环资源参见相关型号的数据手册Device Interface Functional Description->PLL
 - DDR PHY的参考时钟源不能通过Clock In管脚进入，也不能通过其他的锁相环输出级联
- **只能使用Output Clock0作为DDR PHY参考时钟。**
 - 如果希望减少晶振数量，可使用的Output Clock1做其他PLL的输入参考时钟进行级联（不推荐，只作为已经将板子设计成不可更改情况下的应对措施）
 - 当设计不用DDR时，则没有此限制

DDR-DDR VTT端接和VREF

- DDR 端接VTT和VREF电源的生成，推荐使用专用的IC生成
 - 例如LTM4632, TPS51206, TPS51200等
 - 例：T120F324 DevKit



DDR-不使用DDR硬核时的处理方法

- 如果设计中不需要DDR硬核，将FPGA的VCCIO_DDR悬空，DDR_VREF接地
 - 降低功耗
 - 例：T120F324

J2	VCCIO_DDR
K4	VCCIO_DDR
L2	VCCIO_DDR
L6	VCCIO_DDR
P2	VCCIO_DDR
P5	VCCIO_DDR
T7	VCCIO_DDR
U2	VCCIO_DDR
U5	VCCIO_DDR

MIPI

- MIPI PHY专用时钟
- 不使用MIPI硬核时的处理方法
- 其他

MIPI-MIPI PHY专用时钟

- MIPI PHY的参考时钟必须从MREFCLK管脚输入
 - 参考时钟频率只能从6M,12M,19.2M,25M,26M,27M,38.4M,52M中选取
- MIPI PHY在硬核里有独立专用的PLL
 - MREFCLK只能进入MIPI PHY硬核专用PLL
 - MIPI硬核专用PLL只能由MIPI使用，不能输出到内部逻辑

MIPI-不使用MIPI硬核时的处理方法/其他

- 不使用MIPI的时候，可将对应的VCC25A_MIPIx和VCC12A_MIPIx都接到1.2V
 - x=对应的MIPI通道
 - 降低功耗
- 其他
 - MIPI通道各Lane之间可以交换
 - MIPI Rx每个Lane的P/N信号可以交换
 - 提高PCB布局布线的灵活性，提高信号质量

谢 谢！