Multicycle 应用举例

例1： 同源时钟，信号从slower clock domain传输到fast clock domain

**注意**：当Launch clock比latch clock慢的时候，此时只能使用比较快的latch clock作为set\_multicycle\_path的约束。此时，对setup约束来说，因为默认的就是以latch clock作为参考，此时可以使用或者不使用“”-end“”关键字。对于hold来说，默认的参考时钟是launch clock，所以，此时必须要使用“”-end“”关键字。格式如下：

1. 代码

文本

描述已自动生成

1. 时钟来源

来自同一个PLL的输出，pll\_cLKOUT0的频率是120MHz，pll\_cLKOUT1的频率是480MHz。

图形用户界面, 应用程序

描述已自动生成

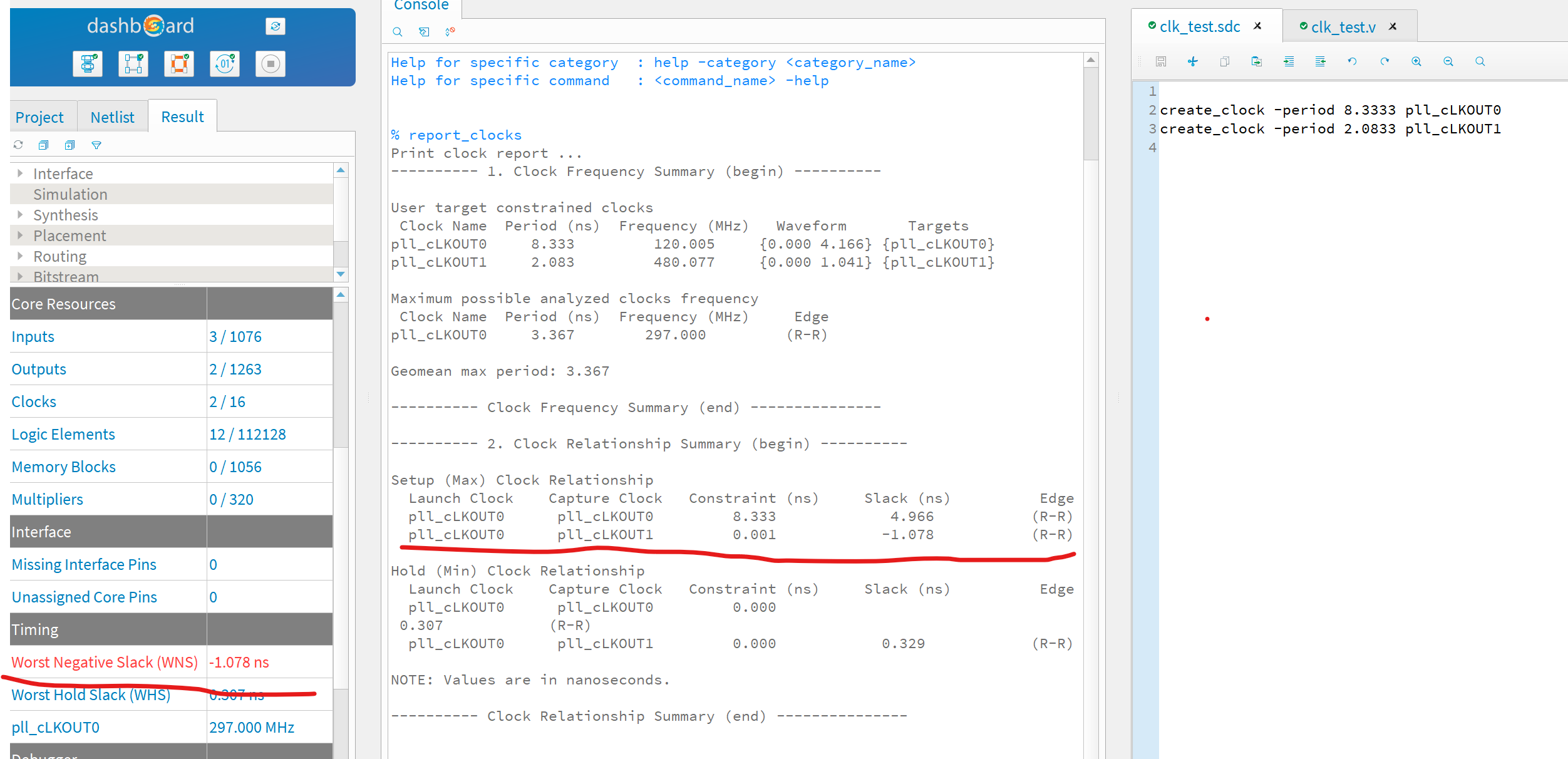
1. 使用multicycle进行时序放松约束
   1. sdc中没有使用multicycle约束时
2. 时序关系示意图

图片包含 图表

描述已自动生成

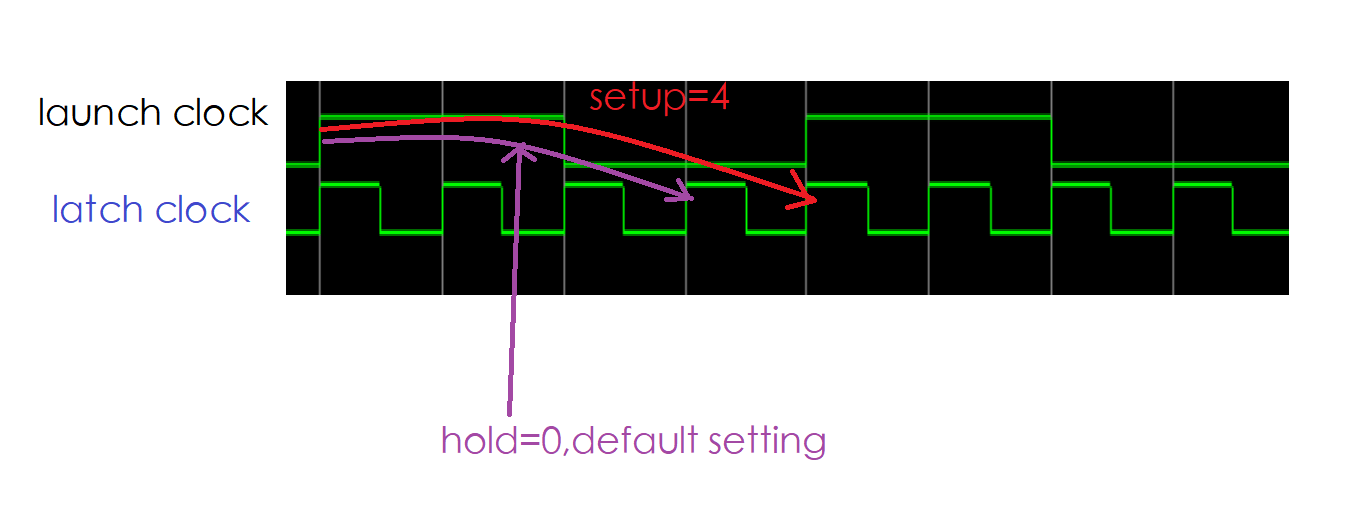
(2) 编译结果

可以观察到，setup时序存在违例。



* 1. 采用multicycle只对setup进行放松，放松了3个时钟周期（相对于end clock，即latch clock），hold依然保持default设置不变。

（1）时序关系示意图



（2）此时的sdc约束

图形用户界面, 应用程序

描述已自动生成

(3) 编译结果如下：

可以看到setup没有问题了，但是，hold出现了违例。

图形用户界面, 文本, 应用程序

描述已自动生成

* 1. 采用multicycle既对setup进行放松，也对hold进行放松。

Setup 放松3拍，hold放松3拍（均相对于latch clock）

（1）时序关系示意图

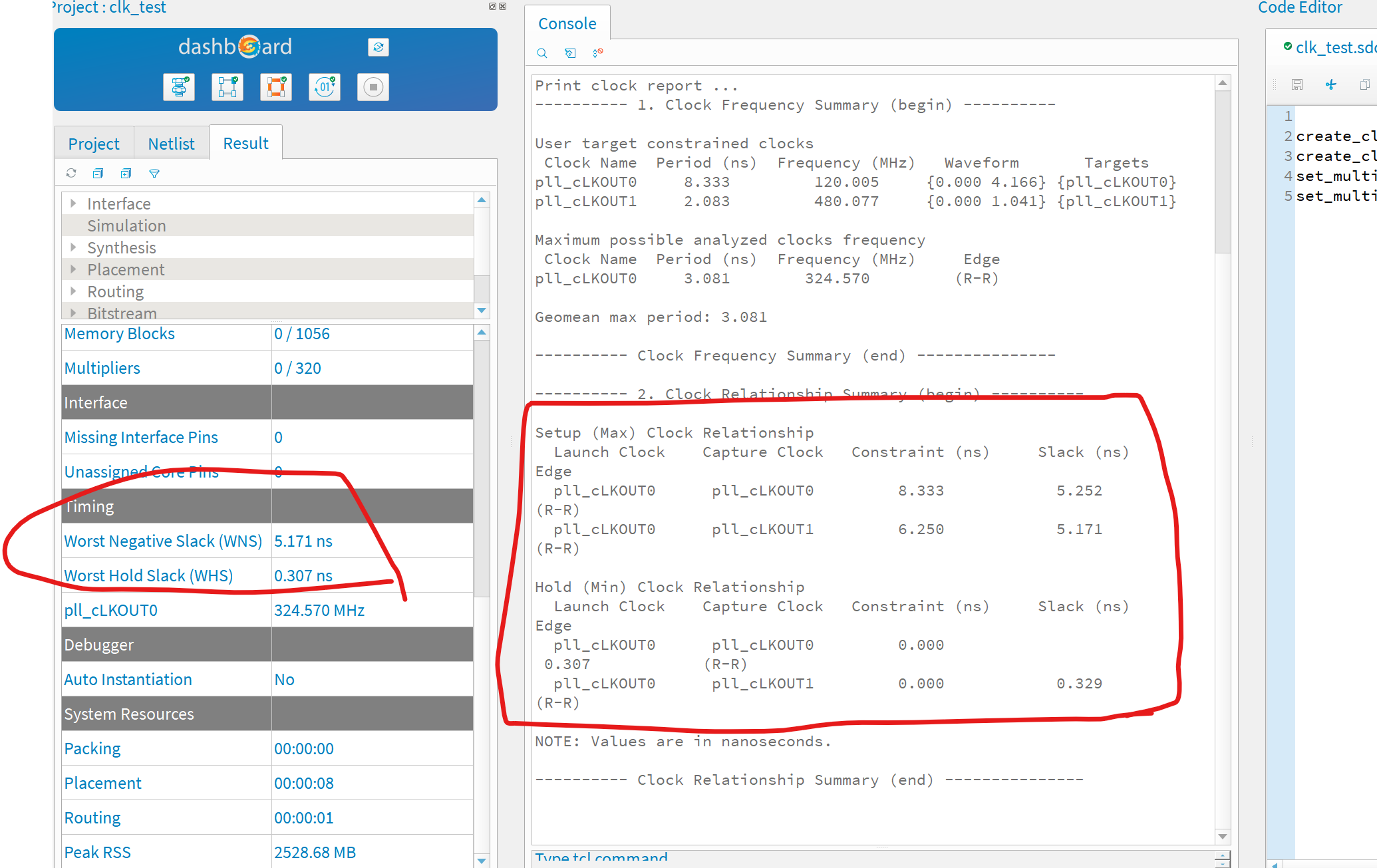


（2） sdc约束

图片包含 Word

描述已自动生成

（3） 编译结果



从编译结果来看，此时不仅setup满足时序要求，hold也满足时序要求。