



易 灵 思

易灵思FPGA设计技巧

——时序收敛

陈弘 Bruce Chen

2021年9月



易 灵 思

第一部分

——时序收敛的理论基础和时序分析

版本

日期	版本	版本描述
2021/9/10	V1.0	初稿发布



主要内容

1. 理论基础

2. 时序分析

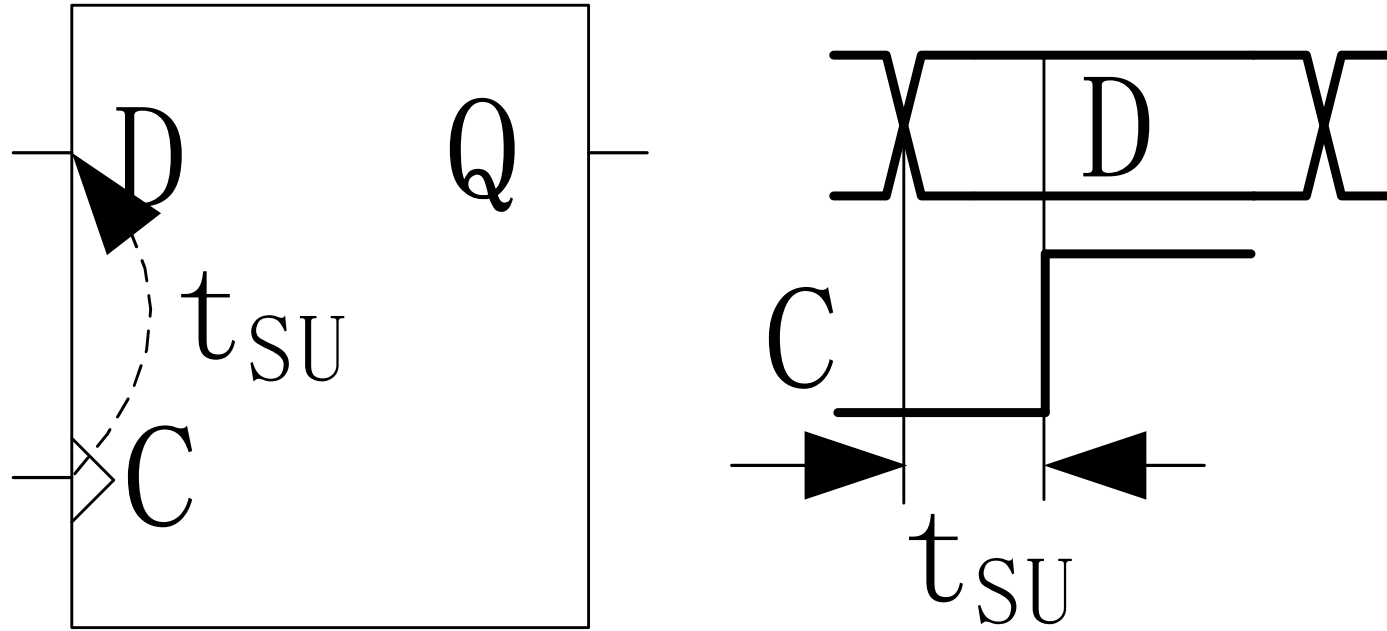


理论基础

- 时序参数的基本概念
 - 建立时间(t_{SU})
 - 保持时间(t_{HD})
 - 时钟到输出时间(t_{CO})
 - 传播延迟(t_{PD})
 - 时钟的Jitter , Skew和Uncertainty
- 同步时序系统最大工作频率(f_{MAX})的计算原理
- FPGA的四种基本时序路径分析
 - 从FPGA输入引脚到目的寄存器数据输入端口(P2R)
 - 从源寄存器时钟输入端口到目的寄存器数据输入端口(R2R)
 - 从源寄存器时钟输入端口到FPGA输出端口(R2P)
 - 从FPGA输入端口到FPGA输出端口(P2P)



建立时间(t_{SU})

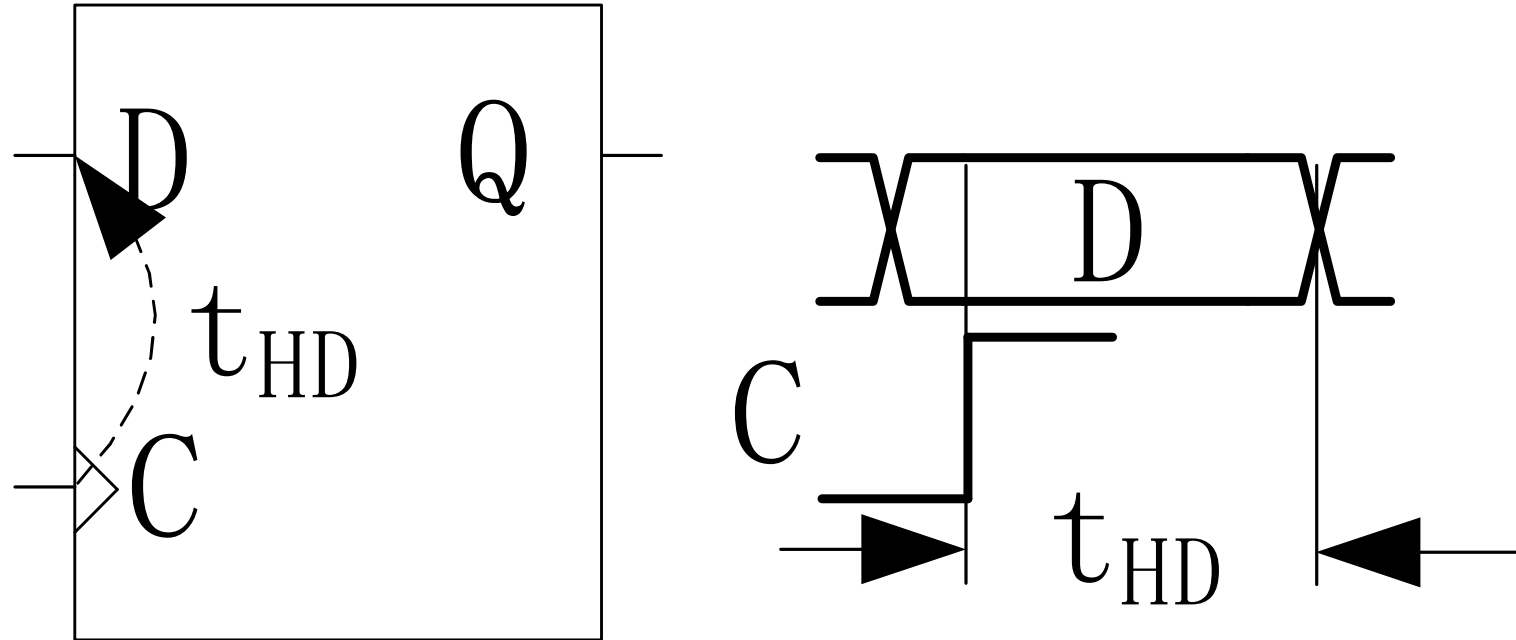


- t_{SU} 建立时间

- 时序单元(FF)的输入数据在时钟有效边沿之前，必须提前稳定的时间。
- 对于FPGA的时序单元(FF)来说，一旦选定了目标器件，时序模型也就固定了，各时序单元(FF)的 t_{SU} 建立时间的最低要求也就确定了。



保持时间(t_{HD})

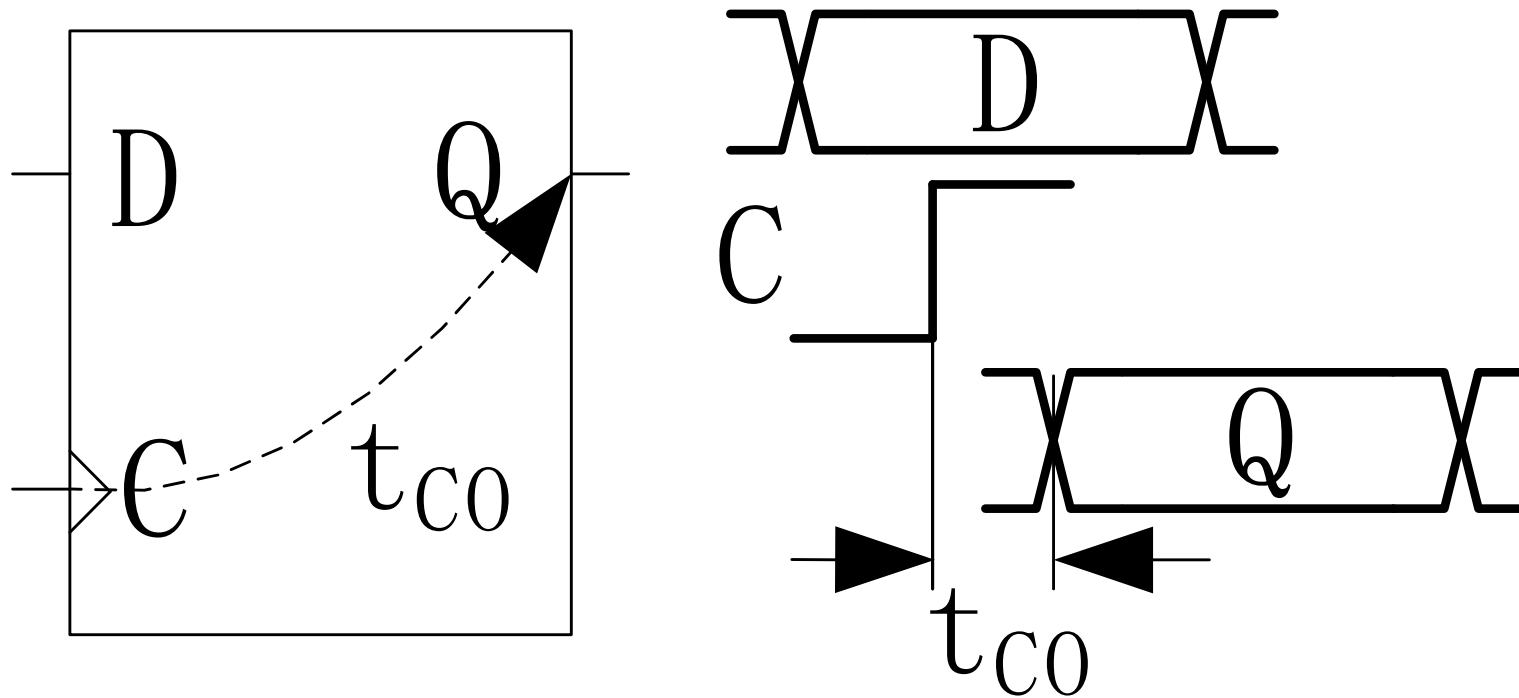


- t_{HD} 保持时间

- 时序单元(FF)的输入数据在时钟有效边沿到来之后，需要继续保持稳定的时间。
- 对于FPGA的时序单元(FF)来说，一旦选定了目标器件，时序模型也就固定了，各时序单元(FF)的 t_{HD} 保持时间的最低要求也就确定了。



时钟到输出时间(t_{co})

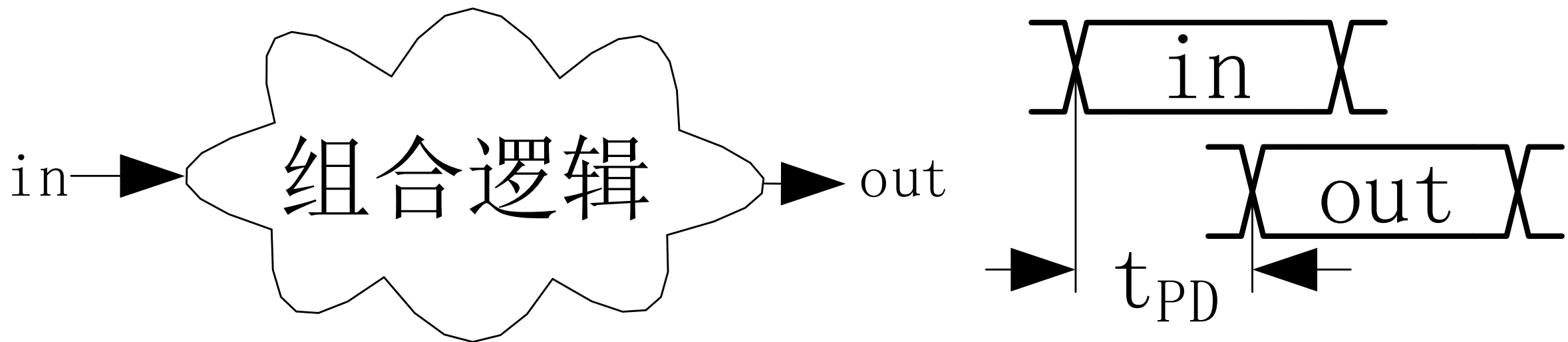


- t_{co} 时钟到输出时间

- 时序单元(FF)的时钟有效边沿与输出端（Q端）数据稳定的时间差。
- 对于FPGA的时序单元(FF)来说，一旦选定了目标器件，时序模型也就固定了，各时序单元(FF)的 t_{co} 时钟到输出时间也就确定了。



传播延迟(t_{PD})



- t_{PD} 传播延迟

- 组合逻辑输入变化到输出变化的延迟。
- 对FPGA来说，选定目标器件，编译完成布局布线以后，组合逻辑的 t_{PD} 传播延迟就会确定下来。



时钟的Jitter, Skew和Uncertainty

• 时钟抖动(Jitter) t_{JT}

- 时钟抖动是指同一时钟，相邻周期间时间不一致的现象。这一误差来源于时钟自身，如：晶振、PLL电路的偏差，与噪声、干扰以及电源变化有关。抖动还可能表现为占空比的改变，称为半周期抖动。综上：可以认为时钟抖动是时钟信号本身在传输过程中的一些偶然和不定的变化之总和。

• 时钟偏移(Skew) t_{SK}

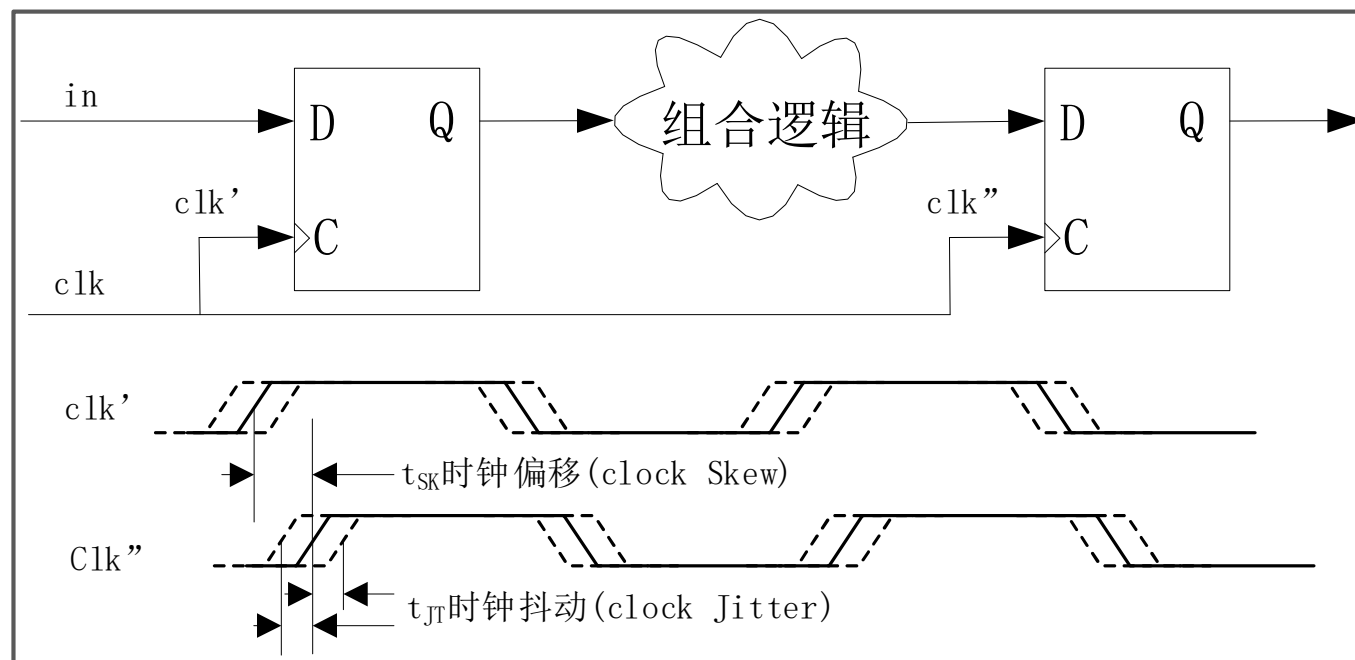
- 时钟偏移是因为布线长度和负载不同，导致同一时钟边沿到不同触发器的时间不同。这一时间差，即为时钟偏移。

• Jitter和Skew的区别

- Jitter是时钟源（PLL，OSC）产生的，只和晶振或者PLL以及内部电路有关，布线对其没有影响。Skew是由时钟的布线长度不一致引起时钟边沿到达不同的时序单元延时不同导致的。

• 时钟不确定性(Uncertainty)

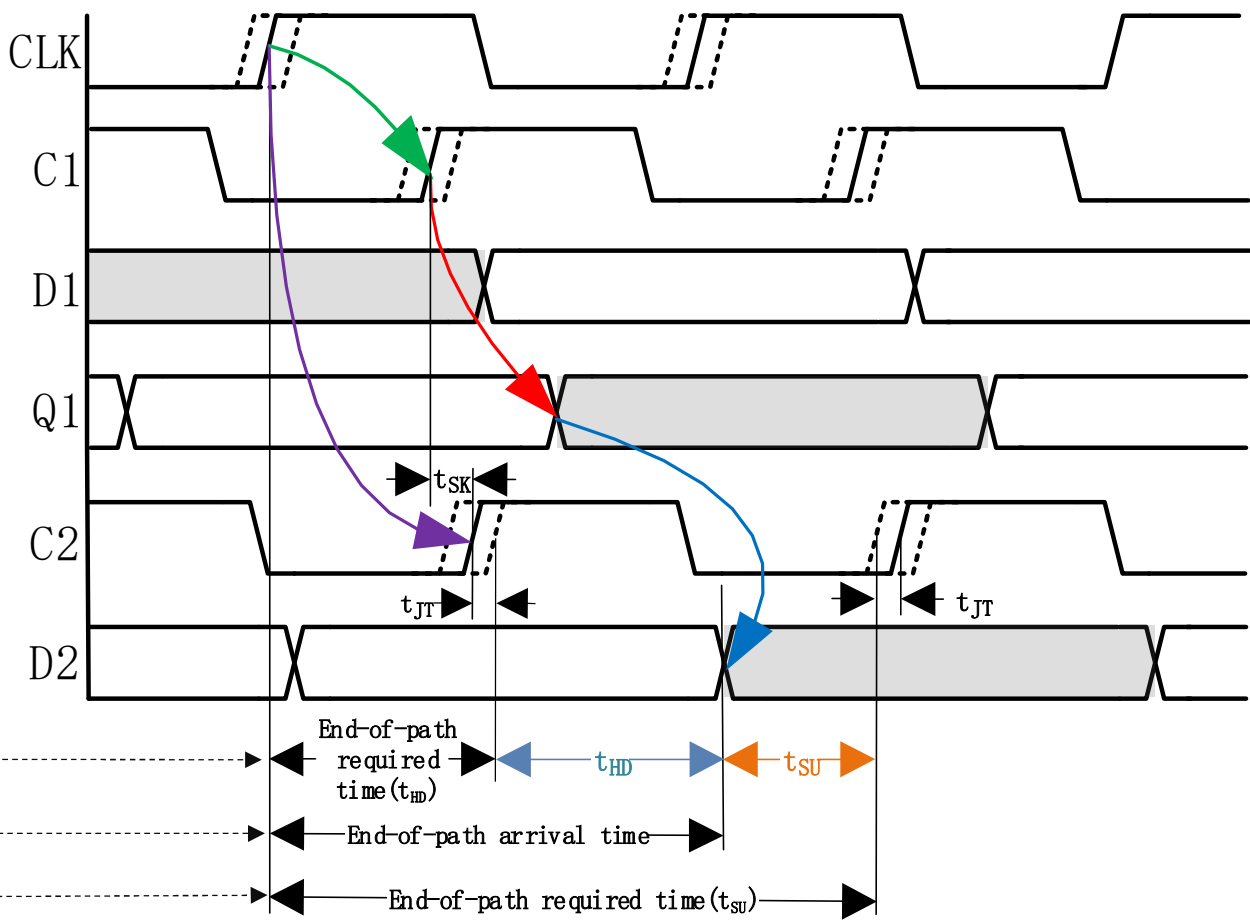
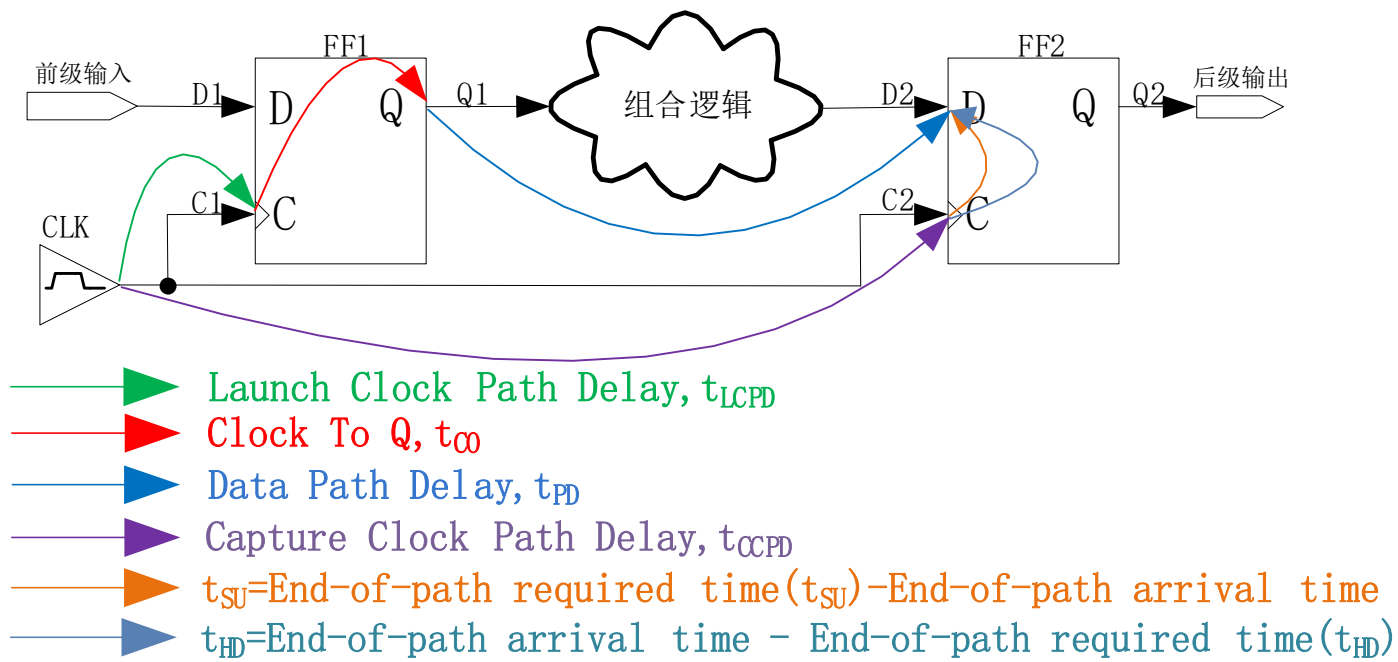
- 对于FPGA内部来说，布局布线完成以后，时钟到达不同的时序单元(FF)的延迟就确定了，在对FPGA内部时序分析的时候会作为时钟路径延迟来计算，所以Uncertainty实际上并没有考虑时钟偏移Skew。
- 对外设器件进入FPGA的信号来说，有可能各个单根信号到FPGA的路径不一致，但是对于FPGA的时序分析工具来说，它并不知道这些不一致的信息。所以FPGA的时序分析，既要考虑时钟的Jitter，也要考虑外设器件本身的输出和PCB布线的Skew。



理论基础

- 时序参数的基本概念
 - 建立时间(t_{SU})
 - 保持时间(t_{HD})
 - 时钟到输出时间(t_{CO})
 - 传播延迟(t_{PD})
 - 时钟的Jitter , Skew和Uncertainty
- 同步时序系统最大工作频率(f_{MAX})的计算原理
- FPGA的四种基本时序路径分析
 - 从FPGA输入引脚到目的寄存器数据输入端口(P2R)
 - 从源寄存器时钟输入端口到目的寄存器数据输入端口(R2R)
 - 从源寄存器时钟输入端口到FPGA输出端口(R2P)
 - 从FPGA输入端口到FPGA输出端口(P2P)

同步系统时序分析原理

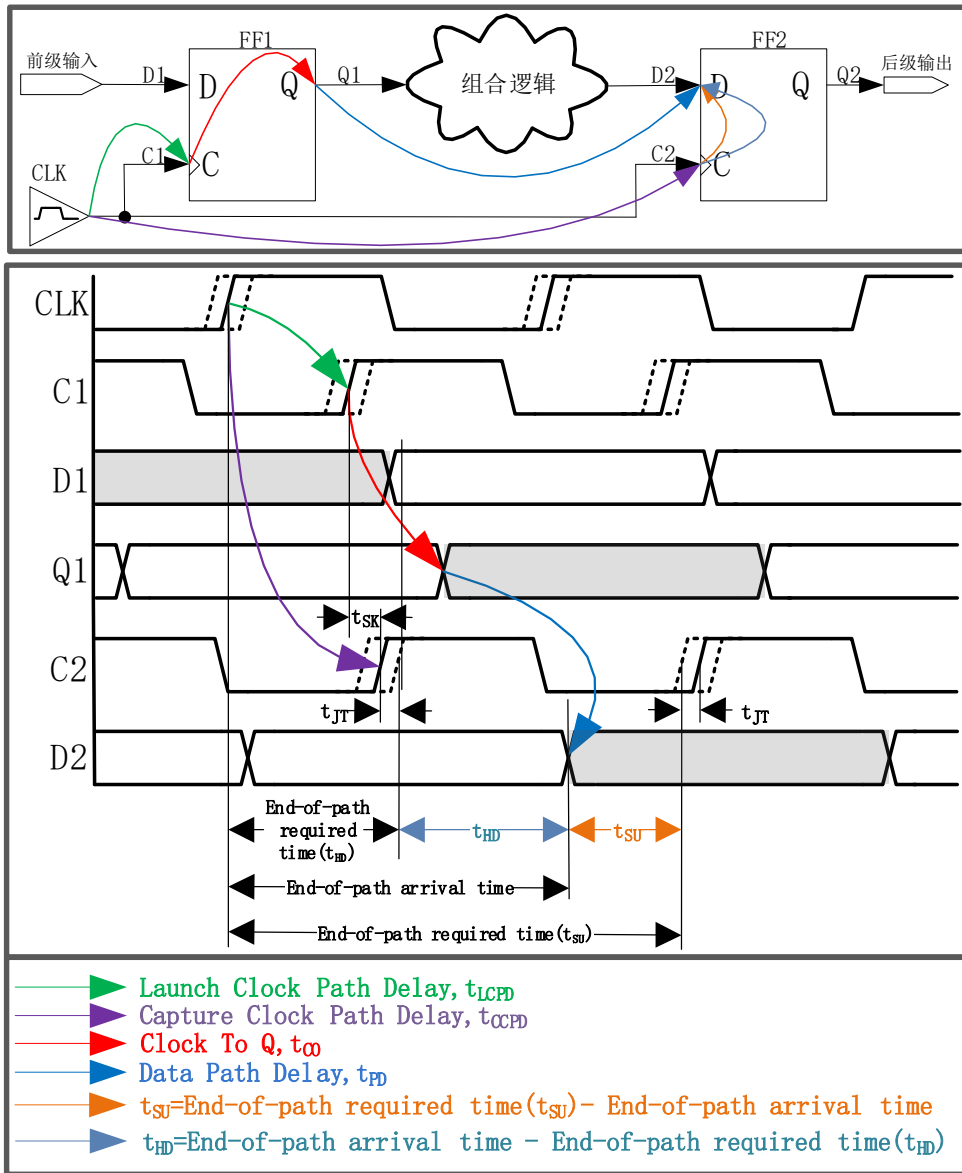


End-of-path required time (t_{HD}) = $t_{CCPD} + t_{JT}$

End-of-path arrival time = $t_{LCPD} + t_{CO} + t_{PD}$

End-of-path required time (t_{SU}) = $T + t_{CCPD} - t_{JT}$

同步系统时序分析原理



- Launch Clock Path Delay
 - 发起时钟路径延迟, 时钟源CLK到FF1的路径延迟, t_{LCPD}
- Capture Clock Path Delay
 - 捕获时钟路径延迟, 时钟源CLK到FF2的路径延迟, $t_{CCPD} = t_{LCPD} + t_{SK}$
- Clock To Q
 - 时钟到输出时间, 即 t_{CO}
- Data Path Delay
 - 数据路径延迟, 即传播延迟 t_{PD}
- End of path arrival time
 - 数据实际到达时间, $t_{LCPD} + t_{CO} + t_{PD}$
- End of path required time
 - 默认的单周期系统中FF2要求在FF1数据发出后的下一个时钟边沿正确采样
 - 数据建立要求到达时间 t_{SU} : $T + t_{CCPD} - \text{Clock Uncertainty}$, T 为时钟周期
 - 数据保持要求到达时间 t_{HD} : $t_{CCPD} + \text{Clock Uncertainty}$

时序收敛条件推导

- t_{SU} 建立时间收敛条件推导

- $t_{SU} = \text{End of path required time}(t_{SU}) - \text{End of path arrival time}$

$$\Rightarrow t_{SU} = (T + t_{CCPD} - t_{JT}) - (t_{LCPD} + t_{CO} + t_{PD}) \Rightarrow$$

- $t_{SU} = T + (t_{CCPD} - t_{LCPD}) - (t_{CO} + t_{PD} + t_{JT})$

$$\Rightarrow t_{SU} = T + t_{SK} - (t_{CO} + t_{PD} + t_{JT}) \Rightarrow$$

- $T = t_{SU} + t_{CO} + t_{PD} + t_{JT} - t_{SK}$

$$\Rightarrow f = 1/T = 1/(t_{SU} + t_{CO} + t_{PD} + t_{JT} - t_{SK}) \Rightarrow$$

- 设建立时间要求是 t_{SUmin} , 则有 $t_{SU} \geq t_{SUmin}$

$$\Rightarrow f \leq 1/(t_{SUmin} + t_{CO} + t_{PD} + t_{JT} - t_{SK}) \Rightarrow$$

- $f_{MAX} = 1/(t_{SUmin} + t_{CO} + t_{PD} + t_{JT} - t_{SK}), t_{PD} \leq T - (t_{SUmin} + t_{CO} + t_{JT}) + t_{SK}$

- t_{HD} 保持时间收敛条件推导

- $t_{HD} = \text{End of path arrival time} - \text{End of path required time}(t_{HD})$

$$\Rightarrow t_{HD} = t_{LCPD} + t_{CO} + t_{PD} - (t_{CCPD} + t_{JT}) \Rightarrow$$

- $t_{HD} = t_{CO} + t_{PD} - t_{JT} - (t_{CCPD} - t_{LCPD})$

$$\Rightarrow t_{HD} = t_{CO} + t_{PD} - t_{JT} - t_{SK} \Rightarrow$$

- 设最小保持时间要求是 t_{HDmin} , 则有 $t_{HD} \geq t_{HDmin}$

$$\Rightarrow t_{CO} + t_{PD} - t_{JT} - t_{SK} \geq t_{HDmin} \Rightarrow$$

- $t_{PD} \geq t_{HDmin} + t_{JT} + t_{SK} - t_{CO}$

- 易灵思FPGA的FF对建立保持时间的要求很小, 忽略不计

- $f_{MAX} = 1/(t_{CO} + t_{PD} + t_{JT} - t_{SK}), t_{PD} \leq T - (t_{CO} + t_{JT}) + t_{SK}$

- $t_{PD} \geq t_{JT} + t_{SK} - t_{CO}$

四个结论

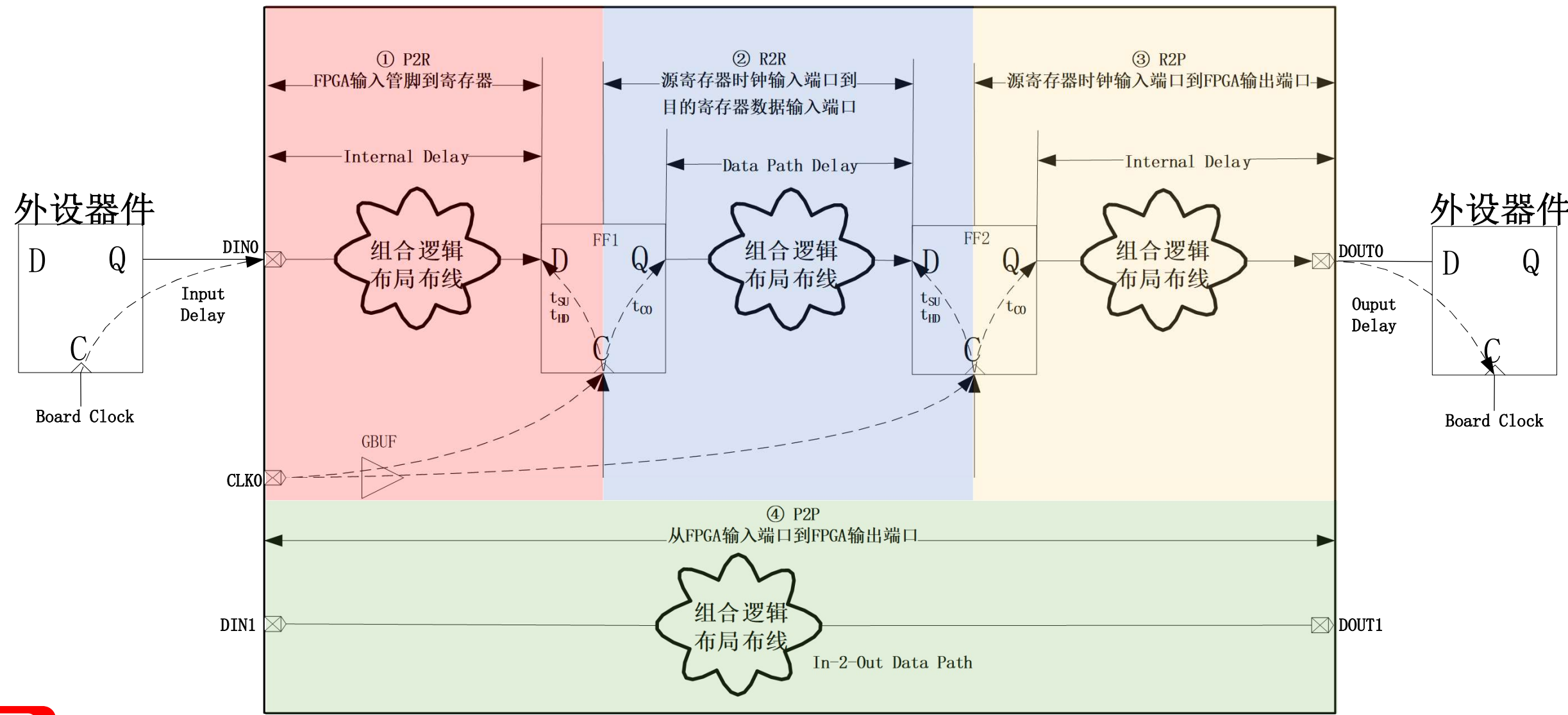
- FPGA最大工作频率的计算公式 $f_{MAX} = 1/(t_{SUmin} + t_{CO} + t_{PD} - t_{SK} + t_{JT})$ 。
- 对于FPGA来说，保持时间 t_{HD} 收敛条件，很容易满足。
- 数据传播延迟 t_{PD} 越小建立时间 t_{SU} 越容易满足，取决于最大的路径延迟。
- 而对于保持时间 t_{HD} 来说，数据传播延迟 t_{PD} 越大越容易满足，取决于最小的路径延迟。

理论基础

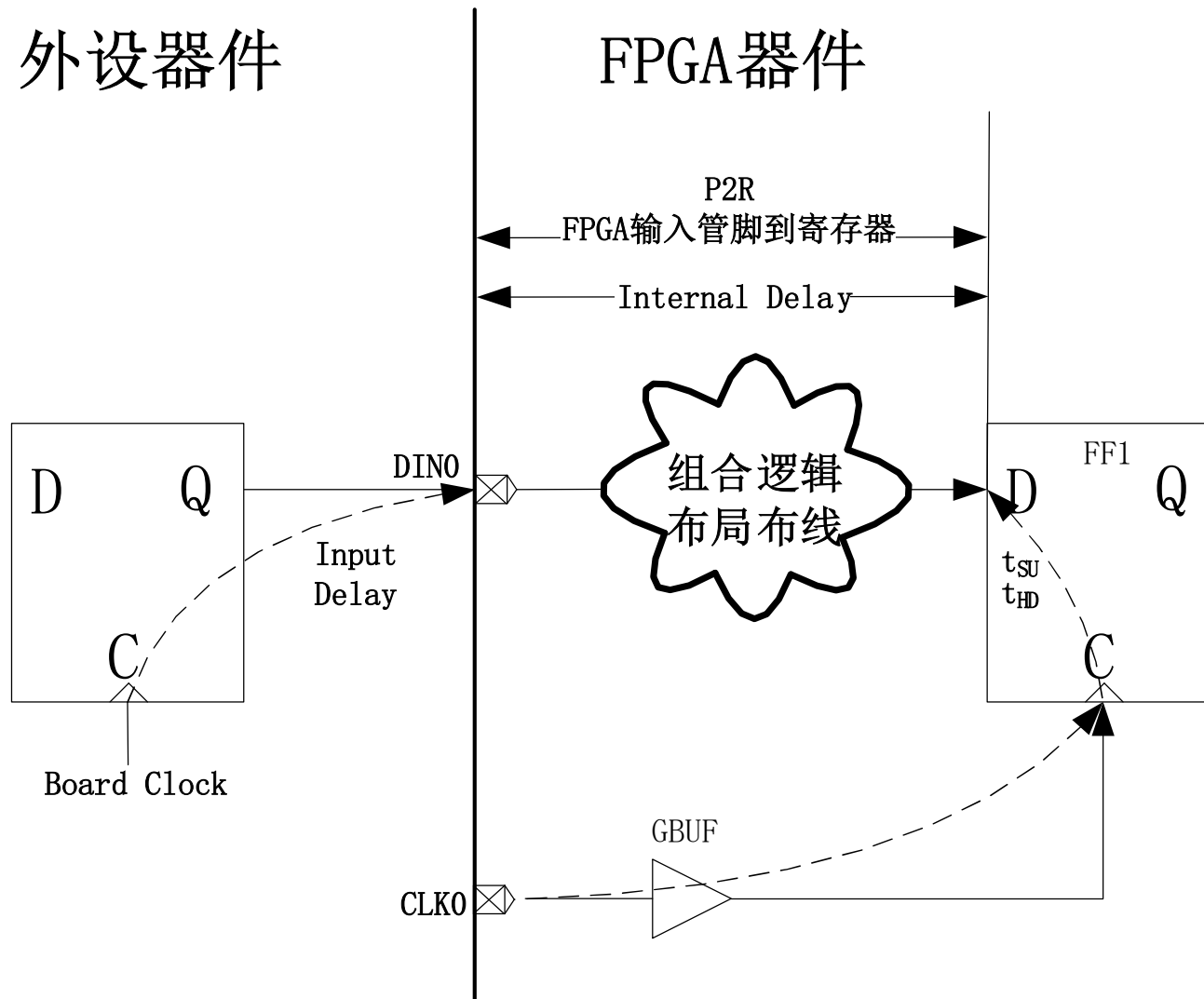
- 时序参数的基本概念
 - 建立时间(t_{SU})
 - 保持时间(t_{HD})
 - 时钟到输出时间(t_{CO})
 - 传播延迟(t_{PD})
 - 时钟的Jitter , Skew和Uncertainty
- 同步时序系统最大工作频率(f_{MAX})的计算原理
- **FPGA的四种基本时序路径分析**
 - 从FPGA输入引脚到目的寄存器数据输入端口(P2R)
 - 从源寄存器时钟输入端口到目的寄存器数据输入端口(R2R)
 - 从源寄存器时钟输入端口到FPGA输出端口(R2P)
 - 从FPGA输入端口到FPGA输出端口(P2P)

FPGA的四种基本时序路径分析

FPGA器件

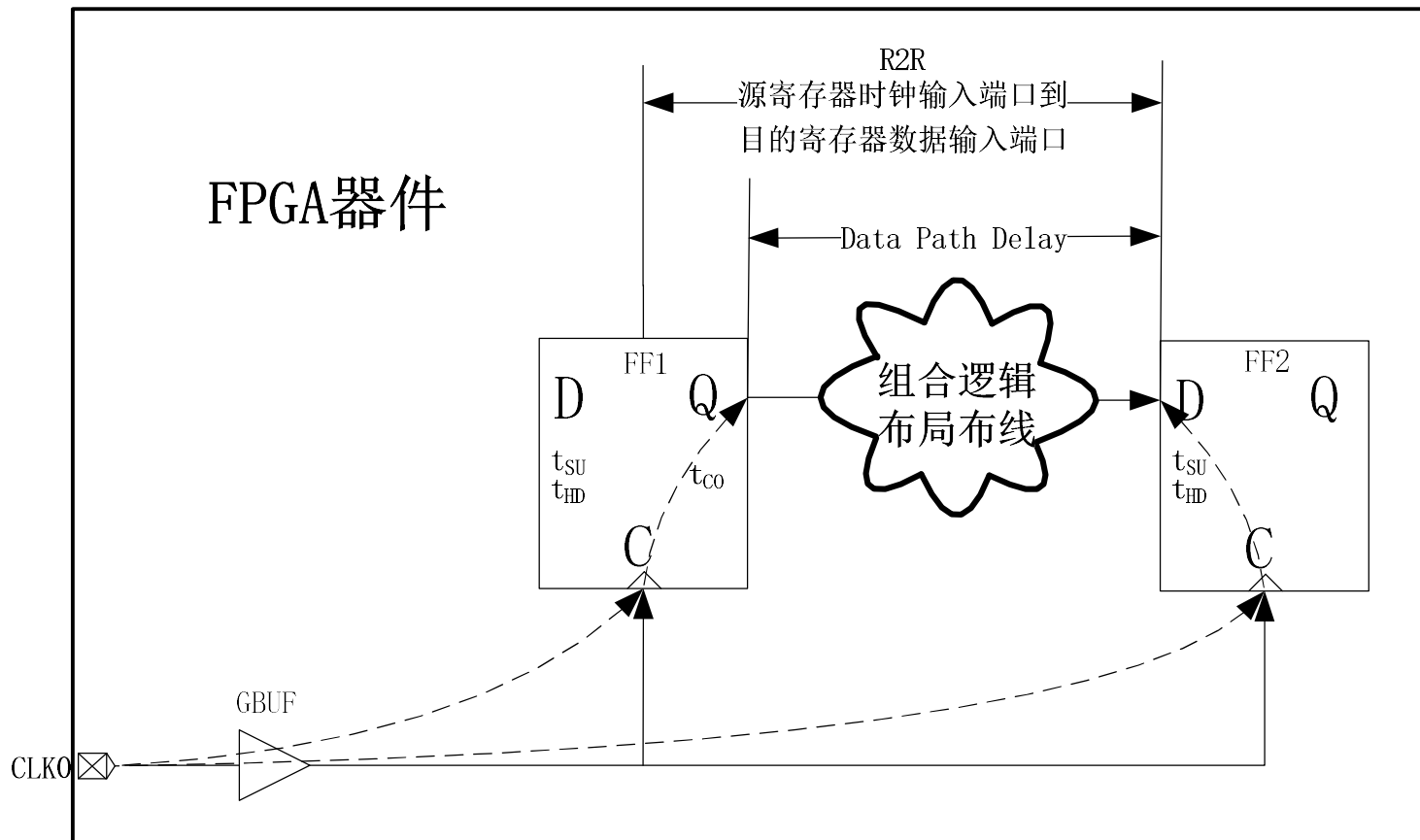


从FPGA输入引脚到目的寄存器数据输入端口(P2R)



- 数据由外设器件的Board Clock发起, 经过Input Delay的延迟后到达FPGA的输入引脚。
- 然后经过FPGA的Internal Delay到达目的时钟驱动的目的寄存器。
- FPGA不知道源路径信息。
- 用户需要约束Input Delay和时钟告知时序引擎必要信息, 时序引擎才能正确的分析这种路径。

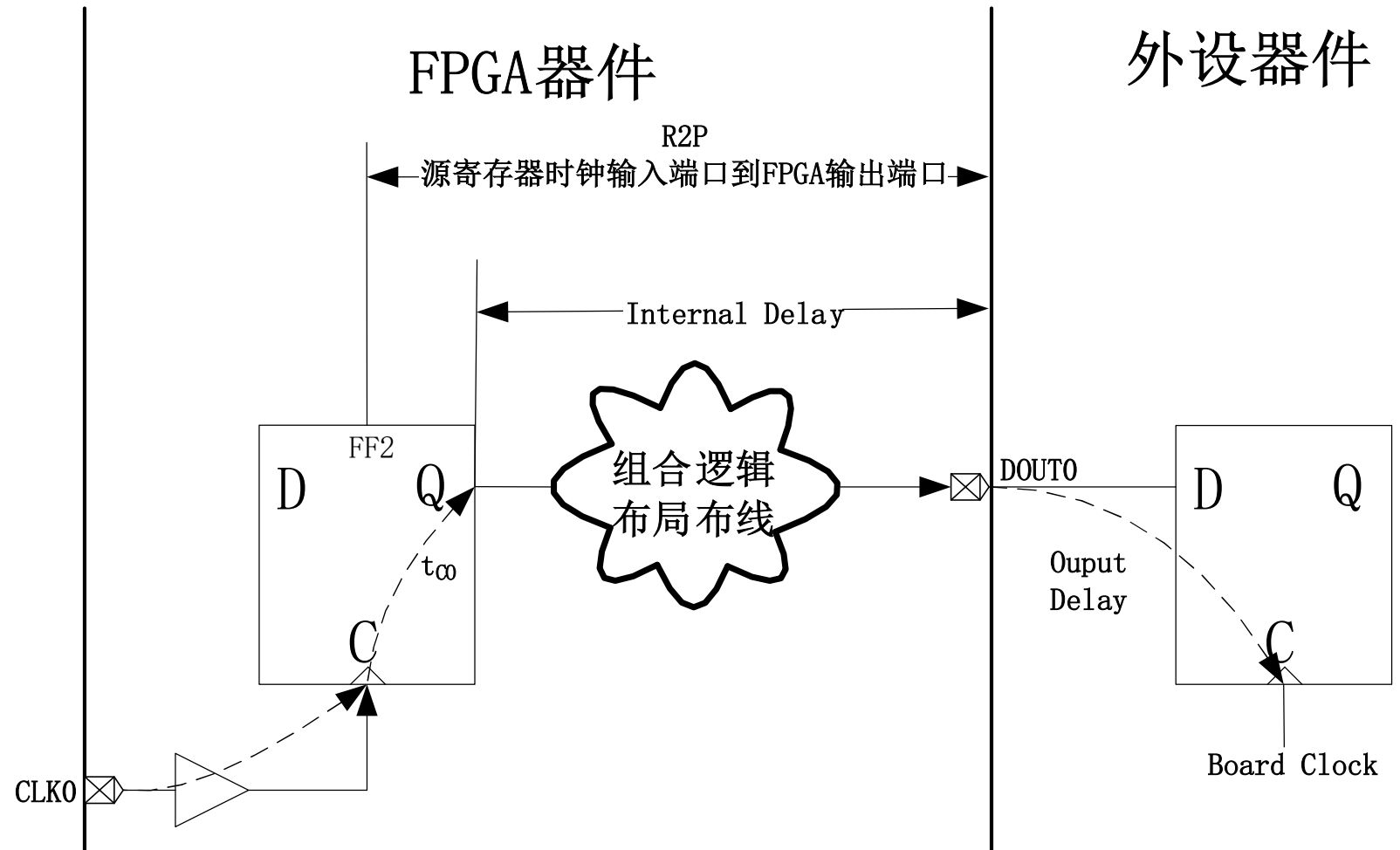
从源寄存器时钟输入端口到目的寄存器数据输入端口(R2R)



- 数据由源时钟在FPGA内部的源寄存器发起。
- 数据经过Data Path Delay后到达目的时钟驱动的目的寄存器。
- 这种时序路径是FPGA设计中最常见的。
- 用户需要约束源时钟和目的时钟告知时序引擎必要的信息，时序引擎才能正确地分析这种时序路径。

从源寄存器时钟输入端口到FPGA输出引脚(R2P)

- 数据由源时钟在FPGA内部的源寄存器发起。
- 数据经过Internal Delay后到达FPGA的输出引脚。
- 然后数据经过Output Delay后被目的外设器件的时钟Board Clock捕获到。
- FPGA不知道目的路径信息。
- 用户需要约束Output Delay和时钟来告知时序引擎必要信息，时序引擎才能正确地分析这种路径。



从FPGA输入引脚到FPGA输出引脚(P2P)



- 数据直接穿过FPGA，没有经过任何触发器。这种路径也叫In-To-Out Path。
- 路径中只有数据路径。
- 用户需要约束Input Delay和Output Delay，告知时序引擎必要的信息，时序引擎才能正确地分析这种时序路径。
- 使用**虚拟时钟**作为参考时钟来约束Input Delay和Output Delay。



小节

- FPGA的最大工作频率计算公式: $f_{MAX} = 1/(t_{SUmmin} + t_{CO} + t_{PD} - t_{SK} + t_{JT})$
 - t_{SUmmin} 由FPGA的时序模型决定
 - t_{CO} 由FPGA的时序模型决定
 - t_{PD} 由FPGA的时序模型和综合以后的组合逻辑以及布局布线决定
 - t_{SK} 由FPGA的时序模型和综合以后的时钟树决定
 - t_{JT} 由时钟源决定
- 时序收敛条件
 - f_{MAX} 必须大于等于系统要求
 - 保持时间和建立时间的余量(Slack)都必须大于0
 - 传播延迟越小建立时间越容易满足
 - 传播延迟越大保持时间越容易满足
- 准确和完整地输入时序约束是FPGA设计中最重要的一部分之一
 - 时钟参数: 时钟周期, 相位, 占空比, 抖动Jitter/Uncertainty, 时钟之间的关系
 - 外设和FPGA之间各种接口信号(R2R/R2P/P2R/P2P)的路径延迟
- FPGA设计工具根据输入的时序约束调用对应的时序模型计算并完成布局布线和静态时序分析

主要内容

1. 理论基础

2. 时序分析



时序分析

- 时序报告
 - 时序报告简述
 - 详细时序报告(<项目名>.timing.rpt)
 - 时序模型信息
 - 时钟频率简报
 - 时钟关系简报
 - 最长关键路径详细报告
 - 最短关键路径详细报告
- 时序分析TCL命令
 - report_timing
 - 其它命令

时序报告简述

- 时序简报：Dashboard => Result => Timing面板

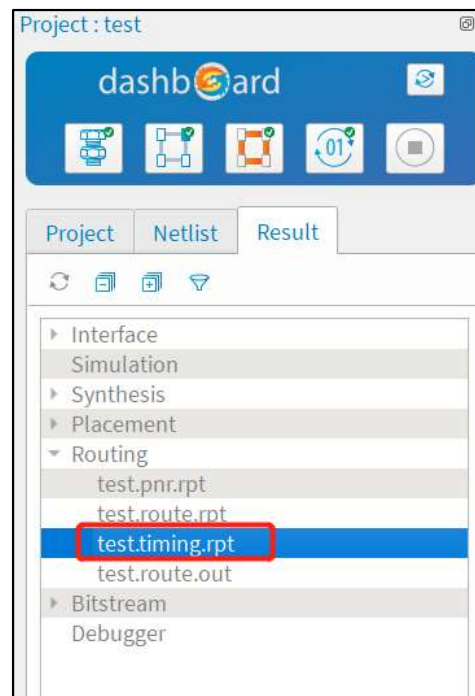
- Worst Negative Slack 最差时钟下降沿余量
- Worst Hold Slack 最差保持时间余量
- 时钟最大工作频率 f_{MAX}

Timing	
Worst Negative Slack (WNS)	1.421 ns
Worst Hold Slack (WHS)	0.377 ns
pin_clk	326.012 MHz
pll_clk	791.931 MHz

- 详细时序报告：Dashboard => Result => Routing

=> <项目名>.timing.rpt

- 详细时序报告
 - 时序模型信息
 - 时钟频率简报
 - 用户的时钟约束列表
 - 时钟最大可能工作频率 f_{MAX}
 - 时钟关系简报
 - 最长关键路径详细报告(t_{SU} 相关)
 - 最短关键路径详细报告(t_{HD} 相关)



```
10 SDC Filename: D:/Training/advanced_training/timng_closure/Test/test.sdc
11
12 Timing Model: C4
13   temperature : 0C to 85C
14   voltage : 1.2V +/-50mV
15   speedgrade : 4
16   technology : s4011
17   status : final
18
19 ----- Table of Contents (begin) -----
20   1. Clock Frequency Summary
21   2. Clock Relationship Summary
22   3. Path Details for Max Critical Paths
23   4. Path Details for Min Critical Paths
24 ----- Table of Contents (end) -----
```

时序分析

- 时序报告
 - 时序报告简述
 - 详细时序报告(<项目名>.timing.rpt)
 - 时序模型信息
 - 时钟频率简报
 - 时钟关系简报
 - 最长关键路径详细报告
 - 最短关键路径详细报告
- 时序分析TCL命令
 - report_timing
 - 其它命令

时序模型信息

- 当前时序报告的时序模型

- 温度范围
- 内核电压
- 速度等级
- 生产工艺
- 模型状态

```
12 Timing Model: C4
13     temperature : 0C to 85C
14     voltage : 1.2V +/-50mV
15     speedgrade : 4
16     technology : s4011
17     status : final
```

- 使用get_timing_model命令可在控制台查看当前时序模型
- 使用get_available_timing_model命令可在控制台查看当前器件型号所在系列支持的所有时序模型
- 使用set_timing_model命令可重新指定当前工程的时序模型
 - 同其他report命令配合使用，不用重新选择器件型号，重复编译，即可得到其他速度等级器件在当前编译下的时序分析报告

时钟工作频率简报

- 时序约束SDC文件定义的时钟信息
 - 可用来确认时序约束文件中时钟定义是否有效和正确
- 当前工程各时钟实际最大工作频率
 - 对应的最小时钟周期
 - 最大工作频率 f_{MAX}
 - R-R代表上升沿发起，上升沿捕获

```
19 ----- Table of Contents (begin) -----
20 1. Clock Frequency Summary
21 2. Clock Relationship Summary
22 3. Path Details for Max Critical Paths
23 4. Path Details for Min Critical Paths
24 ----- Table of Contents (end) -----
25
26 ----- 1. Clock Frequency Summary (begin) -----
27
28 User target constrained clocks
29 Clock Name      Period (ns)    Frequency (MHz)    Waveform    Source Clock Name
30 pin_clk         5.000         200.000           {0.000 2.500}   pin_clk
31 pll_clk         5.000         200.000           {0.000 2.500}   pll_clk
32
33 Maximum possible analyzed clocks frequency
34 Clock Name      Period (ns)    Frequency (MHz)    Edge
35 pin_clk         3.067         326.012           (R-R)
36 pll_clk         1.263         791.931           (R-R)
37
38 Geomean max period: 1.968
39
40 ----- Clock Frequency Summary (end) -----
41
```

时钟关系简报

```
19 ----- Table of Contents (begin) -----
20 1. Clock Frequency Summary
21 2. Clock Relationship Summary
22 3. Path Details for Max Critical Paths
23 4. Path Details for Min Critical Paths
24 ----- Table of Contents (end) -----
42 ----- 2. Clock Relationship Summary (begin) -----
43
44 Launch Clock    Capture Clock    Constraint (ns)    Slack (ns)    Edge
45 pin_clk         pin_clk         5.000             1.933        (R-R)
46 pin_clk         pll_clk         2.500             1.421        (R-F)
47 pll_clk         pll_clk         5.000             3.737        (R-R)
48
49 NOTE: Values are in nanoseconds.
50
51 ----- Clock Relationship Summary (end) -----
```

- 关键路径(Critical Path)

- 一对相关联的发起时钟(Launch Clock)和捕获时钟之间(Capture Clock)所有的路径中最差的一条路径。
- 决定了捕获时钟是否能正确采样数据，是决定了 f_{MAX} 的一条路径

- 设计中所有相关联的发起(Launch Clock)时钟和捕获(Capture Clock)时钟所有组合的关键路径时序简报
- 可用来确定设计是否有跨时钟设计
 - 检查时钟关系约束是否合理
- 可用来确定半周期捕获是否合理
 - R-R 上升沿发起，上升沿捕获
 - F-R 下降沿发起，上升沿捕获
 - R-F 上升沿发起，下降沿捕获
- Slack大于0代表时序收敛
- Slack小于0代表时序未收敛

最长关键路径详细报告

```
----- Table of Contents (begin) -----
1. Clock Frequency Summary
2. Clock Relationship Summary
3. Path Details for Max Critical Paths
4. Path Details for Min Critical Paths
----- Table of Contents (end) -----

----- 2. Clock Relationship Summary (begin) -----

Launch Clock    Capture Clock    Constraint (ns)    Slack (ns)    Edge
pin_clk         pin_clk          5.000             1.933        (R-R) ①
pin_clk         pll_clk          2.500             1.421        (R-F) ②
pll_clk         pll_clk          5.000             3.737        (R-R) ③

NOTE: Values are in nanoseconds.

----- Clock Relationship Summary (end) -----

----- 3. Path Details for Max Critical Paths (begin) -----

#####
Path Detail Report (pin_clk vs pll_clk) ②
#####

#####
Path Detail Report (pin_clk vs pin_clk) ①
#####

#####
Path Detail Report (pll_clk vs pll_clk) ③
#####

----- Path Details for Max Critical Paths (end) -----
```

- 最长关键路径(Max Critical Path)
 - 一对相关联的发起时钟(Launch Clock)和捕获时钟之间(Capture Clock)所有的路径中延时最长的一条路径。
- 最长关键路径详细报告
 - 时序报告第3部分
 - 对应于时序报告第2部分，时钟关系简报列出的各相关时钟的最长路径
 - 决定了设计是否能满足建立时间 t_{SU} ，是决定 f_{MAX} 的一条路径

最长关键路径详细报告-基本路径信息

- Path Begin : 路径起点
- Path End : 路径终点
- Launch Clock : 发起时钟
- Capture Clock : 捕获时钟
- Slack : 时序余量 (Require time – arrival time)
要求到达时间 - 实际到达时间
- Delay : 组合逻辑传播延迟(FF Q到FF D) , t_{PD}
- Logic Level : 组合逻辑级数
- Non-global nets on path : 组合逻辑路径非全局信号数
- Global nets on path : 组合逻辑路径全局信号数
- End-of-Path arrival time : 实际到达时间
 - Launch Clock Path Delay : 发起时钟路径延迟, t_{LCPD}
 - Clock To Q : 路径起点FF的时钟到输出时间, t_{CO}
 - Data Path Delay : 组合逻辑传播延迟, t_{PD}
 - Launch Clock Path Delay + Clock To Q + Data Path Delay
 - 实际到达时间 : $t_{LCPD} + t_{CO} + t_{PD}$

```
Path Begin      : in1[1]~FF|CLK
Path End        : out~FF|D
Launch Clock    : pll_clk (RISE)
Capture Clock   : pll_clk (RISE)
Slack           : 3.737 (required time - arrival time)
Delay           : 0.743

Logic Level : 1
Non-global nets on path : 1
Global nets on path      : 0

Launch Clock Path Delay      : 4.110
+ Clock To Q + Data Path Delay : 1.143
-----
End-of-path arrival time     : 5.253

Constraint                : 5.000
+ Capture Clock Path Delay : 4.110
- Clock Uncertainty        : 0.120
-----
End-of-path required time   : 8.990
```

- End-of-path require time : 要求到达时间
 - Constraint : 对应发起时钟边沿以后捕获时钟的下一个边沿, T
 - Capture Clock Path Delay : 捕获时钟路径延迟, t_{CCPD}
 - Clock Uncertainty : 时钟不确定性, 在FPGA里视为Jitter, t_{JT}
 - Constraint + Capture Clock Path Delay – Clock Uncertainty
 - 要求到达时间 : $T + t_{CCPD} - \text{Uncertainty}$

建立时间时序余量(Slack) = 要求到达时间 - 实际到达时间 = $(T + t_{CCPD} - \text{Uncertainty}) - (t_{LCPD} + t_{CO} + t_{PD}) = T - (t_{CO} + t_{PD} + t_{JT}) + t_{SK} \Rightarrow t_{PD} \leq T - (t_{CO} + t_{JT}) + t_{SK}$

$$f_{MAX} = 1 / (t_{CO} + t_{PD} + t_{JT} - t_{SK})$$

最长关键路径详细报告-详细路径信息

Launch Clock Path					
pin name	model name	delay (ns)	cumulative delay (ns)	pins on net	location
pll_clk	inpad	0.000	0.000	2	(0,118)
pll_clk	inpad	0.200	0.200	2	(0,118)
pll_clk	io	0.000	0.200	2	(0,118)
Routing elements:					
Manhattan distance of X:1, Y:0					
CLKBUF_0 IO_in	gbuf_block	0.320	0.520	2	(1,118)
CLKBUF_0 I	gbuf	3.590	4.110	2	(1,118)
CLKBUF_0 O	gbuf	0.000	4.110	6	(1,118)
CLKBUF_0 clkout	gbuf_block	0.000	4.110	6	(1,118)
in1[1]~FF CLK	ff	0.000	4.110	6	(3,50)
Data Path					
pin name	model name	delay (ns)	cumulative delay (ns)	pins on net	location
in1[1]~FF Q	ff	0.282	0.282	2	(3,50)
in1[1]~FF O_seq	eft	0.476	0.758	2	(3,50)
Routing elements:					
Manhattan distance of X:0, Y:13					
out~FF I[0]	eft	0.267	1.025	2	(3,63)
LUT_41 in[0]	lut	0.000	1.025	2	(3,63)
LUT_41 out	lut	0.000	1.025	2	(3,63)
out~FF D	ff	0.118	1.143	2	(3,63)
Capture Clock Path					
pin name	model name	delay (ns)	cumulative delay (ns)	pins on net	location
pll_clk	inpad	0.000	0.000	2	(0,118)
pll_clk	inpad	0.200	0.200	2	(0,118)
pll_clk	io	0.000	0.200	2	(0,118)
Routing elements:					
Manhattan distance of X:1, Y:0					
CLKBUF_0 IO_in	gbuf_block	0.320	0.520	2	(1,118)
CLKBUF_0 I	gbuf	3.590	4.110	2	(1,118)
CLKBUF_0 O	gbuf	0.000	4.110	6	(1,118)
CLKBUF_0 clkout	gbuf_block	0.000	4.110	6	(1,118)
out~FF CLK	ff	0.000	4.110	6	(3,63)

- **Launch Clock Path** : 发起时钟路径
- **Data Path** : 数据路径
 - tCO + tPD
- **Capture Clock Path**: 捕获时钟路径
- pin name : 路径节点名(pin)
- model name : 时序模型命名
- delay : 节点延迟
- cumulative : 路径累积延迟
- pins on net : 连接到该节点(pin)的信号(net)一共连接到了多少pin上
 - 表示信号扇出数量
 - 信号扇出越大, 该节点延迟越大
- location : 该节点在FPGA Floorplan里的坐标
- Routing elements : 布线单元
 - Manhattan distance 是Quantum架构衡量布线延迟的单位
 - X是横坐标跨度 Y 是纵坐标跨度
 - Manhattan distance跨度越大延迟越大



最短关键路径详细报告

```
----- Table of Contents (begin) -----
1. Clock Frequency Summary
2. Clock Relationship Summary
3. Path Details for Max Critical Paths
4. Path Details for Min Critical Paths
----- Table of Contents (end) -----

----- 2. Clock Relationship Summary (begin) -----

Launch Clock    Capture Clock    Constraint (ns)    Slack (ns)    Edge
pin_clk         pin_clk          5.000             1.933        (R-R) ①
pin_clk         pll_clk          2.500             1.421        (R-F) ②
pll_clk         pll_clk          5.000             3.737        (R-R) ③

NOTE: Values are in nanoseconds.

----- Clock Relationship Summary (end) -----

----- 4. Path Details for Min Critical Paths (begin) -----

#####
Path Detail Report (pll_clk vs pll_clk) ③
#####

#####
Path Detail Report (pin_clk vs pin_clk) ①
#####

#####
Path Detail Report (pin_clk vs pll_clk) ②
#####

----- Path Details for Min Critical Paths (end) -----
```

- 最短关键路径(Min Critical Path)
 - 一对相关联的发起时钟(Launch Clock)和捕获时钟之间(Capture Clock)所有的路径中延时最小的一条路径。
- 最短关键路径详细报告
 - 时序报告第4部分
 - 对应于时序报告第2部分，时钟关系简报列出的各相关时钟的最短路径
 - 决定了路径是否能满足保持时间 t_{HD}

最短关键路径详细报告-基本路径信息

- Path Begin : 路径起点
- Path End : 路径终点
- Launch Clock : 发起时钟
- Capture Clock : 捕获时钟
- Slack : 时序余量 (arrival time - Require time)
实际到达时间 - 要求到达时间
- Delay : 组合逻辑传播延迟(FF Q到FF D), t_{PD}
- Logic Level : 组合逻辑级数
- Non-global nets on path : 组合逻辑路径非全局信号数
- Global nets on path : 组合逻辑路径全局信号数
- End-of-Path arrival time : 实际到达时间
 - Launch Clock Path Delay: 发起时钟路径延迟, t_{LCPD}
 - Clock To Q : 路径起点FF的时钟到输出时间, t_{CO}
 - Data Path Delay : 组合逻辑传播延迟, t_{PD}
 - Launch Clock Path Delay + Clock To Q + Data Path Delay
 - 实际到达时间 : $t_{LCPD} + t_{CO} + t_{PD}$

```
Path Begin      : in1[0]~FF|CLK
Path End        : out~FF|D
Launch Clock    : pll_clk (RISE)
Capture Clock   : pll_clk (RISE)
Slack           : 0.377 (arrival time - required time)
Delay           : 0.296

Logic Level    : 1
Non-global nets on path : 1
Global nets on path      : 0

Launch Clock Path Delay      : 2.055
+ Clock To Q + Data Path Delay : 0.437
-----
End-of-path arrival time    : 2.492

Constraint           : 0.000
+ Capture Clock Path Delay : 2.055
+ Clock Uncertainty      : 0.060
-----
End-of-path required time  : 2.115
```

- End-of-path require time : 要求到达时间
 - Constraint : 对应发起时钟边沿之后捕获时钟的当前边沿, 0
 - Capture Clock Path Delay : 捕获时钟路径延迟, t_{CCPD}
 - Clock Uncertainty : 时钟不确定性, 在FPGA里视为Jitter, t_{JT}
 - Constraint + Capture Clock Path Delay + Clock Uncertainty
 - 要求到达时间 : $t_{CCPD} + \text{Uncertainty}$

保持时间时序余量(Slack) = 实际到达时间 - 要求到达时间 = $(t_{LCPD} + t_{CO} + t_{PD}) - (t_{CCPD} + \text{Uncertainty}) = t_{CO} + t_{PD} - t_{JT} - t_{SK} \geq 0 \Rightarrow t_{PD} \geq t_{JT} + t_{SK} - t_{CO}$

最短关键路径详细报告-详细路径信息

Launch Clock Path					
pin name	model name	delay (ns)	cumulative delay (ns)	pins on net	location
pll_clk	inpad	0.000	0.000	2	(0,118)
pll_clk	inpad	0.100	0.100	2	(0,118)
pll_clk	io	0.000	0.100	2	(0,118)
Routing elements:					
Manhattan distance of X:1, Y:0					
CLKBUF__0 IO_in	gbuf_block	0.160	0.260	2	(1,118)
CLKBUF__0 I	gbuf	1.795	2.055	2	(1,118)
CLKBUF__0 O	gbuf	0.000	2.055	6	(1,118)
CLKBUF__0 clkout	gbuf_block	0.000	2.055	6	(1,118)
in1[0]~FF CLK	ff	0.000	2.055	6	(3,61)
Data Path					
pin name	model name	delay (ns)	cumulative delay (ns)	pins on net	location
in1[0]~FF Q	ff	0.141	0.141	2	(3,61)
in1[0]~FF O_seq	eft	0.238	0.379	2	(3,61)
Routing elements:					
Manhattan distance of X:0, Y:2					
out~FF I[3]	eft	0.058	0.437	2	(3,63)
LUT__41 in[3]	lut	0.000	0.437	2	(3,63)
LUT__41 out	lut	0.000	0.437	2	(3,63)
Capture Clock Path					
pin name	model name	delay (ns)	cumulative delay (ns)	pins on net	location
pll_clk	inpad	0.000	0.000	2	(0,118)
pll_clk	inpad	0.100	0.100	2	(0,118)
pll_clk	io	0.000	0.100	2	(0,118)
Routing elements:					
Manhattan distance of X:1, Y:0					
CLKBUF__0 IO_in	gbuf_block	0.160	0.260	2	(1,118)
CLKBUF__0 I	gbuf	1.795	2.055	2	(1,118)
CLKBUF__0 O	gbuf	0.000	2.055	6	(1,118)
CLKBUF__0 clkout	gbuf_block	0.000	2.055	6	(1,118)
out~FF CLK	ff	0.000	2.055	6	(3,63)

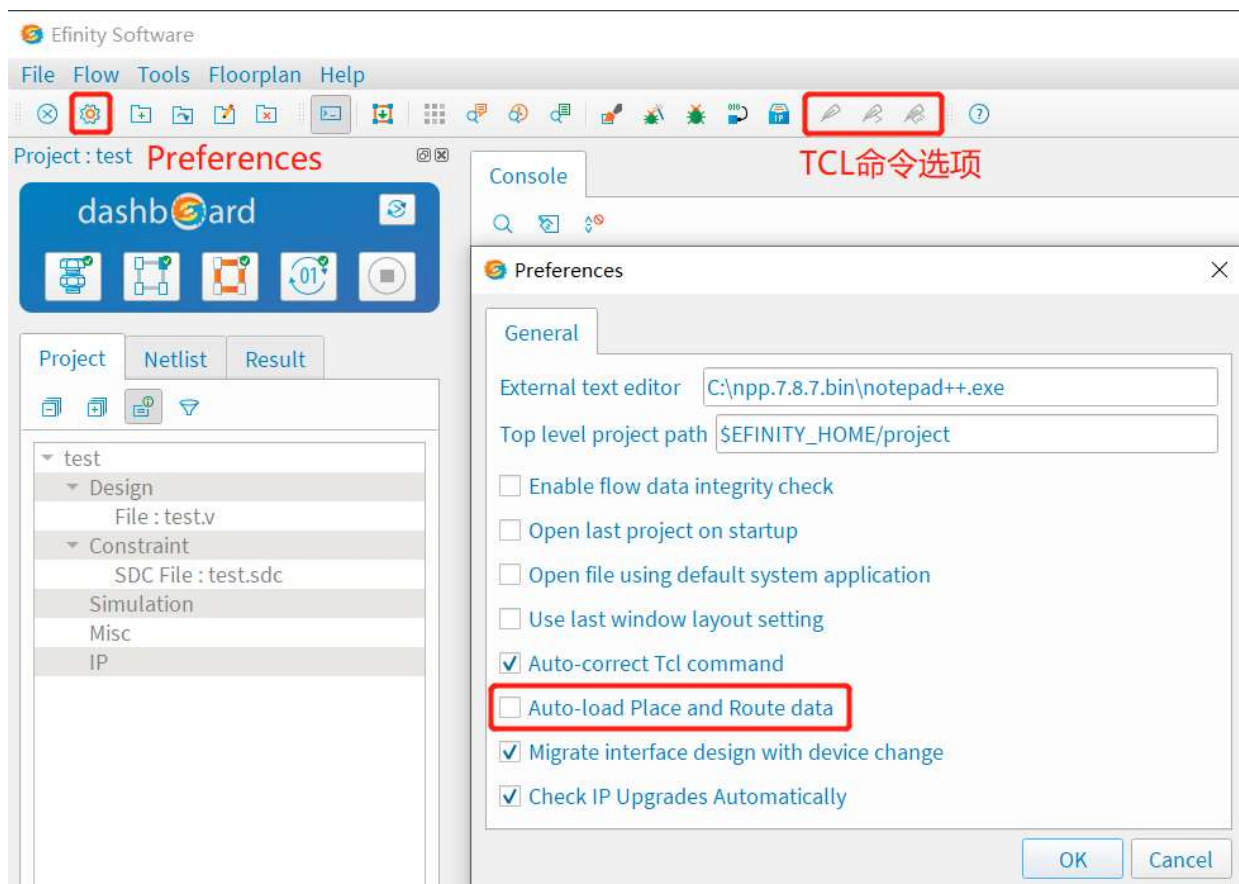
- **Launch Clock Path** : 发起时钟路径
- **Data Path** : 数据路径
 - tCO + tPD
- **Capture Clock Path**: 捕获时钟路径
- pin name : 路径节点名(pin)
- model name : 时序模型命名
- delay : 节点延迟
- cumulative : 路径累积延迟
- pins on net : 该节点(pin)的信号(net)一共连接到了多少pin上
 - 表示信号扇出数量
 - 信号扇出越大, 该节点延迟越大
- location : 该节点在FPGA Floorplan里的坐标
- Routing elements : 布线单元
 - Manhattan distance 是Quantum架构衡量布线延迟的单位
 - X是横坐标跨度 Y是 纵坐标跨度
 - Manhattan distance跨度越大延迟越大

时序分析

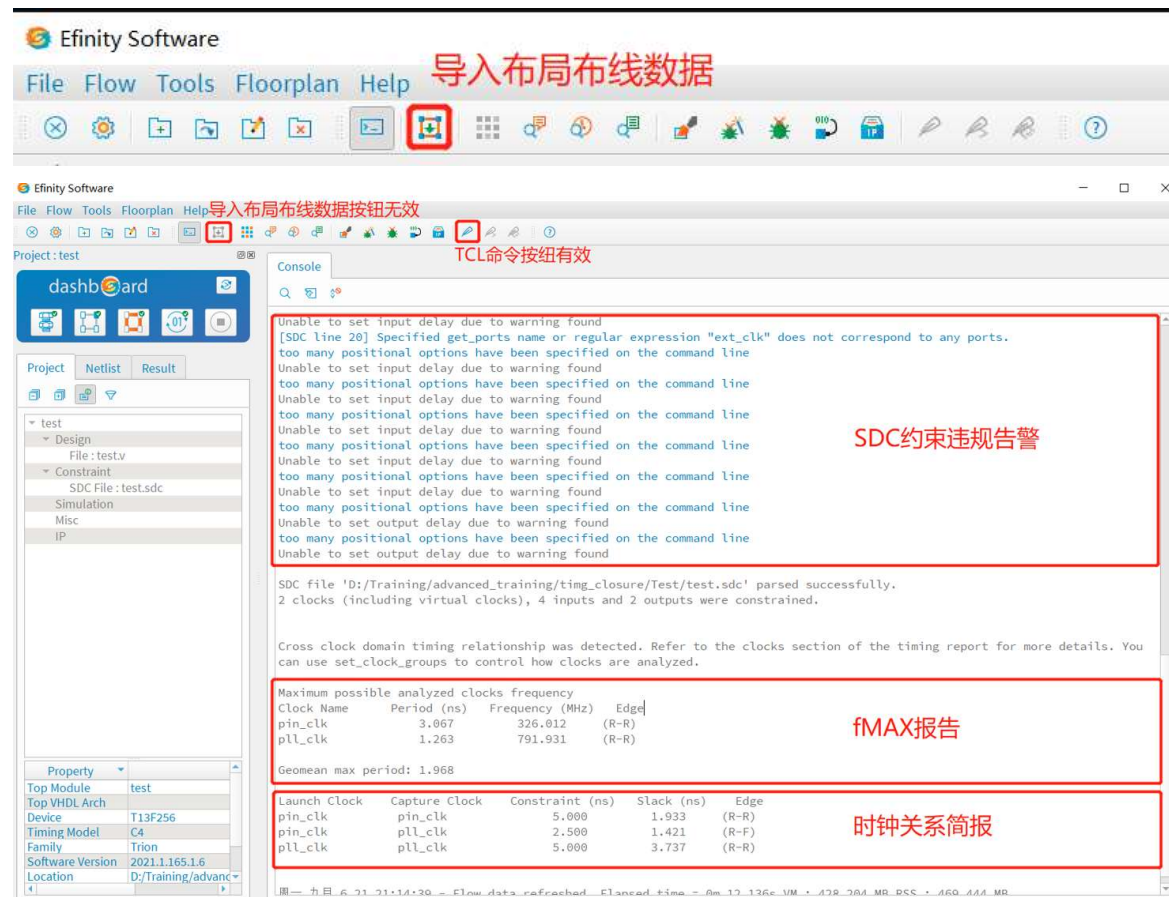
- 时序报告
 - 时序报告简述
 - 详细时序报告(<项目名>.timing.rpt)
 - 时序模型信息
 - 时钟频率简报
 - 时钟关系简报
 - 最长关键路径详细报告
 - 最短关键路径详细报告
- 时序分析TCL命令
 - report_timing
 - 其它命令

时序分析TCL命令

- 为了节约打开已存在项目的数据导入时间和项目编译时间，通常我们会将优选项菜单中的自动加载布局布线数据选项去掉
- 这种情况下，TCL命令行按钮选项是灰色的，处于无法使用状态



- 点击导入布局布线数据按钮，数据导入完成以后按钮变为无效，同时TCL命令按钮变为有效
- 数据导入后，控制台会自动检查SDC约束文件，打印SDC约束违规告警，列出 f_{MAX} 报告以及时钟关系简报



report_timing

- `report_timing [-detail summary|path_only|path_and_clock|full_path] [-file <name>] [-from_clock <names>] [-from <names>] [-fall_from_clock <names>] [-rise_from_clock <names>] [-less_than_slack <slack limit>] [-npaths <number>] [-nworst <number>] [-show_routing] [-stdout] [-through <names>] [-to <names>] [-to_clock <names>] [-rise_to_clock <names>] [-fall_to_clock <names>] [-id <number>] [-hold] [-setup]`
 - `report_timing`时序分析命令是最全面和最有用的一条命令，只要掌握`report_timing`命令就可以进行全面的详细时序分析。
- **-detail**
 - 指定报告内容, 如果不定义该参数则默认为`full_path`, 可选变量 `summary`, `path_only`, `path_and_clock`, `full_path`。
 - 也可使用`-detail summary`参数，只列出路径的余量，延迟，起始点，发起时钟和捕获时钟。
 - 一般不用定义，默认为`full_path`，报告列出路径所有细节，格式和`timing.rpt`相同。
- **-file**
 - 指定存放报告信息的文件名<name>，如果定义则会在outflow里生成包含报告信息以指定文件命名的文本文件。
 - 一般不用定义，默认输出为软件的控制台。
- **-from_clock和-to_clock**
 - 指定报告路径的发起时钟名<name>和捕获时钟名<name>，可使用通配符*匹配多个时钟。
 - 常用，需要指定，对特定发起时钟和捕获时钟的关键路径进行详细分析。



report_timing

- **-from和-to**
 - 指定报告路径的起始点名，可以是设计里任意有效的对象。
 - 一般不用定义，通常我们的时序分析针对时钟就足够了。
- **-fall_from_clock, -rise_from_clock 和 -fall_to_clock, -rise_to_clock**
 - 报告只显示指定发起时钟边沿和捕获时钟边沿的路径。
 - 按需定义，如果设计里有半周期捕获，需要分析半周期捕获的关键路径时序是，则需要定义。`_from_` 和 `_to_`是配对使用的。
- **-less_than_slack**
 - 报告只显示时序余量低于本定义的路径。
 - 按需定义。通常用在时序未收敛的情况下，报告余量小于0的路径。
- **-npaths和-nworst**
 - 常用，一般需要定义。
 - `-npaths`指定报告的路径数。如果没有指定这个参数，则只报告一条最差的路径。
 - `-nworst`限制每个目标节点报告的路径数量，报告指定数量的最差路径。
 - 如果没有定义`-nworst`, 每个目标节点报告的路径数量仅受到`-npaths`限制。
 - 如果只定义`-nworst`没定义`-npaths`, 则`-npaths`默认和`-nworst`相同。
 - 对发起时钟和捕获时钟的时序路径分析，在同步时序系统里，通常不会出现多个起点到同一个终点的情况，所以通常`-npaths`和`-nworst`只用其中一个即可。



report_timing

- **-show_routing**
 - 路径报告中显示布线信息(Manhattan距离)
 - 有条件使用，如果发现路径组合逻辑级数很少，路径中节点扇出比也正常的情况下，总路径延迟很大，则可使用此参数查看是否布线延迟过大。
- **-stdout**
 - 将报告信息显示到控制台
 - 如果没有使用-file参数，则默认显示到控制台。如果使用-file，则需要使用-stdout才可以同时在控制台显示。
 - 不常用，一般不定义。
- **-though**
 - 只报告通过指定pins或者nets的路径，并且只能是组合逻辑上的pins或者nets。
 - 不常用，一般不用定义。
- **-id**
 - 定义时序报告在 Timing Brower中的序号。如果使用Timing Brower可选用，如果不定义，系统会自动分配序号。
 - 不常用，一般不用定义。
- **-setup和-hold**
 - -setup报告时钟建立时间路径（最长关键路径）。
 - -hold报告时钟保持时间路径（最短关键路径）。
 - 按需定义，如果不定义，则默认按-setup报告路径。



其它命令

- `report_timing_summary`
 - 报告当前项目时钟的 f_{MAX}
 - 报告当前项目时钟之间的关系和最差路径时序余量
- `report_clocks`
 - 报告当前时钟约束
 - 报告当前项目时钟的 f_{MAX}
 - 报告当前项目时钟之间的关系和最差路径时序余量
- `report_path`
 - 报告指定路径信息
 - `report_timing`的子集
- `delete_timing_results`
 - 删除内存中使用`report_path`和`report_timing`命令获取的时序报告数据
- `get_available_timing_model`
 - 在控制台查看当前器件型号所在系列支持的所有时序模型
- `get_timing_model`
 - 在控制台查看当前工程使用的时序模型
- `read_sdc <file>`
 - 从指定文件读入时序约束到当前工程
- `reset_timing`
 - 删除当前工程内存中所有的时序分析数据，约束和路径信息
- `set_timing_model`
 - 重新指定当前工程的时序模型
- `write_sdc <file>`
 - 将当前工程内存中的时序约束SDC写到指定文件里





谢谢！