



易 灵 思

Titanium FPGA硬件设计指导 v1.3

Wayne Hang
2023.03.02

版本

日期	版本	描述
2022.03.01	V1.0	初稿
2022.06.29	V1.1	支持X4 模式Flash列表更新
2022.12.29	V1.2	F100内部晶振使用, Ti60 HVIO注意事项更新
2023.03.02	V1.3	增加GD flash支持型号, 增加Ref_res_xx引脚注意事项, 增加LVDS RX随路时钟和数据位置关系要求, 增加Ti60F225 HVIO问题临时解决办法

主要内容

1. 硬件设计参考素材
2. 电源
3. 配置电路
4. 时钟GPIO
5. 普通GPIO
6. LVDS
7. MIPI
8. DDR
9. HyperRam
10. Flash
11. 片上晶振
12. REF_RES_XX引脚注意事项



硬件设计参考素材

- 钛金系列数据手册
- Titanium-packaging-ug
- AN033 configuring Titanium FPGA
- Pinout文件
- DevKit参考原理图
- 功耗估算表



下载网站: www.elitestek.com 技术支持

网盘链接:

<https://pan.baidu.com/s/1yJUaqdtbHehgD8HOYZEx6w?pwd=gaud>
提取码: gaud



电源

- 上电顺序要求
- 功耗估算
- 储能，退耦，隔离
- 其他

上电顺序要求---AS模式下普通cresetn控制

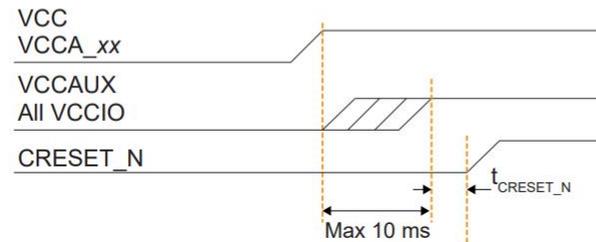
You **must** use the following power up sequence when powering 钛金系列 FPGAs:

1. Power up VCC and VCCA_xx first.
2. When VCC and VCCA_xx are stable, power up all VCCIO and VCCAUX. There is no specific timing delay between the VCCIO pins.

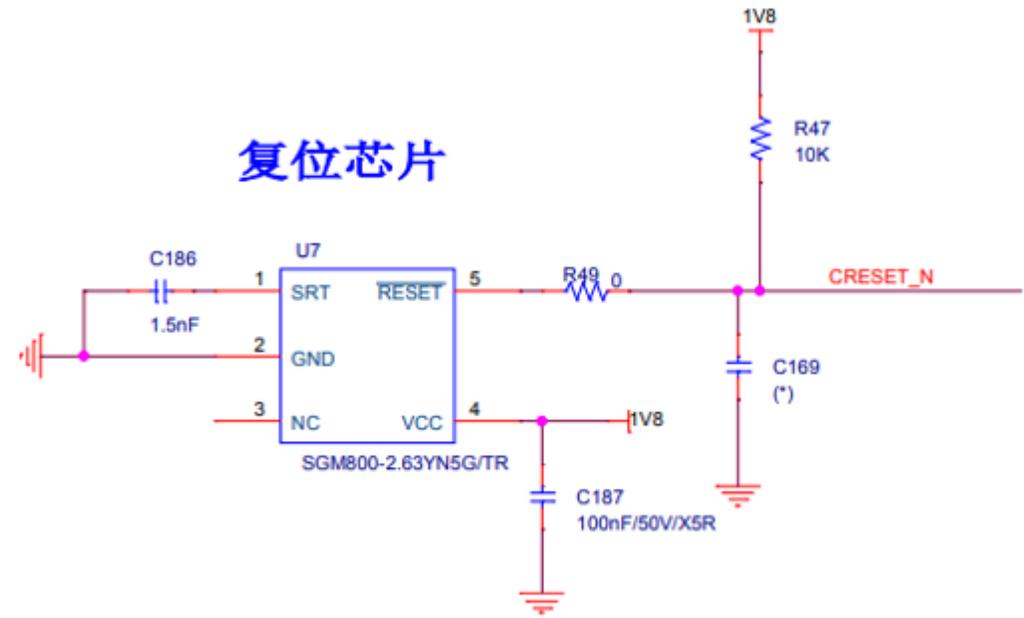
! **Important:** Ensure the power ramp rate is within VCCIO/10 V/ms to 10 V/ms.

3. After all power supplies are stable, hold CRESET_N low for a duration of t_{CRESET_N} before asserting CRESET_N from low to high to trigger active SPI programming (the FPGA loads the configuration data from an external flash device).

Figure 39: Power Up Sequence

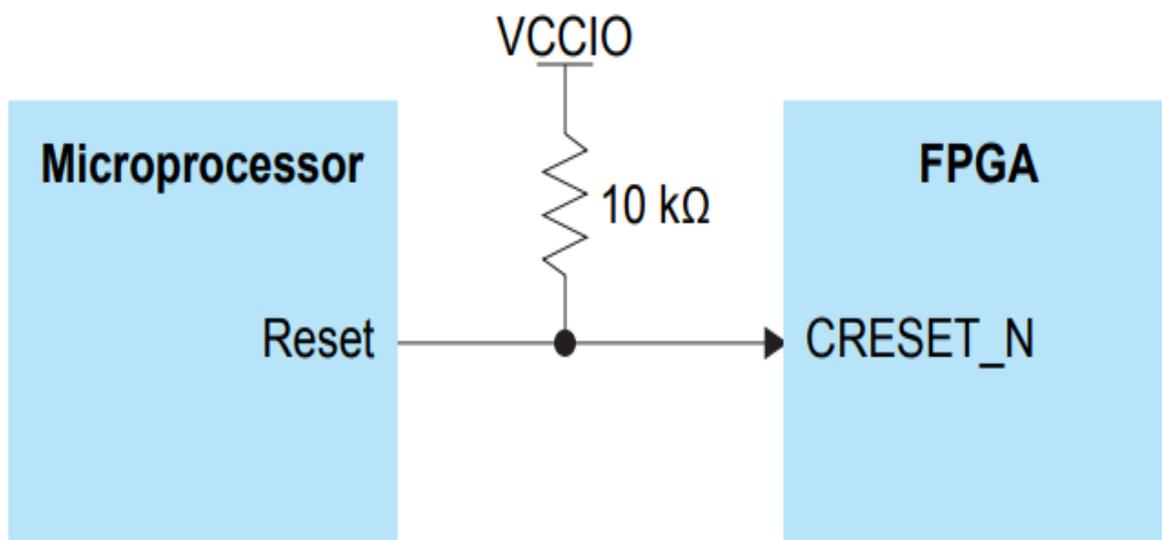


- 参考芯片数据手册及AN033文档
- 电源稳定后，在10ms内Creset_n信号拉高
- AS模式下的POR电路，使用复位芯片



易 灵 思

17/2023



- FPGA的CRESET_N有MCU等控制，复位时间可精确控制，多用于PS模式加载模式

功耗估算

Power Estimator (Titanium)

For instructions, read [AN 030: Using the Titanium Power Estimator](#)

 Ti35 Power Estimator v1.0 Oct 2021

 Ti60 Power Estimator v1.02 Feb 2022

网盘链接

[https://pan.baidu.com/s/16M_gUEKs0ikPCbahmt__aQ?](https://pan.baidu.com/s/16M_gUEKs0ikPCbahmt__aQ?pwd=ntp6)

提取码: ntp6

- 根据功耗估算表估算FPGA各种电压的功耗
- 根据估算出的功耗检视原理图设计的电源负载能力是否足够
- 推荐电源的负载能力推荐按估算功耗预留30%以上余量
- VCC CORE推荐2A最大负载电流的DC-DC
- 低功耗应用注意DC-DC的电源转换效率

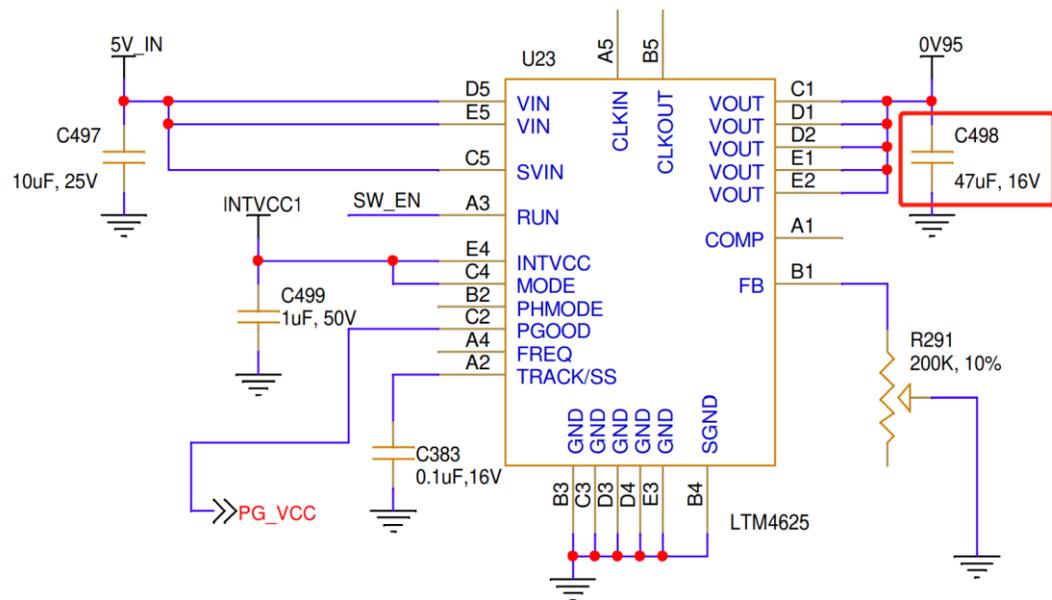


储能、退耦、隔离

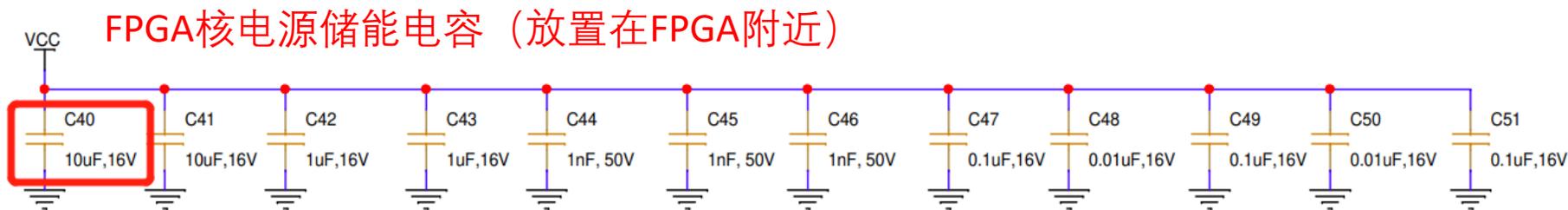
- 电源管脚和退耦电容的数量按1:1比例设计
 - 推荐每个电源管脚附近放置一个0.01 μ F和0.1 μ F作为退耦电容
 - PCB空间不足可以酌情减少，但是需要保证至少一个电源管脚有一个退耦电容
- 每种电源出口处（电源模块）使用1片或者多片47 μ F做储能电容，或参照电源模块参考电路要求选择储能电容
- 每组电源入口处（FPGA）使用1片或者多片10 μ F做储能电容
- 模拟电源VCCA（PLL）采用 π 型滤波器（C-L-C）或者T型滤波（L-C）分开供电
 - L可以是电感或者是磁珠
 - L的选择必须考虑过电流能力，标称过电流至少预留高于对应电流30%以上的余量
 - 不同PLL 模拟电源分开隔离滤波



电源-储能电容 (Ti60F225 Devikit)

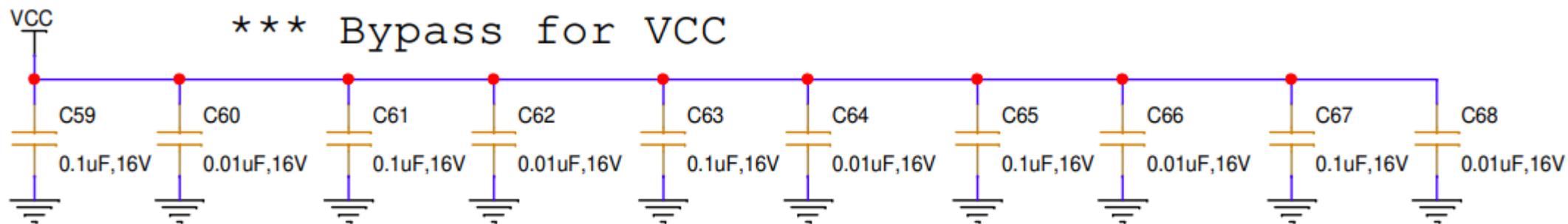


FPGA核电源储能电容 (放置在电源模块附近)

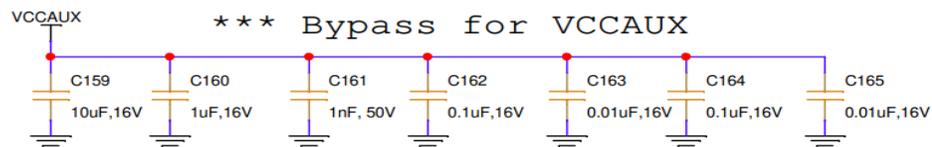
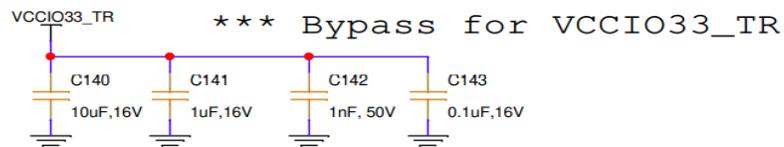
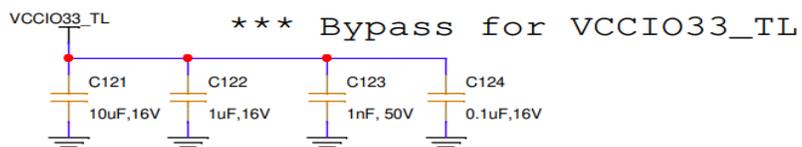
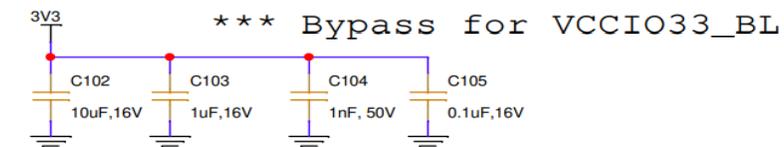
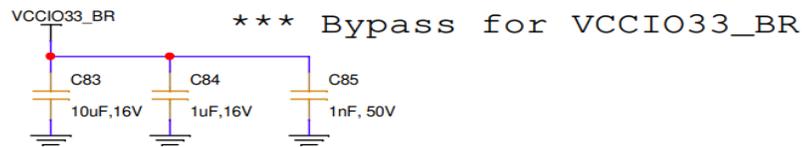
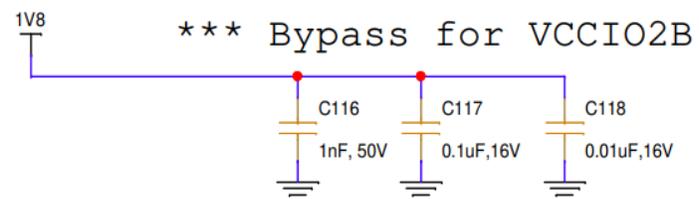
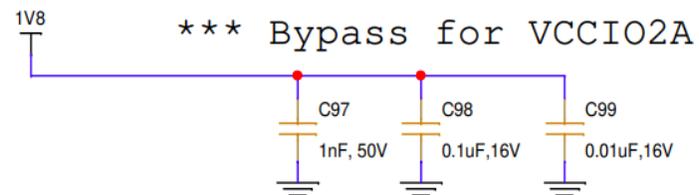
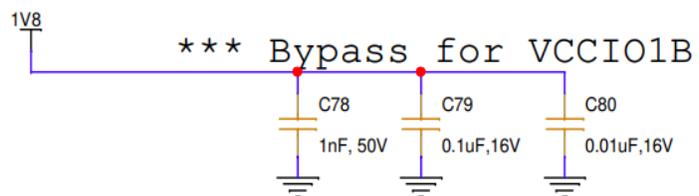
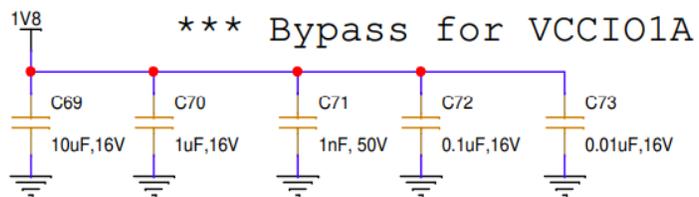


FPGA核电源储能电容 (放置在FPGA附近)

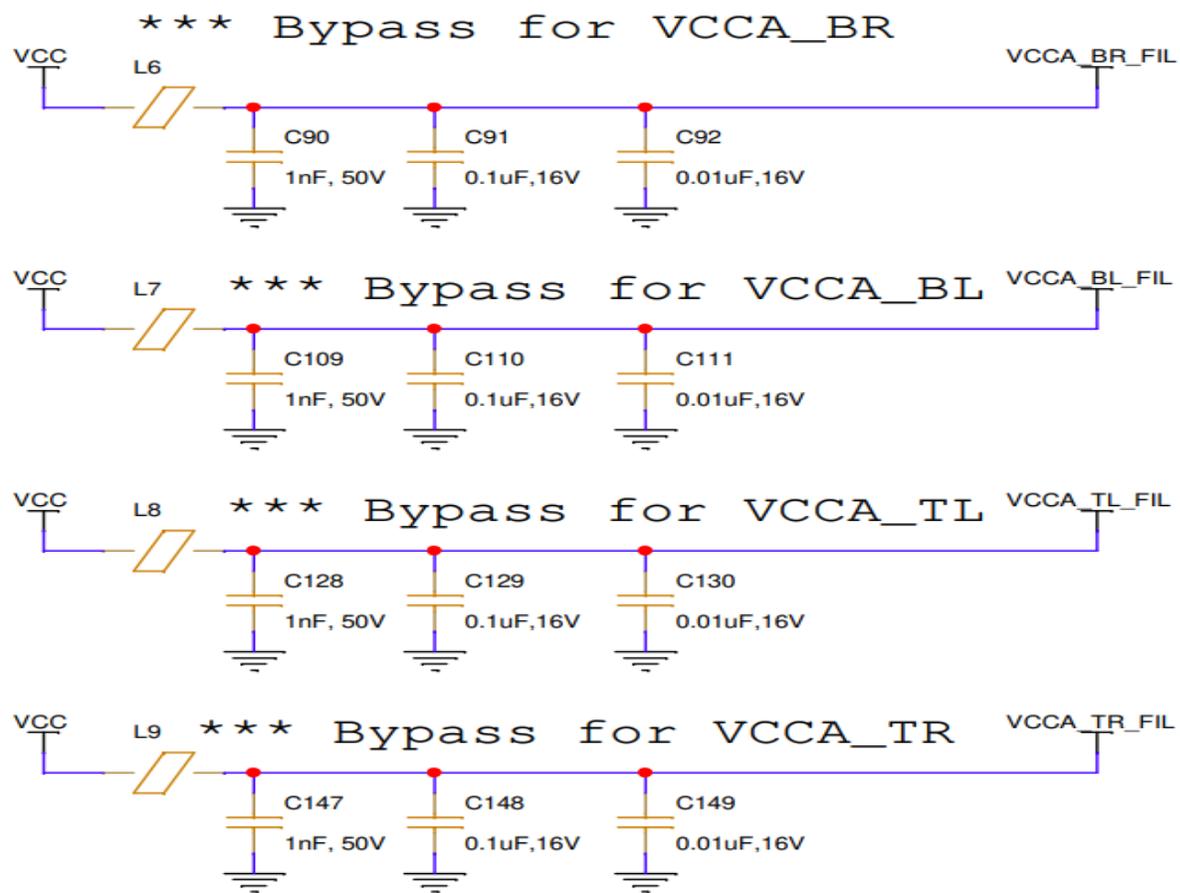
电源-内核电源退耦 (Ti60F225 Devikit)



电源-IO及其他电源退耦 (Ti60F225 Devikit)



电源-模拟电源隔离和退藕 (Ti60F225 Devkit)



其他

- 单板使用多片FPGA时，建议VCC CORE电源模块分开
- 注意区分Ti60的RevA和RevA1版本



配置电路

- 关键信号
- 配置模式
 - JTAG
 - AS
 - 多镜像
 - POR电路
 - SPI FLASH: 容量, 型号
 - PS
 - JTAG Bridge

配置电路-关键信号 (以Ti60F225为例)

BANK	信号名	配置信号	功能描述	用户模式要求
BANK1A	GPIOL_N_01_CCK	CCK	SPI配置接口	SS_N作为输出
BANK1A	GPIOL_P_03_CDIO	CDIO		
BANK1A	GPIOL_P_01_SSL_N	SS_N		
BANK1A	GPIOL_N_03_CDI1	CDI1		
BANK1A	CDONE	CDONE	配置完成标志	
BANK1A	CRESET_N	CRESET_N	配置复位信号	
BANK1A	GPIOL_P_02_CSI	CSI	FPGA片选输入信号	输出
BANK1A	GPIOL_N_02_CSO	CSO	FPGA片选输出 (级联)	
BANKBL	TCK	TCK	JTAG专用接口	
BANKBL	TDI	TDI		
BANKBL	TDO	TDO		
BANKBL	TMS	TMS		
BANK1B	GPIOL_P_13_CBSELO	CBSELO	多镜像外部选择信号	若使用多镜像, 作为输出
BANK1B	GPIOL_N_13_CBSEL1	CBSEL1		
BANK1B	GPIOL_P_15_NSTATUS	NSTATUS	配置状态标志	
BANK1B	GPIOL_N_15_TEST_N	TEST_N	测试模式使能信号	输出

- 除了JTAG接口和CDONE, CRESET_N 以外全部是复用管脚
 - FPGA配置成功进入用户模式以后复用管脚全部可作用户自定义IO
 - 复用管脚用作自定义IO的时候, 为了避免干扰FPGA配置过程, 均建议作为输出使用
 - 必须作为输出的管脚见左表 (用户模式要求)
 - 配置信号的电阻上拉, 必须接到对应BANK的VCCIO上
 - SPI接口, JTAG接口, CDONE和CRESET_N 信号, 所有的器件型号都在BANK1A
 - 其它信号, 不同的器件型号对应的BANK会有所区别

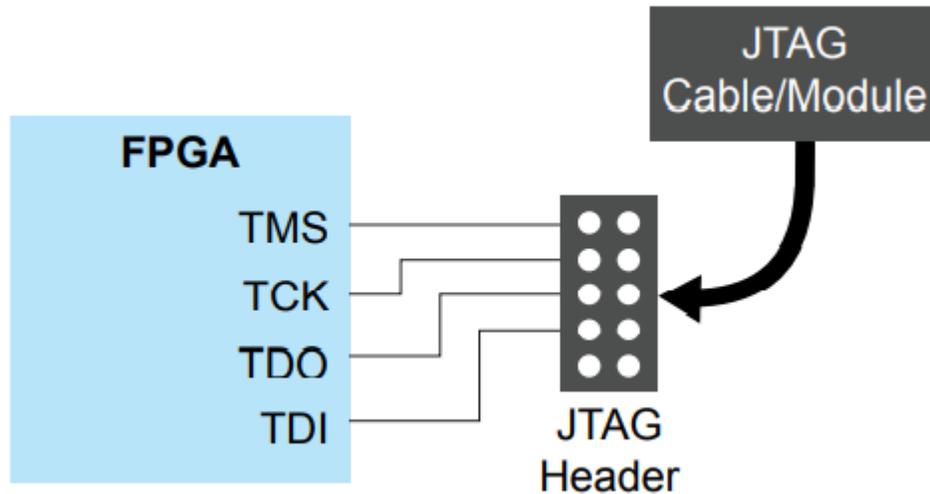


配置电路-配置模式(以Ti60为例)

Configuration Mode	Width	W64	F100S3F2	F225
Active	X1	✓	✓	✓
	X2	✓	✓	✓
	X4	✓	-	✓
	X8	-	-	✓
Passive	X1	✓	✓	✓
	X2	✓	✓	✓
	X4	✓	-	✓
	X8	-	-	✓
	X16	-	-	✓ ⁽⁷⁾
	X32	-	-	✓ ⁽⁷⁾
JTAG	X1	✓	✓	✓



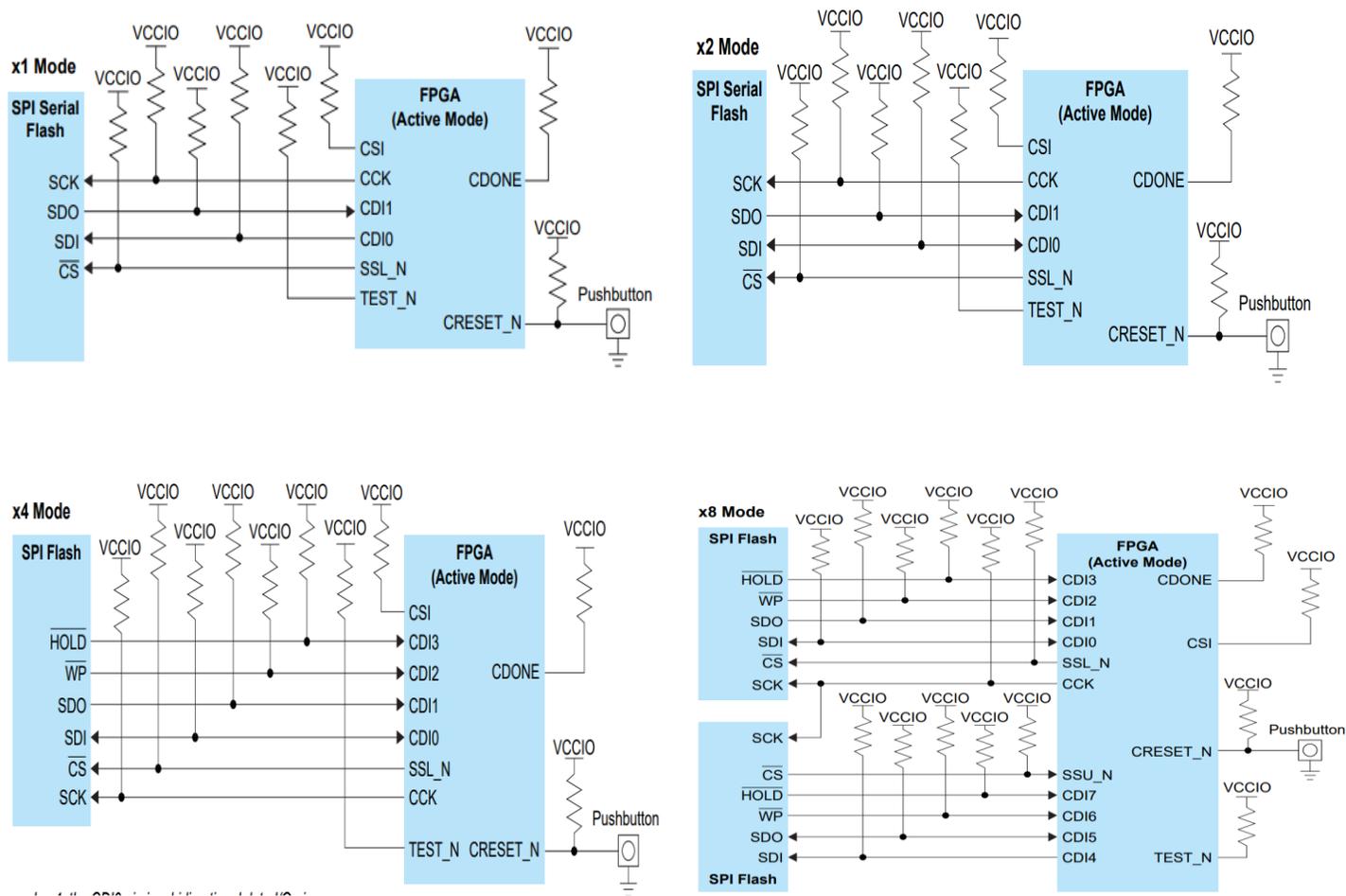
配置电路-JTAG



- JTAG模式不依赖于配置模式管脚设置
 - JTAG接口管脚是专用管脚不能作为用户自定义IO使用
- CDONE, TEST_N, CSI必须上拉
- 若板上干扰较大（例如：伺服驱动类板卡）建议TCK靠近FPGA管脚处加1nF滤波电容
- 为保证可靠性，建议TDI和TMS 10K 上拉
- 建议将CRESET_N管脚接到JTAG插座上，以备调试使用

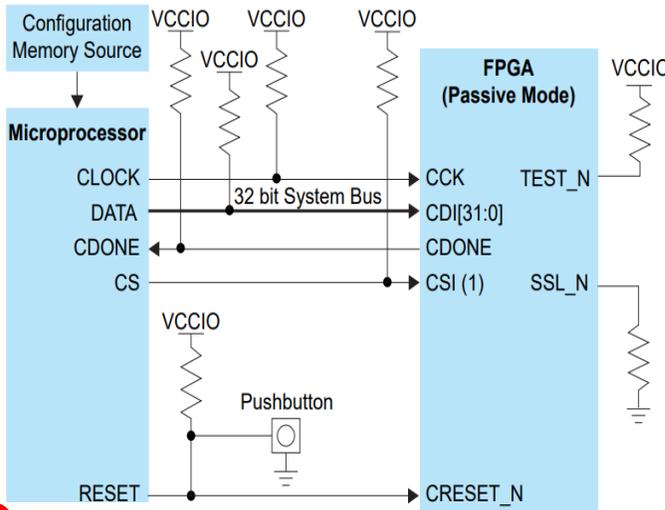
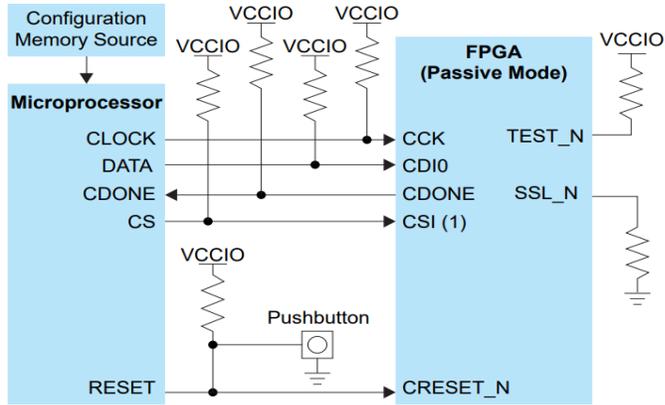


配置电路-AS



- AS模式必须使用上电复位POR电路
 - 见上电顺序页：AS模式需要使用上电复位电路，必须使用复位芯片做POR电路
- CDONE, TEST_N, CSI, SS_N必须上拉，阻值推荐10K
- X1 X2 X4 X8模式选择由工程在Efinity->Edit_project->bitstream的设置决定

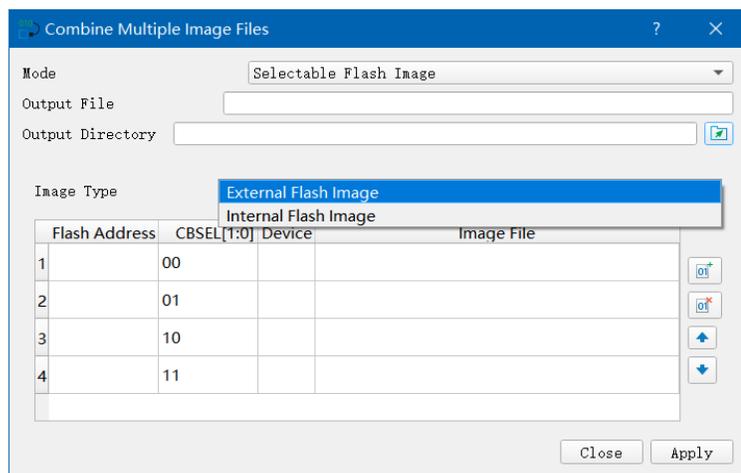
配置电路-PS



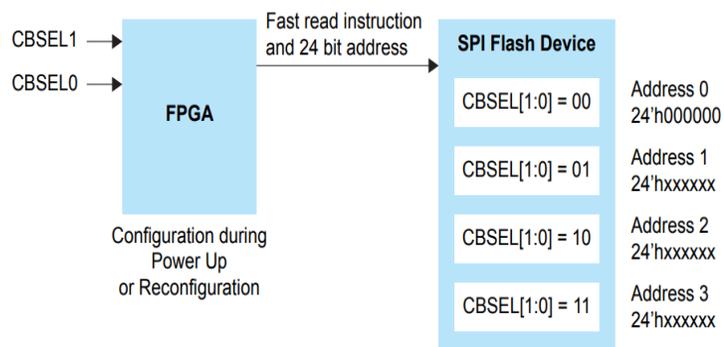
- CDONE, TEST_N和CSI必须上拉
- SSL_N必须下拉
- CRESET_N上拉, 连到MCU上作为启动配置的信号
- CDONE作为完成配置的指示信号连到MCU
- X1 X2 X4 X8 X16 X32模式选择由工程在Efinity->Edit_Project->bitstream中的设置决定
- 根据具体的FPGA型号需要的配置文件大小选择MCU ROM的容量



配置电路-AS-多镜像



- 钛金系列FPGA的多镜像在线重配置功能可通过外部模式或者内部模式实现
- CBSEL1-0为AS模式外部多镜像下载选择管脚，对这两个管脚的上下拉可实现FPGA从不同的镜像进行加载
- 如果使用内部多镜像，同时CBSEL1-0在FPGA下载完成以后作为用户GPIO使用，建议这两个管脚下拉（默认从image0启动）或者根据需要选择上下拉，并且用户模式中作为输出使用
- 如果要使用多镜像实现在线重配置，bitstream生成必须勾选CRC校验。
- 不使用多镜像功能的设计，CBSEL1-0当做通用GPIO来使用



Connect CBSEL for the image you want to use:

- Set CBSEL[1:0] to 00 for image 1
- Set CBSEL[1:0] to 01 for image 2
- Set CBSEL[1:0] to 10 for image 3
- Set CBSEL[1:0] to 11 for image 4

配置电路-AS-SPI FLASH-容量选择

FPGA	Maximum Supported Configuration Bits (Single Image)	Packages
Ti35	13,686,496	All
Ti60	13,686,496	All



配置电路-AS-SPI FLASH-型号选择

Vendor	JEDEC ID	Family	SPI Mode Support	Remark
GD	0xC8	GD25Q	X1 X2 X4	1. 对应于Efinity2021.2.232 patch 5.19 或者更新的版本 2. 不在列表里的型号，请对照flash的数据手册，确认是否和列表里的型号兼容
		GD25WQ	X1 X2 X4	
		GD25LQ	X1 X2 X4	
Macronix	0xC2	MX25L	X1 X2 X4	
		MX25V	X1 X2	
		MX25U	X1 X2 X4	
		MX75L	X1 X2 X4	
		MX75U	X1 X2 X4	
Puya	0x85	P25Q	X1 X2 X4	
Winbond	0xEF	W25Q	X1 X2 X4	
XTX	0x0B	XT25F	X1 X2 X4	
Micron	0x20	MT25Q	X1 X2 X4	
		MT25P	X1	

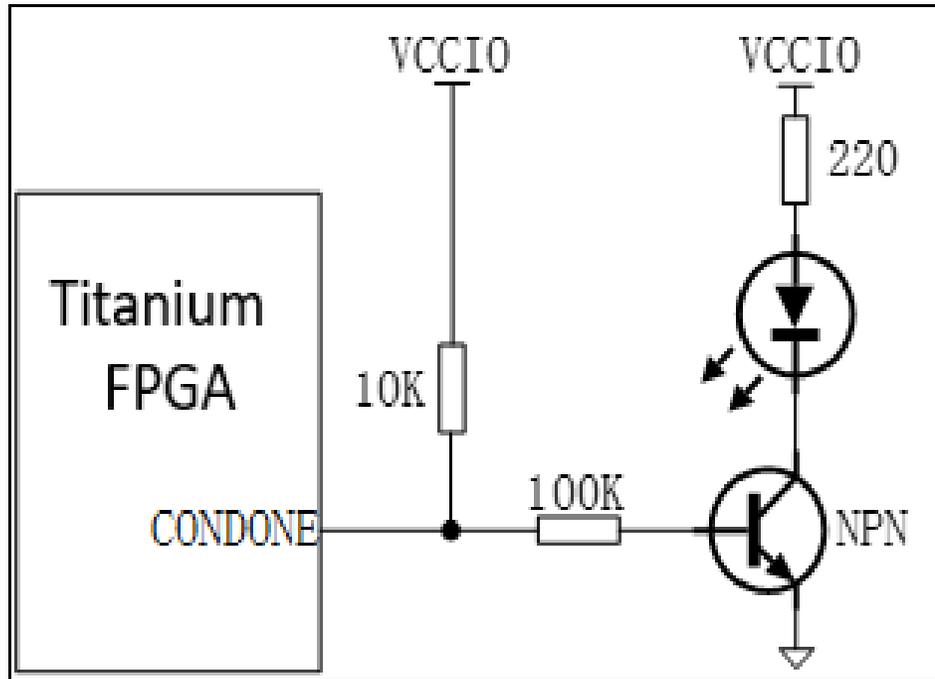


配置电路-JTAG Bridge

- JTAG Bridge模式是先通过JTAG烧写FPGA，将FPGA配置成JTAG到SPI的Bridge，再通过JTAG插座—FPGA(JTAG to SPI Bridge)烧写SPI FLASH
 - 其实质是AS模式，只是烧写FLASH的方式和AS不同
 - 省掉一个烧写SPI FLASH的插座
- 参照JTAG模式连接外围电路
- 参照AS模式连接SPI FLASH和FPGA之间的信号及相关配置电路



配置电路-CDONE信号的处理



- CDONE是FPGA完成加载的标志
- CDONE信号是OD信号，所有的配置模式下都必须上拉（推荐10K），否则加载不成功
- 如果需要用CDONE驱动LED作为加载完成标志指示灯信号，参考左图电路进行设计
- 如果不需要指示灯直接做10K上拉

时钟GPIO

- 时钟输入管脚 (GCLK IN)
- 锁相环输入管脚 (PLL IN)
- GCLK IN和PLL IN的选用原则



时钟GPIO-时钟输入管脚 (GCLK IN)

- 时钟输入管脚 (GCLK IN)
 - 管脚名称为GPIOx_P_y_CLKz_P的管脚为Clock In管脚
 - X=字母, y=数字, z=数字
 - 名称为GPIOx_N_y_CLKz_N不是GCLK IN管脚
 - X=字母, y=数字, z=数字
 - GCLK IN管脚可以直接进入全局时钟网络驱动内部逻辑时钟
 - Interface Designer -> Connection Type=gclk
 - GCLK IN管脚也可以通过core模式作为PLL的参考时钟输入
 - GCLK IN管脚通过core模式可以作为任意PLL的参考时钟输入
 - 占用一个全局时钟网络资源
 - 管脚到锁相环的延迟较大
- GCLK IN管脚如果不用做时钟输入可作为普通IO使用
 - Interface Designer -> Connection Type=none



时钟GPIO-时钟输入管脚 (GCLK IN)

- 以Ti60F225为例

Bank Number	Pin Names	Configuration Function	MIPI RX Function	VREF Function for HSTL/SSTL	LVDS and MIPI Pairs	Clock Region	DDIO	FBGA225
BANK1A	GPIOL_N_01_CCK	CCK	RX_DATA_N1_I0		GPIOL_PN_01	L0	Y	N1
BANK1A	GPIOL_P_02_CSI	CSI	RX_CLK_P_I0		GPIOL_PN_02	L1	Y	N2
BANK1A	GPIOL_N_02_CSO	CSO	RX_CLK_N_I0		GPIOL_PN_02	L1	Y	M2
BANK1A	GPIOL_P_03_CDI0	CDI0	RX_DATA_P2_I0		GPIOL_PN_03	L1	Y	M1
BANK1A	GPIOL_N_03_CDI1	CDI1	RX_DATA_N2_I0		GPIOL_PN_03	L1	Y	L1
BANK1A	GPIOL_P_04_CDI2	CDI2	RX_DATA_P3_I0	VREF1A	GPIOL_PN_04	L1	Y	H5
BANK1A	GPIOL_N_04_CDI3	CDI3	RX_DATA_N3_I0		GPIOL_PN_04	L1	Y	H4
BANK1A	GPIOL_P_05		RX_DATA_P0_I1		GPIOL_PN_05	L2	Y	K4
BANK1A	GPIOL_N_05		RX_DATA_N0_I1		GPIOL_PN_05	L2	Y	J3
BANK1A	GPIOL_P_06		RX_DATA_P1_I1		GPIOL_PN_06	L2	Y	K3
BANK1A	GPIOL_N_06		RX_DATA_N1_I1		GPIOL_PN_06	L2	Y	K2
BANK1A	GPIOL_P_07_CLK0_P		RX_DATA_P2_I1		GPIOL_PN_07	L3	Y	K1
BANK1A	GPIOL_N_07_CLK0_N		RX_DATA_N2_I1		GPIOL_PN_07	L3	Y	J1
BANK1A	GPIOL_P_08_CLK1_P	EXT CONFIG CLK	RX_DATA_P3_I1		GPIOL_PN_08	L3	Y	J2
BANK1A	GPIOL_N_08_CLK1_N		RX_DATA_N3_I1		GPIOL_PN_08	L3	Y	H3
BANK1B	GPIOL_P_09_CLK2_P		RX_CLK_P_I1		GPIOL_PN_09	L4	Y	H1
BANK1B	GPIOL_N_09_CLK2_N		RX_CLK_N_I1		GPIOL_PN_09	L4	Y	G1
BANK1B	GPIOL_P_10_CLK3_P		RX_DATA_P4_I1		GPIOL_PN_10	L4	Y	H2
BANK1B	GPIOL_N_10_CLK3_N		RX_DATA_N4_I1		GPIOL_PN_10	L4	Y	G2



时钟GPIO-锁相环输入管脚 (PLL IN)

- 锁相环输入管脚 (PLL In)
 - 名称为GPIOx_P_y_PLLINz, GPIOx_y_PLLINz和GPIOx_P_y_PLLINz/GPIOx_P_y为锁相环输入管脚
 - x=字母, y=数字, z=数字
 - PLL In管脚可直接进入对应的锁相环作为参考时钟
 - Interface Designer -> Connection Type=pll_clkIn
 - 不占用全局时钟网络资源
 - 管脚到锁相环延迟小
 - 一个PLL In管脚只能作为某个特定锁相环的参考时钟输入
 - PLL In管脚作为时钟只能进入锁相环, 无法直接驱动内部逻辑
 - 差分时钟输入
 - LVDS RX的差分源同步时钟只能通过GPIOx_P_y_PLLINz/GPIOx_N_y经对应锁相环输入
 - 名称为GPIOx_P_y_CLKz_P也可作为单端参考时钟管脚进入对应锁相环
 - PLL in管脚和锁相环资源的详细对应关系表, 参见相关型号数据手册的Device Interface Functional Description->PLL
- PLL In管脚如果不用做时钟输入可作为普通IO使用
 - Interface Designer -> Connection Type=none



时钟GPIO-锁相环输入管脚 (PLL IN)

- 以Ti60F225为例

PLL	REFCLK0	REFCLK1	REFCLK2	External Feedback I/O
PLL_BL	Single-ended: GPIOL_P_00_PLLIN0 Differential: GPIOL_P_00_PLLIN0, GPIOL_N_00	Single-ended: GPIOB_P_00_PLLIN1 Differential: GPIOB_P_00_PLLIN1, GPIOB_N_00	Unbonded ⁽⁵⁾	Single-ended: GPIOB_P_01_EXTFB Differential: GPIOB_P_01_EXTFB, GPIOB_N_01
PLL_TL	Single-ended: GPIOL_P_18_PLLIN0 Differential: GPIOL_P_18_PLLIN0, GPIOL_N_18	Single-ended: GPIOT_P_00_PLLIN1 Differential: GPIOT_P_00_PLLIN1 GPIOT_N_00	GPIOL_11_PLLIN2	Single-ended: GPIOL_P_17_EXTFB Differential: GPIOL_P_17_EXTFB, GPIOL_N_17
PLL_TR	Single-ended: GPIOR_P_19_PLLIN0 Differential: GPIOR_P_19_PLLIN0, GPIOR_N_19	Single-ended: GPIOT_P_17_PLLIN1 Differential: GPIOT_P_17_PLLIN1, GPIOT_N_17	Unbonded ⁽⁵⁾	Single-ended: GPIOT_P_16_EXTFB Differential: GPIOT_P_16_EXTFB, GPIOT_N_16
PLL_BR	Single-ended: GPIOR_P_00_PLLIN0 Differential: GPIOR_P_00_PLLIN0, GPIOR_N_00_CDI22	Single-ended: GPIOB_P_17_PLLIN1 Differential: GPIOB_P_17_PLLIN1, GPIOB_N_17	GPIOR_29_PLLIN2	Single-ended: GPIOR_P_01_EXTFB Differential: GPIOR_P_01_EXTFB, GPIOR_N_01_CDI23



时钟GPIO-GCLK IN和PLL IN的选用原则

- 当输入时钟需要灵活兼顾直接驱动逻辑和锁相环时，建议接Clock In管脚，比如外部晶振
- 对于随路时钟，如果是高质量的连续时钟并且对输入延迟要求很苛刻的话，建议接PLL In
- 当内部逻辑时钟域很多，需要外部输入时钟源也很多的时候，建议尽量使用PLL In节约全局时钟网络资源



普通GPIO

- HVIO or HSIO AS GPIO
- DDIO

HVIO or HSIO as GPIO

- HVIO
 - LVCMOS:1.8,2.5,3.0,3.3V
 - LVTTTL: 3.0,3.3V
- HSIO as GPIO
 - LVCMOS:1.2,1.5,1.8V
 - HSTL/SSTL:1.2,1.5,1.8V

HVIO or HSIO as GPIO

Feature	HVIO	HSIO Configured as GPIO
Double-data I/O (DDIO)	✓	✓
Dynamic pull-up	-	✓
Pull-up/Pull-down	✓	✓
Slew-Rate Control	-	✓
Variable Drive Strength	✓	✓
Schmitt Trigger	✓	✓
1:4 Serializer/Deserializer (Full rate mode only)	-	✓
Programmable Bus Hold	-	✓
Static Programmable Delay Chains	✓	✓
Dynamic Programmable Delay Chains	-	✓

- GPIO的信号电平标准，必须同该BANK的VCCIO电压一致
- HVIO
 - 支持DDIO
 - 支持内部上下拉
 - 支持输出驱动电流调节
 - 支持内部施密特触发器
 - 支持静态IO Delay调节
- HSIO as GPIO
 - 支持DDIO
 - 支持内部上下拉，动态上拉控制
 - 支持Slew-Rate设置
 - 支持输出驱动电流调节
 - 支持内部施密特触发器
 - 支持1:4的串化/解串器（使用IO reg才可用）
 - 支持Bus Hold
 - 支持静态IO Delay调节
 - 支持动态IO Delay调节（只作为接收时才有,且每对HSIO只有P端才支持动态调节）

Ti60 HVIO注意事项及临时规避方法

- BANK TL,BL: VCCIO只能是1.8V,不能是2.5v,3.0v,3.3v
- BANK TR,BR: VCCIO只能是1.8V,3.3V,不能是2.5v,3.0v
- 2023.05前临时规避方法
 - 在interface designer中将对应BANK的电压设置成LVCOMS1.8V
 - 该方法影响管脚使用寿命只作为临时调试使用
- 后续5月份后的芯片会在衬底内加decap电容, 和原封装完全兼容; 新封装芯片的Data code在末尾带“c”,如B2325C



DDIO

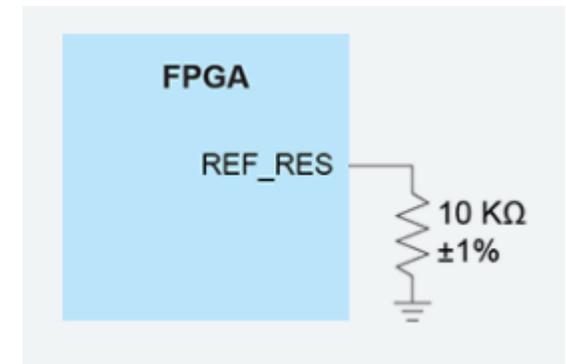
- HVIO和HSIO as GPIO都支持DDIO (Double-Data I/O) 功能
 - 类似于X的IDDDR/ODDDR
 - RGMII接口/PSRAM接口以及支持DDR的FLASH等外设必须使用支持DDIO的管脚
 - Ti60所有GPIO都支持DDIO功能，具体参考PINOUT文档进行对照检查

LVDS

- HSIO as LVDS
- LVDS RX源同步时钟管脚
- LVDS交流耦合
- LVDS Bank使用限制

HSIO as LVDS

- HSIO as LVDS支持以下电平标准及接口特性
 - LVDS/RSDS/mini-LVDS ($V_{CCAUX}=1.8V$): TX/RX 1.8V
 - Sub-LVDS ($V_{CCAUX}=1.8V$): TX 1.8V , RX 1.5/1.8V
 - LVDS-Receiver(RX), Transmitter(TX), Bidirectional(RX/TX)
- REF_RES : 接10K欧姆电阻到GND,如果该Bank没有使用到差分对可以悬空;
- LVDS接收机由VCCAUX供电



LVDS RX源同步时钟管脚

- LVDS RX随路时钟需要和其通过PLL产生的fast & slow clock所驱动的数据lane在同一边;

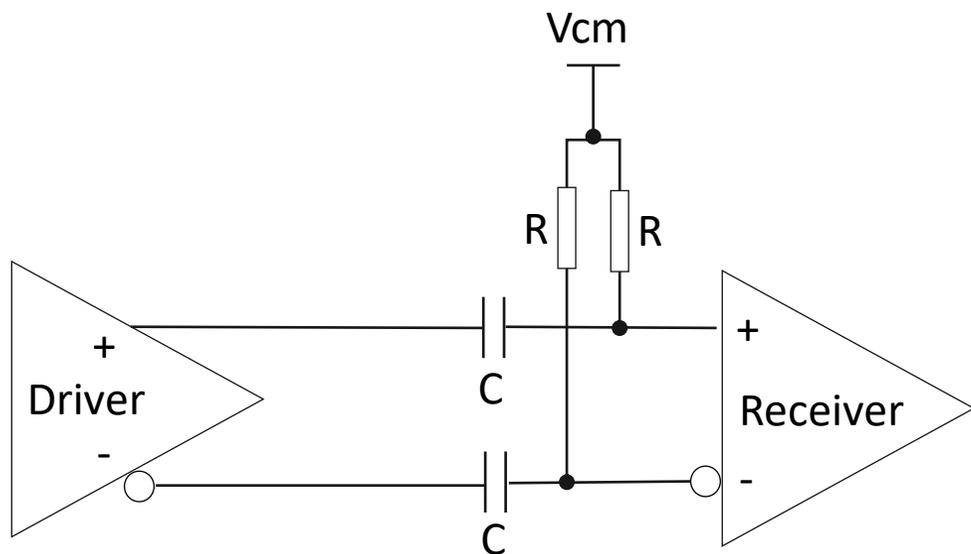
clock_rule_pll_ref_clock_lvds_rx (error)

Message	The following PLL instance has reference clock that does not match the side of the LVDS Rx instance driven by its output clocks - [<PLL instance>: [<clock name>(<LVDS instance>)]]
To fix	Choose the PLL reference clock that is on the same side as the LVDS that the output clock is driving. For example, if TR_PLL is driving LVDS on the right side, the PLL external source clock should also come from the I/O on the right side.

- LVDS RX的差分源同步时钟只能通过GPIOx_P_y_PLLINz/ GPIOx_N_y经对应锁相环输入
 - LVDS 差分时钟输入同锁相环的对应关系参见相关型号的数据手册Device Interface Functional Description->PLL
 - 例: Ti60F100

PLL	REFCLK0	REFCLK1	REFCLK2	External Feedback I/O
PLL_TL	Single-ended: GPIOL_P_18_PLLIN0 Differential: GPIOL_P_18_PLLIN0, GPIOL_N_18	Unbonded ⁽⁵⁾	Unbonded ⁽⁵⁾	Single-ended: GPIOL_P_17_EXTFB Differential: GPIOL_P_17_EXTFB, GPIOL_N_17
PLL_TR	Single-ended: GPIOR_P_19_PLLIN0 Differential: GPIOR_P_19_PLLIN0, GPIOR_N_19	Unbonded ⁽⁵⁾	Unbonded ⁽⁵⁾	Unbonded ⁽⁵⁾
PLL_BR	Single-ended: GPIOR_P_00_PLLIN0 Differential: GPIOR_P_00_PLLIN0, GPIOR_N_00_CD122	Unbonded ⁽⁵⁾	Unbonded ⁽⁵⁾	Single-ended: GPIOR_P_01_EXTFB Differential: GPIOR_P_01_EXTFB, GPIOR_N_01_CD123

LVDS 交流耦合



Vcm=1.25V
R=50ohm
C=1000pF@100Mhz
100pF@400Mhz
50pF@800Mhz
 $C > 1 / (5 * 2\pi * f) \approx 1 / 30f$

- RX端采用隔直电容+Vcm上拉
 - 隔直电容推荐NPO介质陶瓷叠层贴片电容
 - 匹配电阻推荐1%贴片电阻
 - 在Interface Designer里取消片上端接跨阻

LVDS bank使用限制

- 如果需要在HSIO IO里差分信号同单端信号混用，需要隔开1对差分IO，否则interface会有告警；
 - 例如：使用P09/N09为单端信号，就不能使用PN08/10作为差分信号
- 如果在HSIO IO里差分信号同单端信号混用引脚不足时，单端信号使用电平翻转慢的信号，如复位信号等；

MIPI

- HSIO as MIPI Lane
- MIPI RX Lane
- MIPI TX Lane
- MIPI DSI
- MIPI Bank 使用限制

HSIO as MIPI Lane

- PCB走线时使用最小数量的通孔和角，以减少信号反射和阻抗变化
- VCC IO :1.2V (仅使用HS模式时，可以为1.8V)
- 必须有一个Clock Lane，以及至少1个Data Lane
- 支持1， 2， 4， 8Lane模式
- 可参考Titanium MIPI Interface PCB Design User Guide

The MIPI trace impedance should be:

Data differential 100 Ohm +/- 10%

Data single-ended 50 Ohm +/- 10%

Match routing length for 1.5 Gbps:

Data P/N pair +/- 0.10 mm

Clock +/- 1.00 mm

Match routing length for 1.0 Gbps:

Data P/N pair +/- 0.15 mm

Clock +/- 1.5 mm

Standard	VCCIO (V)		VCCAUX (V)	VREF (V)	When Configured As
	TX	RX			
MIPI Lane I/O /SLVS	1.2	1.2	1.8	-	MIPI Lane

MIPI RX Lane

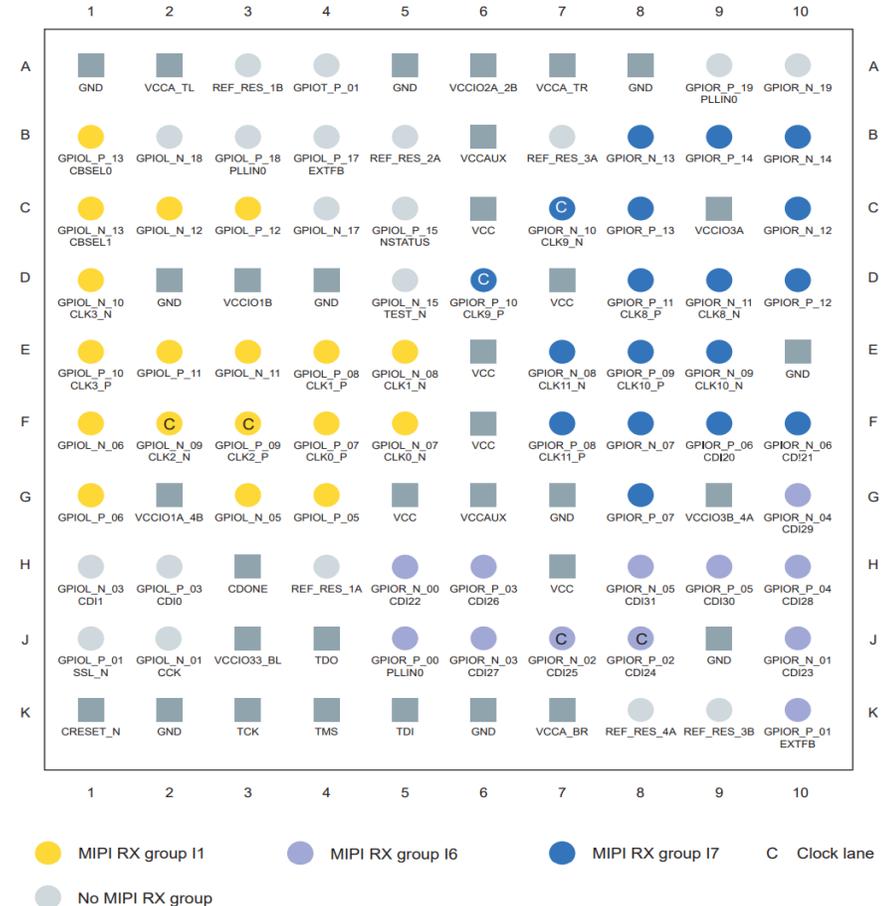
- 在MIPI RX模式，Fast Clock(快时钟)从MIPI Clock Lane进来并被分频为Slow Clock,然后通过专用的Bus将Fast/Slow Clock传递给邻近的用于MIPI Data Lane的HSIO Block，即MIPI Data Lane的快/慢时钟必须由同一MIPI Group的时钟通道驱动；因此MIPI RX存在分组，只有在同一组的HSIO可被用作同一组MIPI RX；
- 同Group的data lane可以互相交换

MIPI RX Function	Description
RX_DATA_xy_zz	MIPI RX Lane. You can use any data lanes within the same group to form multiple lanes of MIPI RX group. x = P or N y = 0 to 7 data lanes (Up to 8 data lanes) zz = I0 to I11 MIPI RX group (Up to 12 MIPI RX groups)
RX_CLK_x_zz	MIPI RX Clock Lane. x = P or N zz = I0 to I11 MIPI group

MIPI RX Lane

- MIPI RX Lane分组可参考PINOUT文档或PACKAGE文档
- 以Ti60F100为例，如右图：

Figure 8: 100-Ball FBGA MIPI RX Groups



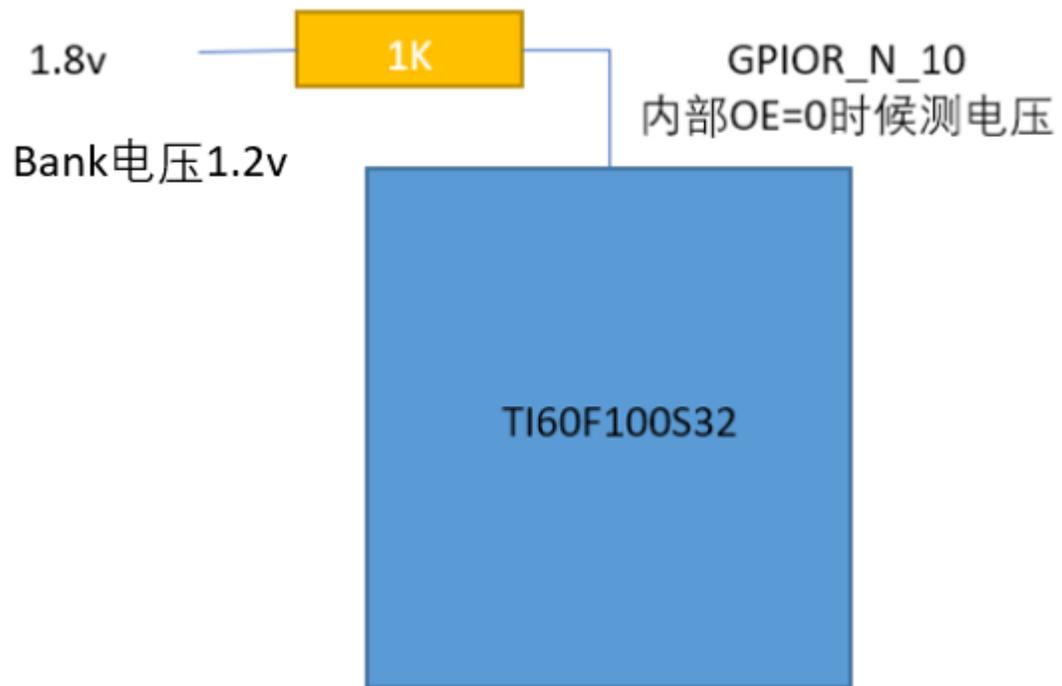
MIPI TX Lane

- 在MIPI TX模式，Fast Clock和Slow Clock由PLL产生给到MIPI Clock Lane和MIPI Data Lane
- 用作MIPI TX，MIPI Clock Lane和MIPI Data Lane不受分组限制

MIPI DSI

- 对应MIPI Bank电压必须是1.2V

MIPI Bank使用限制



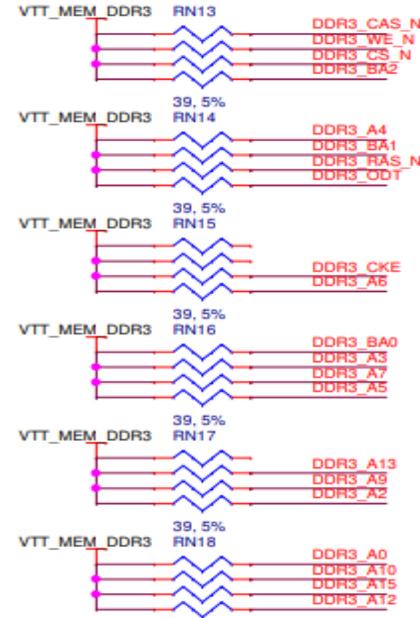
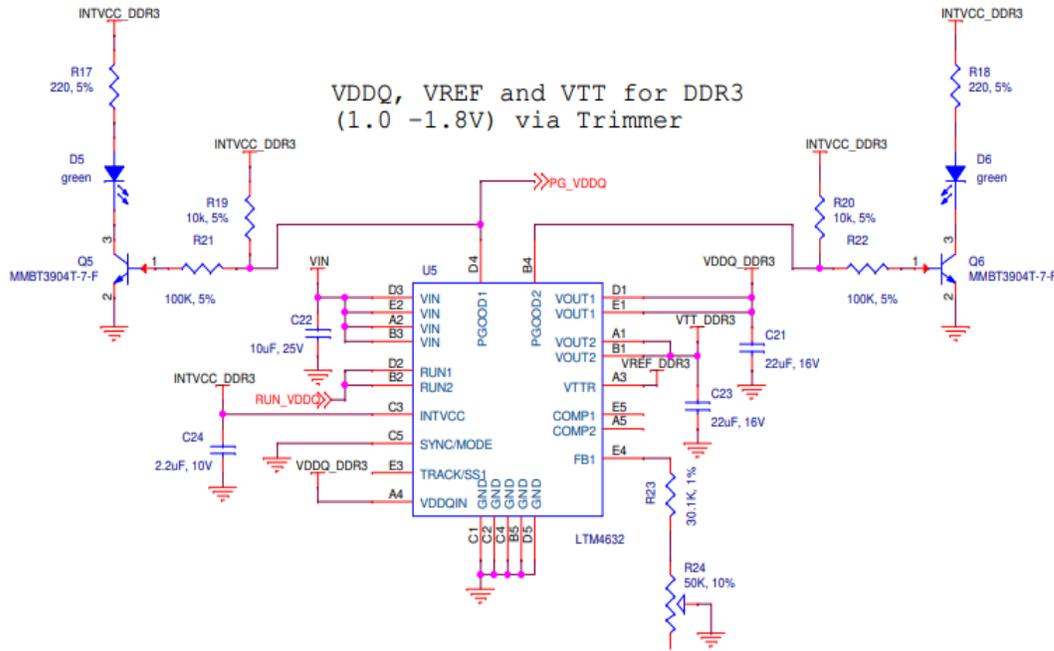
- MIPI Bank电压为1.2V时，对应Bank HSIO作为普通IO作1.8V开漏输出异常，电压会随同Bank中MIPI Lane的增加而降低

DDR

- DDR VTT端接和VREF
- 其他

DDR VTT端接和VREF

- DDR 端接VTT和VREF电源的生成，推荐使用专用的IC生成
 - 例如LTM4632, TPS51206, TPS51200等
- 参考Ti60F225-engineering board



其他

- 数据线尽量放在2~3个bank内，因为如DDR3的Bank电压为1.5v，那么ddr bank的剩余无法用作其他电平，管脚浪费；
- DDR SOFT IP只支持DDR3；

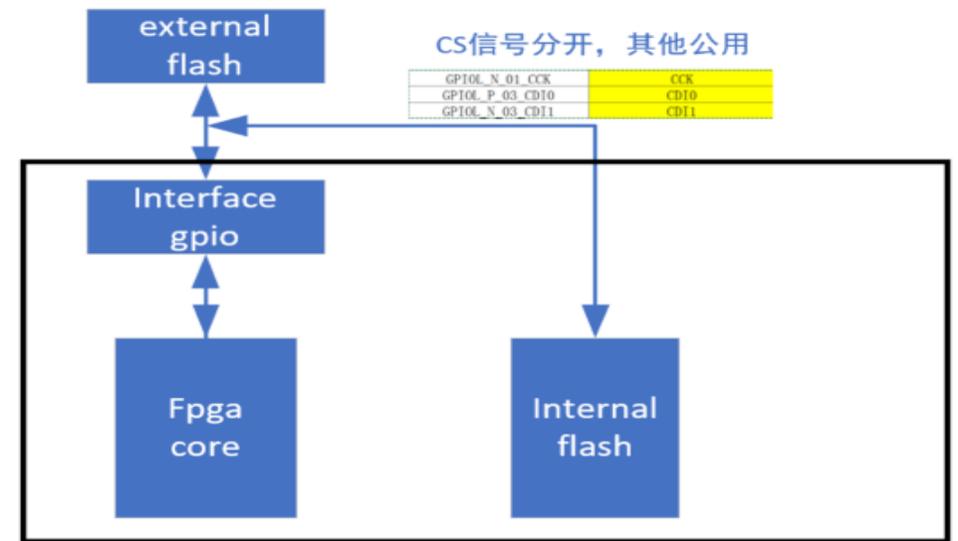
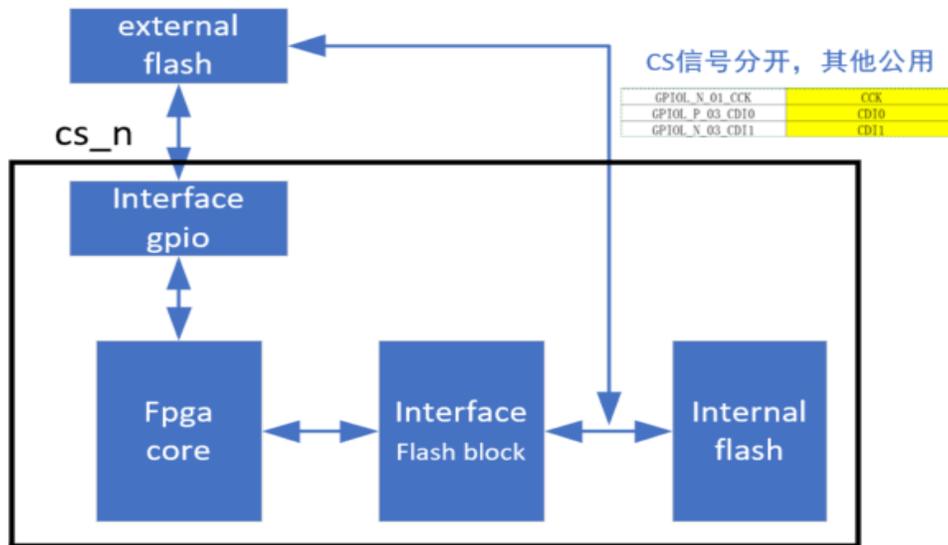
HypeRam

- 原理图设计参考Ti60F225 DevKit;
- 例化HypeRam IP时若使用PII Auto Calibration模式，注意PLL Clkout设置的Calibration clock的位置和IP设置的一致；

Flash

- Ti60F100外接Flash,CS信号要选用其他管脚, 而且**必须上拉**, 即**不使用GPIOL_P_01_SSL_N管脚**

BANK1A	GPIOL_P_01_SSL_N	SSL_N	
BANK1A	GPIOL_N_01_CCK	CCK	
BANK1A	GPIOL_P_03_CD10	CD10	
BANK1A	GPIOL_N_03_CD11	CD11	



片上晶振

- REF_RES_3A : 接10K欧姆电阻到GND;
- 另外需要注意片上晶振有25%的频差

REF_RES_XX引脚注意事项

- REF_RES is a reference resistor to generate constant current for the related circuits.
- Connect the following REF_RES pins to ground through a 10 k Ω resistor with a tolerance of $\pm 1\%$:
 - REF_RES_2A and REF_RES_4A pins must be connected
 - REF_RES pin of the particular bank, if pins in the bank are used as LVDS TX or MIPI TX lane.
 - REF_RES_3A pin, if internal oscillator is used.
 - REF_RES_3A pin, if blowing of fuses for FPGA security is required;

谢 谢！