



TJ180数据手册

TJ180数据手册-1.0版本
2023年12月
www.elitestek.com



版权所有©2023。保留一切权利。易灵思、易灵思标志、钛金系列标志、Quantum和Trion是易灵思公司的注册商标。所有其他商标和服务标记均为其各自所有者的财产。所有规格如有更改，恕不另行通知。

如中、英文两个版本有任何抵触或不相符之处，应以英文版本为准。

目录

简介	1
特性	1
可选封装	2
器件内核功能描述	3
XLR单元	3
嵌入式内存	5
DSP模块	6
时钟和控制网络	7
器件接口功能说明	18
接口模块连接	18
GPIO	19
HVIO	22
HSIO	24
DDR DRAM接口	39
MIPI D-PHY	44
MIPI RX D-PHY	44
MIPI TX D-PHY	47
振荡器	50
PLL	51
扩频时钟PLL	55
单事件干扰检测	57
内部重配置模块	57
LPDDR4X SDRAM	58
安全功能	59
上电时序	61
电源电流瞬态	63
配置	64
支持的配置模式	65
特性和时序	66
直流和开关特性	66
HSIO电气和时序规范	74
MIPI电气规范和时序	77
PLL时序和交流特性	80
配置时序	81
Pinout说明	83
TJ180接口平面图	88
Primus软件支持	89
订购代码	90
修订记录	91

简介

易灵思®钛金系列FPGA TJ180采用System in Package (SiP) 封装方式。一方面，因基于易灵思®Quantum®架构的16nm Ti180 FPGA芯片设计，TJ180 FPGA具备高密度、低功耗特点；另一方面，TJ180 FPGA又合封功能性芯片，具备高密度、小体积、高集成度特点，方便用户集成到产品中。

TJ180 FPGA内嵌硬核MIPI D-PHY，您可以将其与易灵思®MIPI CSI-2和DSI控制器IP核一起使用，创建多摄像头的高清视觉系统、边缘计算系统以及硬件加速系统。此外，TJ180 FPGA还配备一个支持LPDDR4/LPDDR4X DRAM接口的硬核控制器模块，并且在某些封装中合封了LPDDR4X存储颗粒。

因其具有的超低功耗特性，TJ180 FPGA构建的产品可持续运行，又借助16nm工艺的性能提升，可充分满足视觉系统、边缘计算、硬件加速和机器学习等应用的性能要求。

特性

- 高密度、低功耗的Quantum®架构
- 台积电16 nm工艺
- 10 kb高速嵌入式SRAM，可配置为单端口RAM、伪双端口RAM、双端口RAM或ROM
- 2 Gb容量LPDDR4X SDRAM器件，2500 Mbps数据速率，16位数据总线（适用A484S封装）
- 支持乘法、加法、减法、累加以及最高15位可变右移的高性能DSP模块
- 多功能片上计时
 - 支持32个时钟或控制信号的低偏斜全局网络
 - 局部和本地时钟网络
 - PLL支持
- FPGA接口模块
 - 带内存控制器硬核IP的LPDDR4/LPDDR4x PHY（支持16位或32位数据位宽）⁽¹⁾
 - 2.5 Gbps的MIPI D-PHY硬核IP
 - 两种通用I/O（GPIO）引脚：
 - 高压I/O（HVIO）引脚，支持1.8V、2.5V、3.3 V
 - 可配置高速I/O（HSIO）引脚支持
 - 单端I/O和差分I/O
 - LVDS、subLVDS、Mini-LVDS和RSDS（RX、TX、双向），最高速率1.5 Gbps
 - 高速和低功耗模式下的MIPI接口（DSI和CSI），最高速率1.5 Gbps
 - PLL
 - 振荡器
 - 扩频时钟（SSC）PLL
- 灵活的配置接口
 - 标准SPI接口（主、从、菊花链）
 - JTAG接口
 - 支持内部重配置（多镜像）
- 单事件干扰（SEU）检测功能
- Primus®软件（RTL到比特流编译器）全程支持



重要：所有规格均为初步、待定的硬件特性。

⁽¹⁾ PHY和内存控制器均为封装内LPDDR4X内存专用。

表一：TJ180 FPGA资源

逻辑单元	可交换逻辑和路由（XLR）单元		全局时钟和控制信号	嵌入式内存（Mbits）	嵌入式内存模块（10 Kbits）	嵌入式DSP模块
	总计	SRL8 ⁽²⁾				
176,256	172,800	32,000	最多32	13.11	1280	640

表二：TJ180封装-相关资源

资源		A484S
单端GPIO（最多）	HVIO LVCMOS：1.8 V、2.5 V、3.0 V、3.3 V LVTTL：3.0 V、3.3 V	54
	HSIO（1.2 V、1.5 V及1.8 V LVCMOS、HSTL、SSTL）	190
差分GPIO（最多）	HSIO（LVDS、差分HSTL、SSTL）	94
	HSIO（MIPI D-PHY数据线）	79
	HSIO（MIPI D-PHY时钟线）	15
LPDDR4 PHY硬核模块	x16 DQ宽度	√
	X32 DQ宽度	√
MIPI D-PHY硬核模块	RX	2
	TX或SSC PLL	2
GPIO引脚的全局时钟或控制信号		32
PLL		8



注意：DDR PHY和控制器支持x16或x32数据队列宽度，但因TJ180器件合封内存颗粒为LPDDR4X器件，故您只需关注LPDDR4X相关规格即可。

可选封装

表三：可选封装

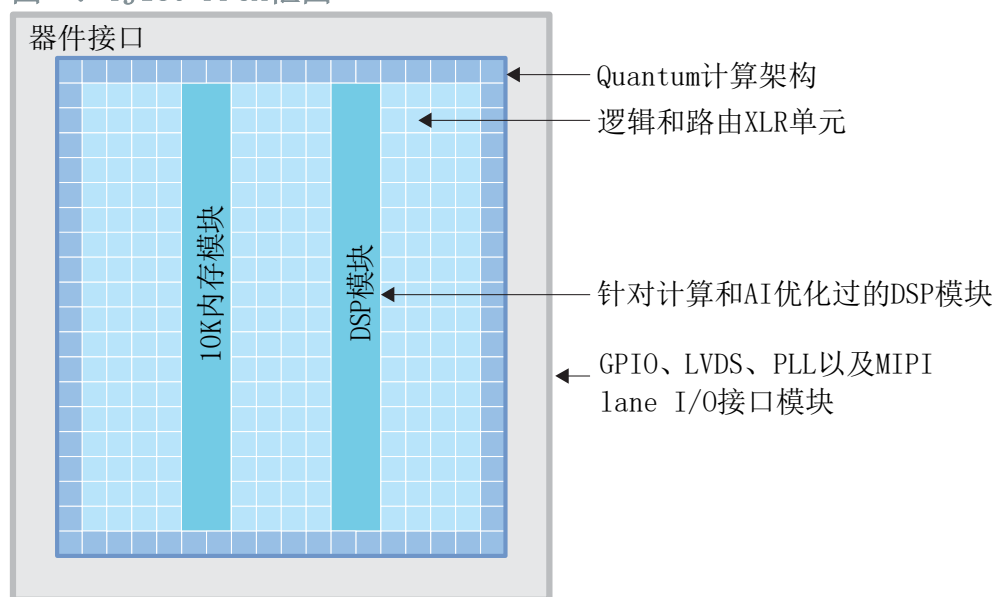
封装	尺寸（mm x mm）	间距（mm）
FBGA-484	15 x 15	0.65

⁽²⁾ 可配置为最多8个抽头的移位寄存器的XLR数量。

器件内核功能描述

为适应不同应用，易灵思®对TJ180 FPGA的可交换逻辑和路由单元（XLR）进行了优化。钛金系列FPGA中的逻辑单元就是由XLR单元构建而成。钛金系列中的每款FPGA都支持自定义构建模块的数量，以满足特定的应用需求。如下图所示，FPGA包括四周的I/O端口，以及列逻辑单元、内存和DSP模块。FPGA还包含一个控制模块，负责处理配置。

图一：TJ180 FPGA框图



XLR单元

可交换逻辑和路由（XLR）单元是Quantum®架构的基本构建模块。易灵思XLR单元结合了逻辑和路由，且同时支持两种功能。这一独特的创新大大提高了晶体管的灵活性和利用率，从而显著减少了晶体管数量和硅面积。

XLR单元

可交换逻辑和路由（XLR）单元是Quantum[®]架构的基本构建模块。易灵思[®]XLR单元结合了逻辑和路由，且同时支持两种功能。这一独特的创新大大提高了晶体管的灵活性和利用率，从而显著减少了晶体管数量和硅面积。



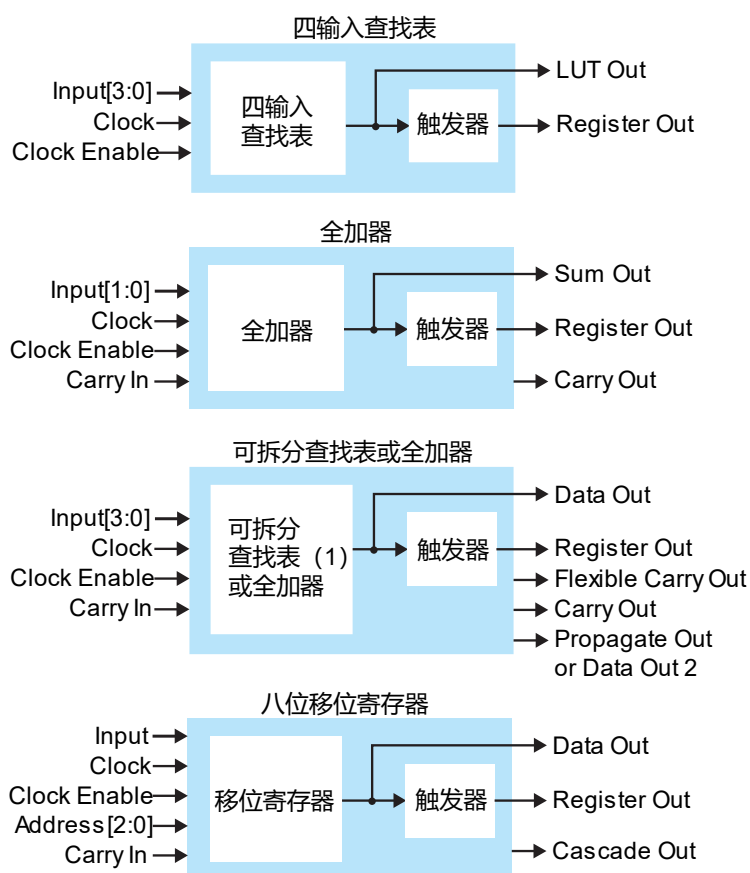
了解更多：欲了解更多关于XLR单元为钛金系列FPGA带来优势的详细信息，请参阅《[Why the XLR Cell is a Big Deal White Paper](#)》。

XLR单元的功能如下：

- 一个四输入查找表，支持四个输入的任何组合逻辑函数
- 一个简单的全加器
- 一个可以级联的8位移位寄存器
- 一个可分割的查找表或全加器

逻辑单元包括一个可选的触发器。您可以配置多个逻辑单元来实现算术函数，如加法器、减法器 and 计数器。

图二：逻辑单元功能



1. 可拆分查找表是一个三输入查找表和一个二输入查找表的组合。三输入查找表和二输入查找表共享两个相同的输入。



了解更多：有关钛金系列逻辑单元原语的详细信息，请参阅《[Quantum[®] 钛金系列 Primitives User Guide](#)》。

嵌入式内存

FPGA内核配备多个10 kbit高速、同步、嵌入式SRAM内存模块。这些内存模块可作为单端口RAM、伪双端口RAM、双端口RAM或ROM运行，您可以在配置时将其初始化。Primus®软件提供内存级联功能，可自动拼接多个内存模块，形成更大的阵列。您可使用此功能实例化深度更大、位宽更广的内存模块。



注意：如果模块RAM未经初始化，其内容是随机、未定义的。

读写端口支持分开配置数据位宽、地址和输出寄存器复位。伪双端口模式还支持写字节使能。



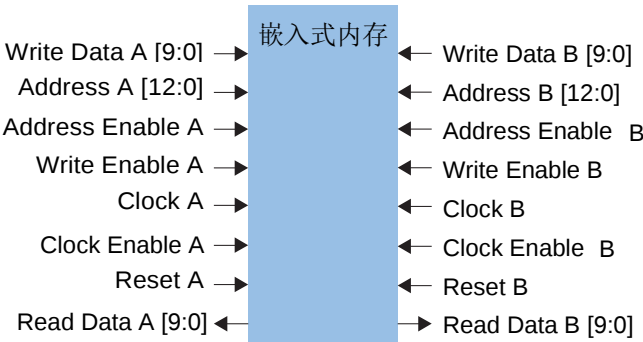
了解更多：有关RAM配置的详细信息，请参阅《Quantum® 钛金系列 Primitives User Guide》。

双端口模式

内存读写端口支持以下内存寻址模式（深度x位宽）：

1024 x 8	2048 x 4	4096 x 2
8192 x 1	1024 x 10	2048 x 5

图三：RAM框图（双端口模式）

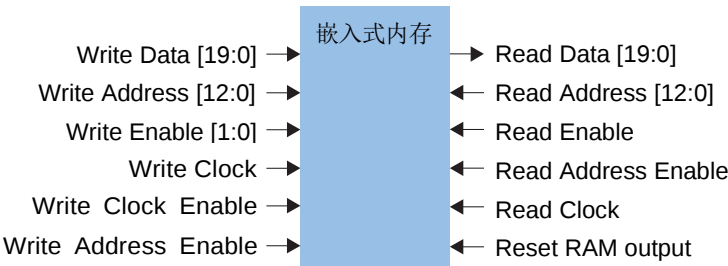


伪双端口模式

内存读写端口支持以下内存寻址模式（深度x位宽）：

512 x 16	1024 x 8	2048 x 4	4096 x 2
8192 x 1	512 x 20	1024 x 10	2048 x 5

图四：伪双端口模式RAM框图（配置512 x 20）



DSP模块

钛金系列FPGA具有高性能、复杂的DSP模块，可以执行乘法、加法、减法、累加和四位可变右移。四位可变右移支持正常模式下单线、双模式下双线和四模式下四线。每个DSP模块都有四种模式，支持以下乘法运算：

- 正常——一个19 x 18整数乘法器，48位加/减法。
- 双——一个11 x 10整数乘法器和一个8 x 8整数乘法器，两个24位加/减法。
- 四——一个7 x 6整数乘法器和三个4 x 4整数乘法器，四个12位加/减法。

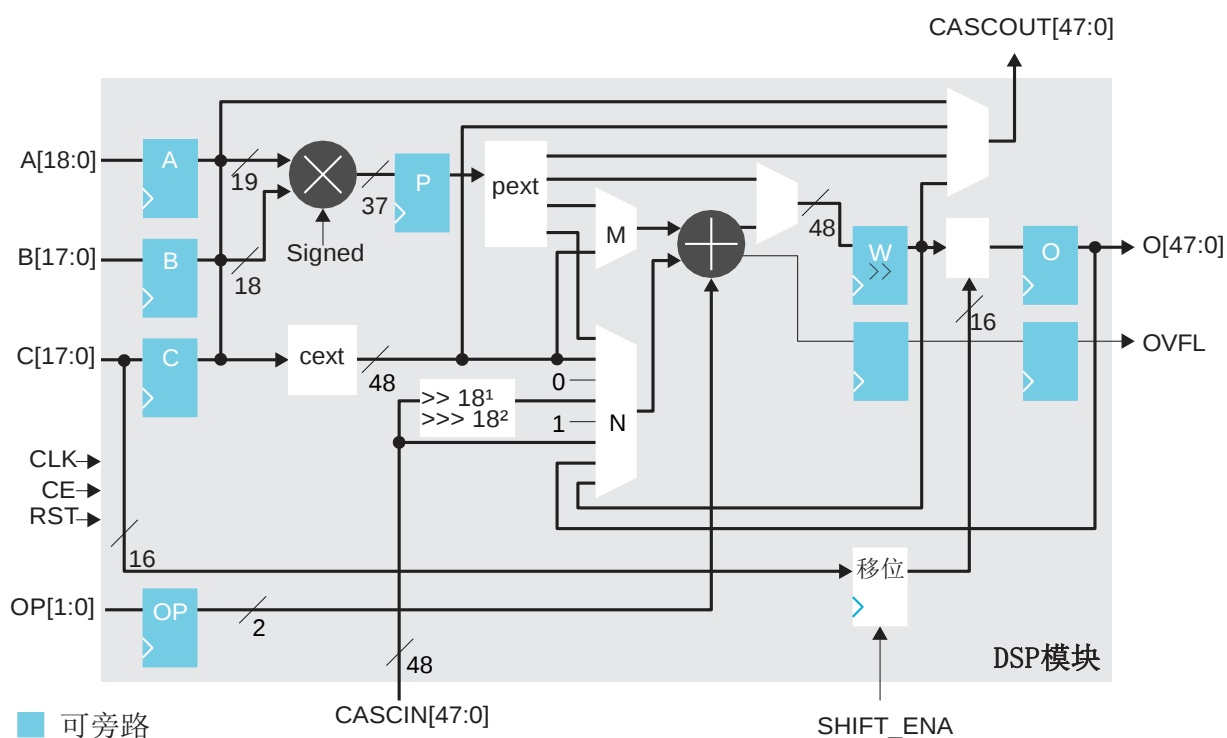


重要： 7 x 6四模式输出被截断为12位。

- 浮点——一个乘法加/减/累加（FMA）融合的BFLOAT16乘法。

整数乘法器可以表示基于signed参数的带符号位或不带符号位值。当多个EFX_DSP12或EFX_DSP24原语映射到同一DSP模块时，它们必须具有相同的符号位值。乘法器的输入是A和B数据输入，或者，在加法或减法运算中，您也可以使用乘法器的结果。

图五：DSP框图



1. 逻辑右移-18
2. 算术右移-18



了解更多： 有关钛金系列DSP模块原语的详细信息，请参阅《[Quantum® 钛金系列 Primitives User Guide](#)》。

时钟和控制网络

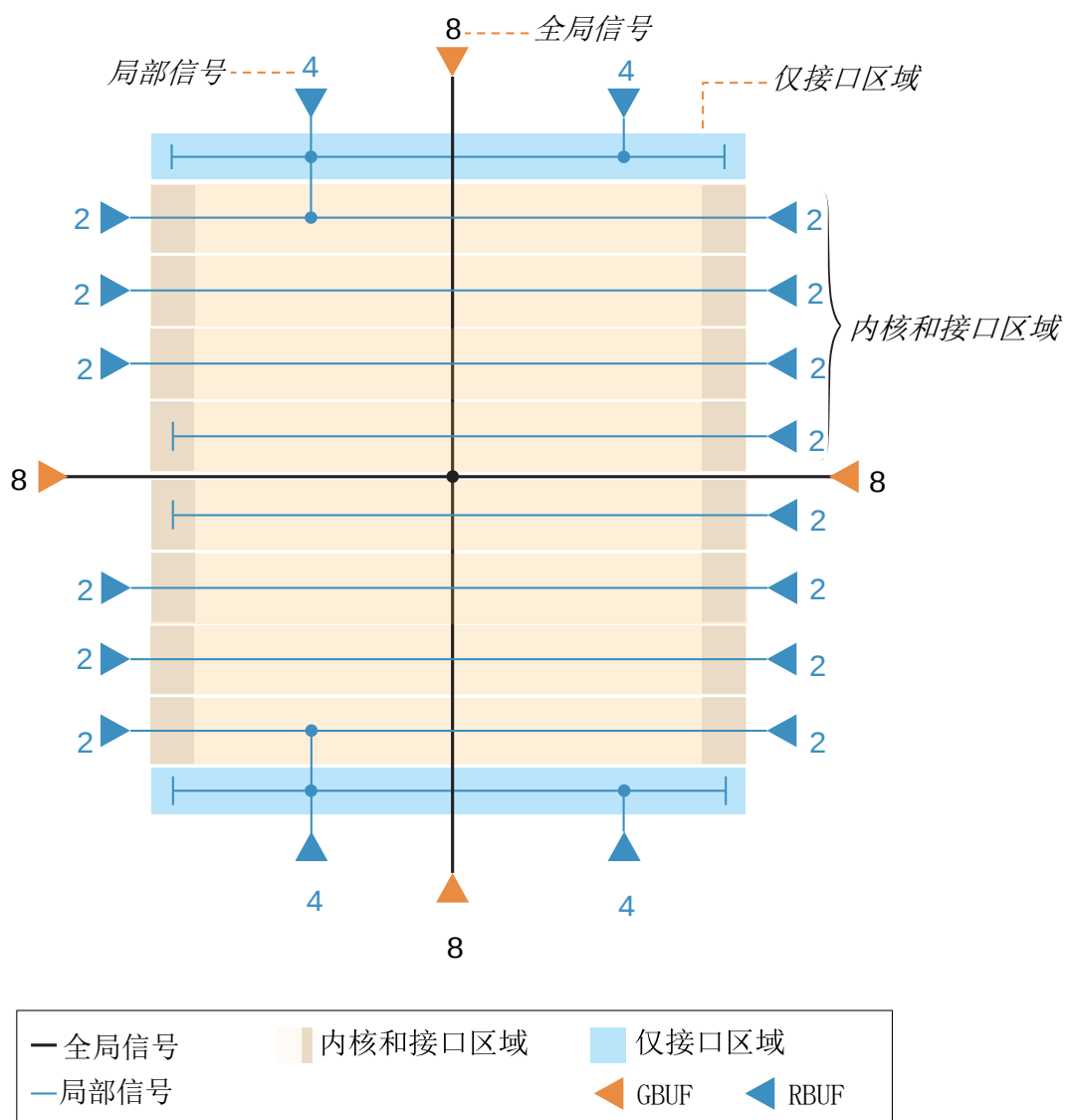
时钟和控制网络分布于FPGA, 为内核逻辑单元、内存、DSP模块、I/O模块和控制信号提供时钟。FPGA有32个全局信号, 可以用作时钟或控制信号。全局信号馈送至整个FPGA。

FPGA还具有只能到达某些FPGA区域，包括顶部或底部边缘的局部时钟网络。FPGA有八个局部网络，用于内核、右接口和左接口模块，顶部和底部接口模块各有一个局部时钟网络。您可以独立驱动每个区域的右侧和左侧。每个区域还拥有只能在本区域中使用的时钟信号本地网络。

全局时钟模块（GBUF）可驱动全局和局部时钟网络，来自内核和接口的信号可以驱动全局时钟网络模块。

每个网络都有专用的使能逻辑，可通过不使能时钟树来节省功耗。这些使能逻辑动态使能/不使能网络，并保证输出不会出现故障。

图六：全局和局部时钟网络概述



驱动全局和局部网络的时钟源

钛金系列的全局和局部网络具有高度的灵活性和可配置性。时钟源可以来自接口模块，如GPIO或PLL，也可以来自内核架构。

表四：驱动全局和局部网络的时钟源

时钟源	说明
GPIO	支持全局时钟和局部时钟。（只有P资源支持此连接类型）。
LVDS RX	支持全局时钟和局部时钟。
MIPI D-PHY RX、TX和SSC PLL	可以将字时钟驱动到全局和局部时钟网络上。
MIPI RX（配置为时钟lane）	支持全局时钟（默认）和局部时钟。您只能使用标识为时钟的资源。
PLL	所有输出时钟都连接到全局网络。 有关驱动局部网络的PLL时钟，请参阅“ 驱动局部网络 ”章节。
振荡器	连接到全局BUF。
内核	内核逻辑的信号可以驱动全局或局部网络。

驱动全局网络

您可以使用全局时钟GPIO引脚、PLL输出、振荡器输出、MIPI时钟和内核生成时钟访问全局时钟网络。

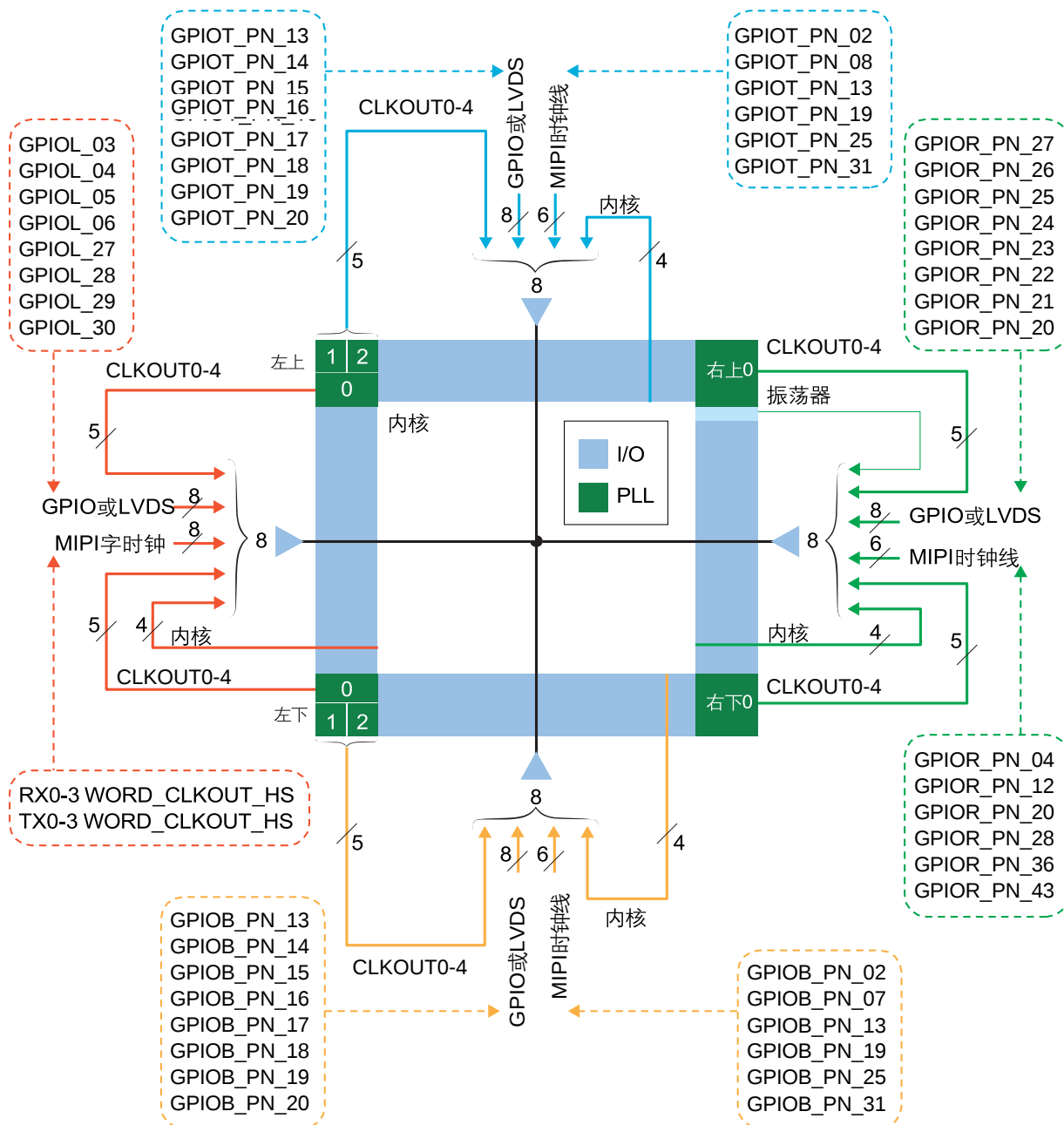
时钟多路复用网络控制哪些接口模块可以驱动全局和局部网络。八个时钟多路复用器是动态的（FPGA每侧两个），允许您在用户模式下更改驱动全局信号的时钟。



了解更多：有关如何配置全局和局部时钟网络的详细信息，请参阅《[Quantum® 钛金系列 Primitives User Guide](#)》。

全局网络时钟源见下图。

图七：驱动全局网络的时钟源



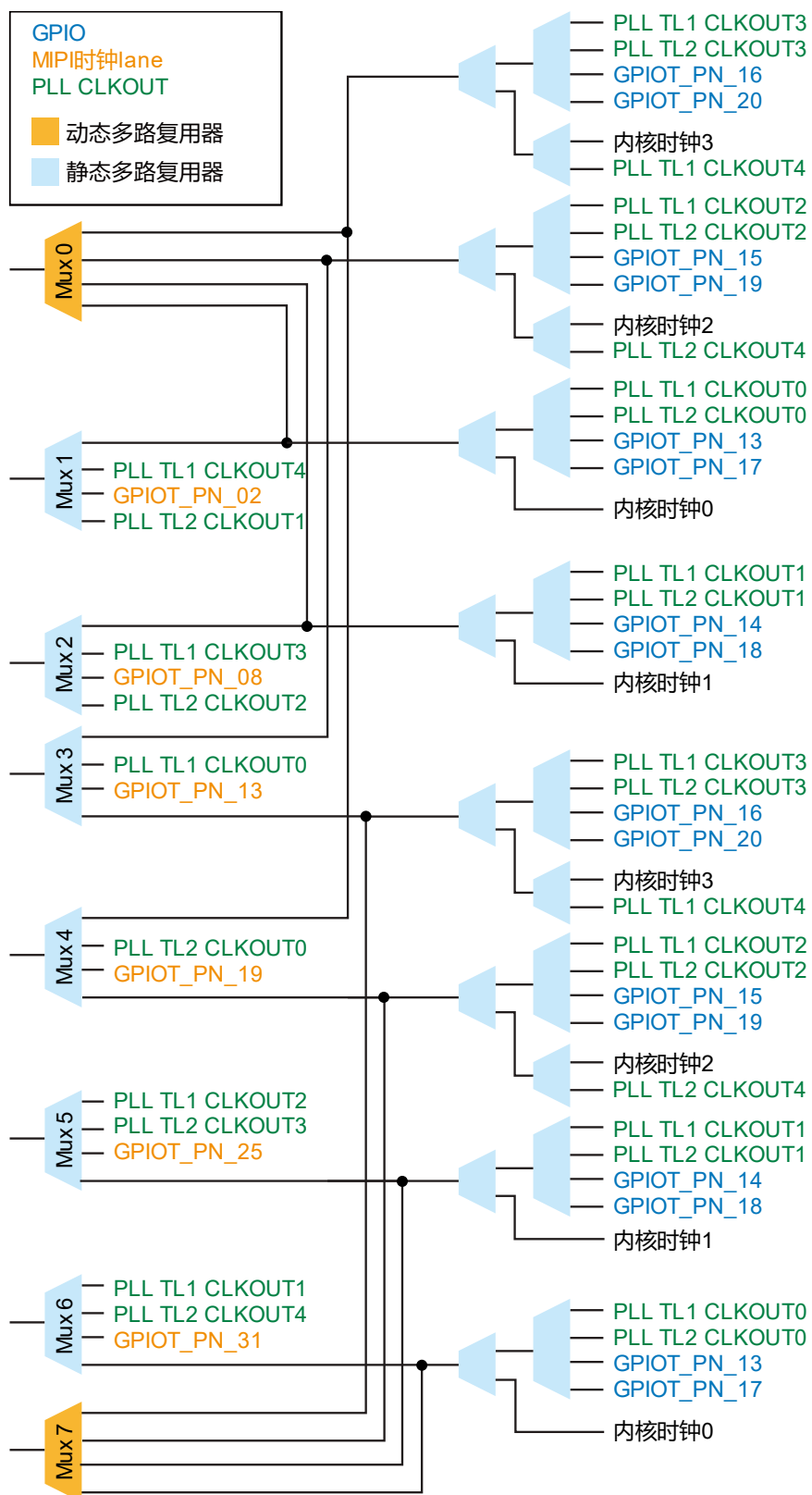
如图所示，许多时钟源馈送至全局网络。这些信号与静态和动态时钟多路复用器一起多路复用。

动态多路复用器可由用户在运行时进行配置。您可以选择哪个时钟源驱动哪个动态多路复用器。启用动态多路复用器时，需要指定选择总线来选择翻转中的时钟源。

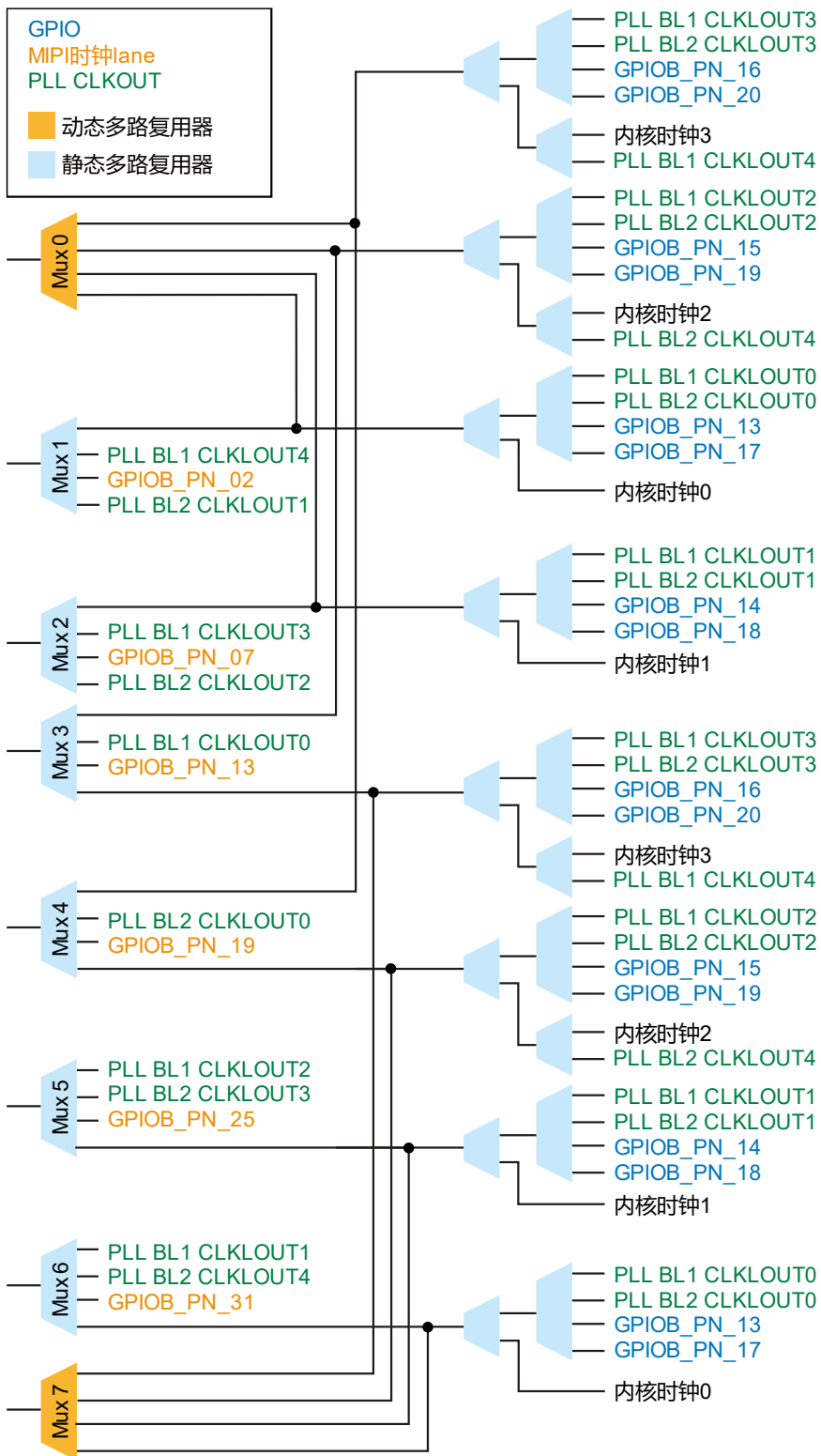
当在动态多路复用器的时钟输入之间动态切换时，当前翻转的输入和要切换的输入在切换周期内必须有翻转时钟。此外，FPGA配置完成后，当器件转换到用户模式后，动态多路复用器的输入0会变为默认翻转输入。因此，在切换到其他输入之前，必须向输入0提供一个切换时钟。

下图展示了驱动每个多路复用器的资源。

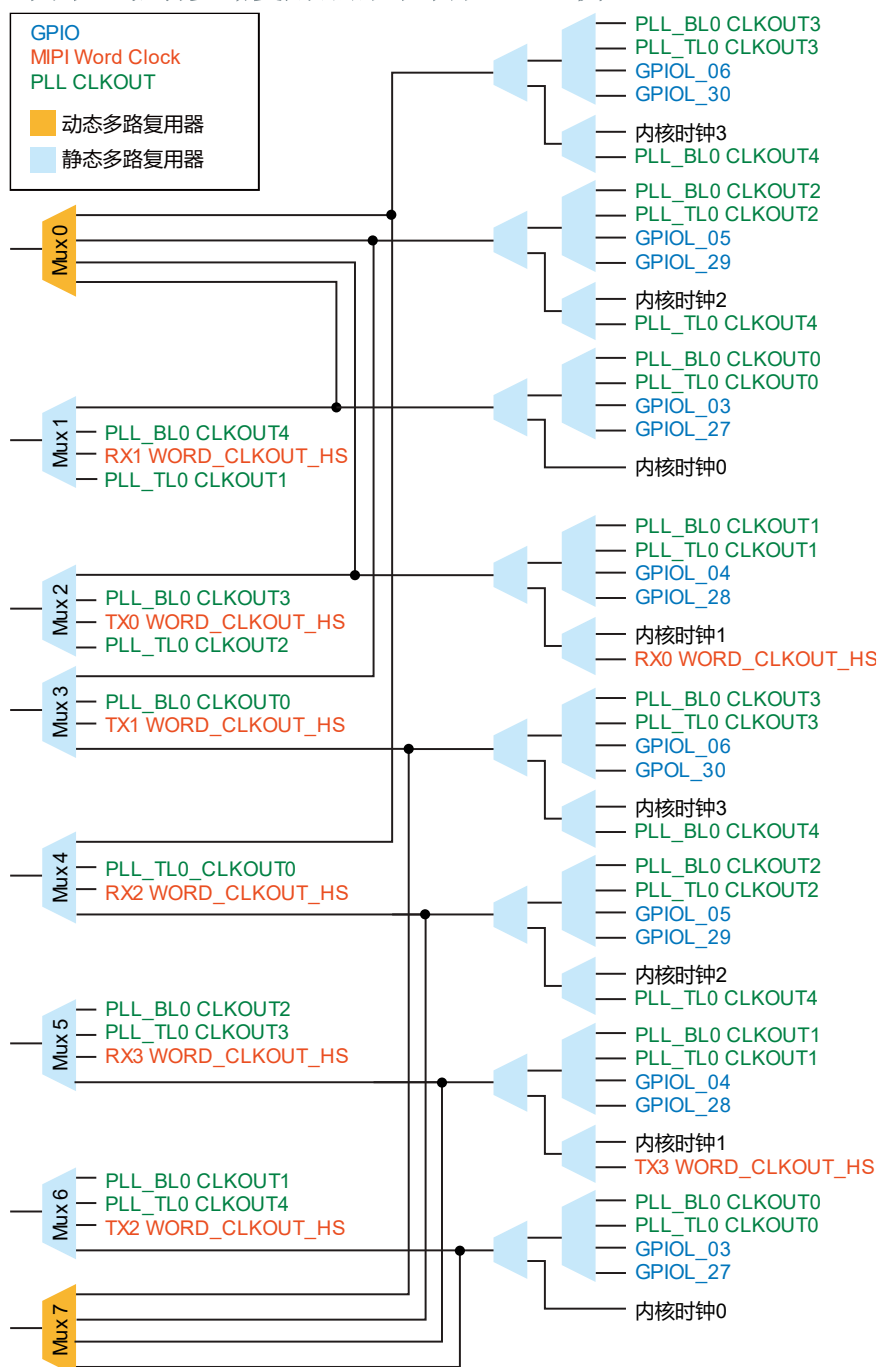
图八：驱动多路复用器的时钟源——顶部



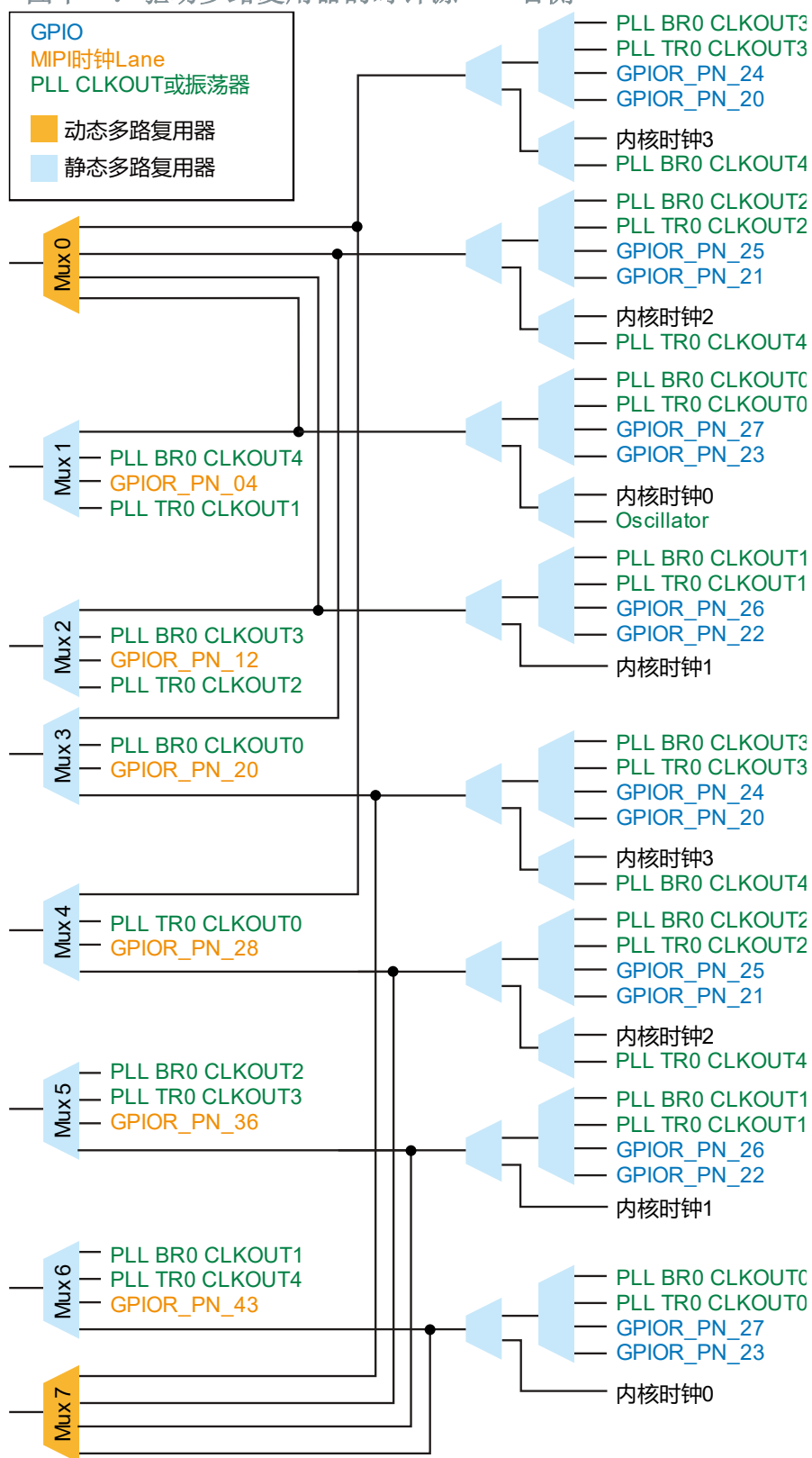
图九：驱动多路复用器的时钟源——底部



图十：驱动多路复用器的时钟源——左侧



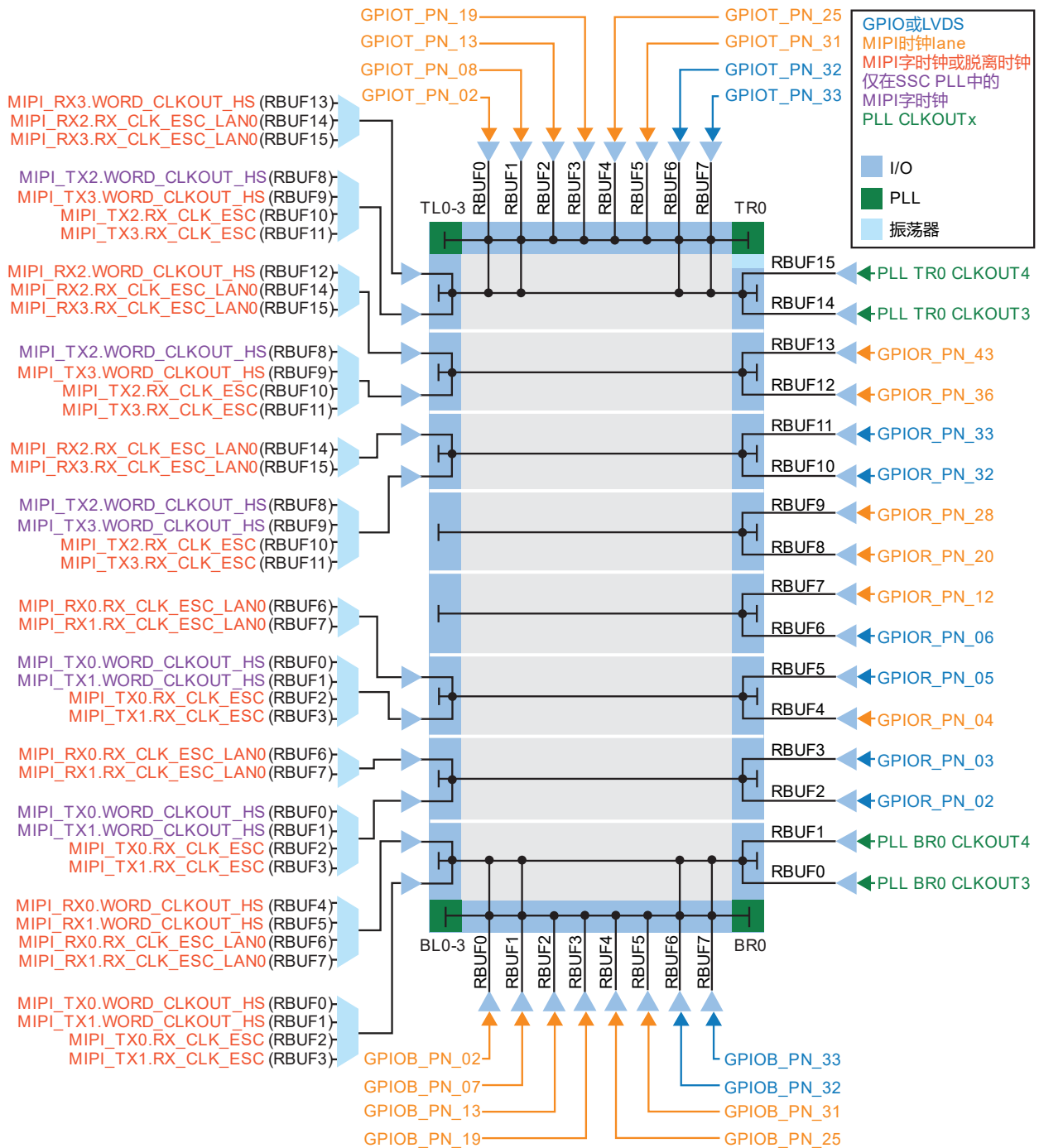
图十一：驱动多路复用器的时钟源——右侧



驱动局部网络

局部网络时钟源见下图。

图十二：驱动局部网络的时钟源



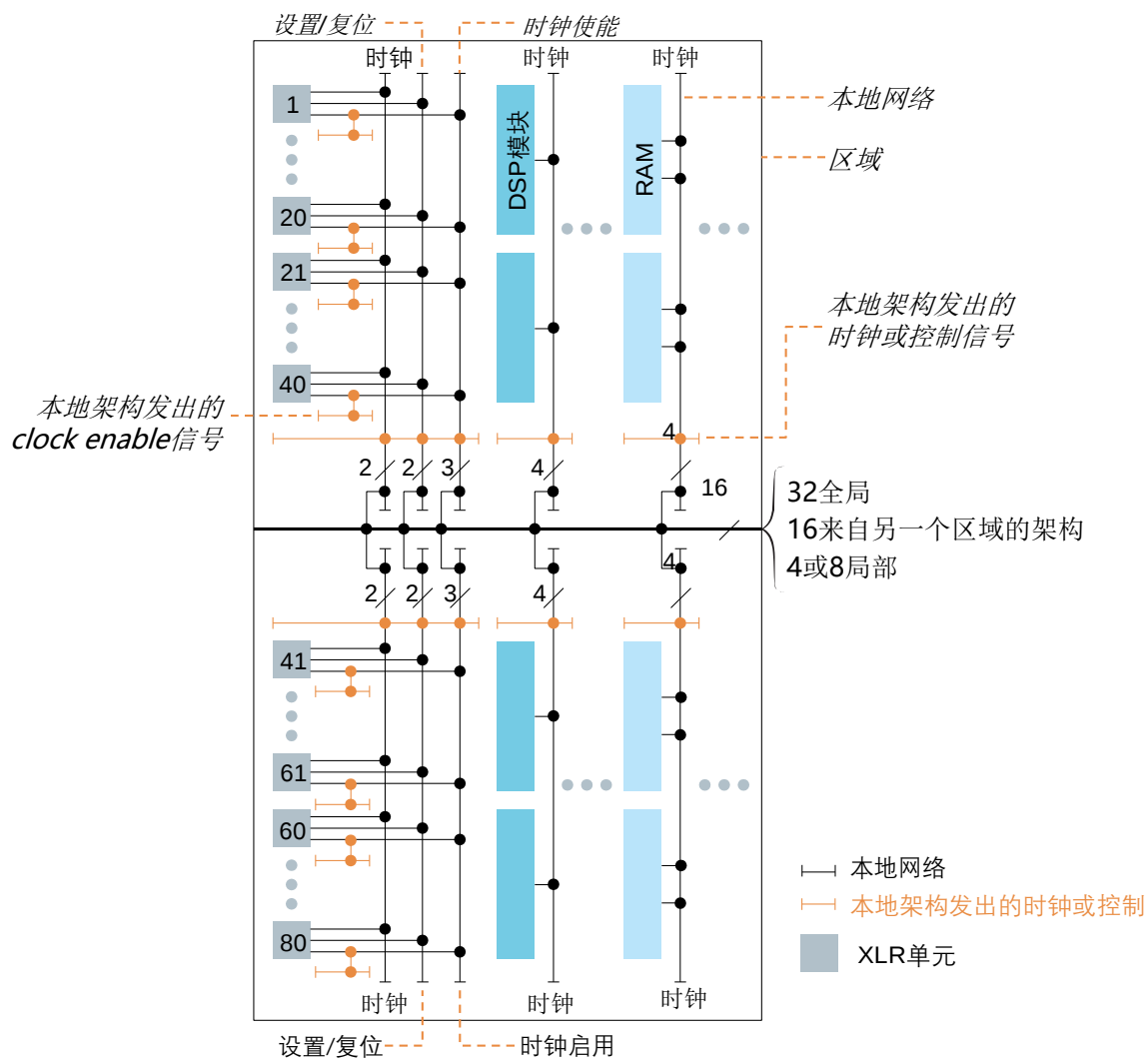
驱动本地网络

如前所述，FPGA拥有水平时钟区域。顶部和底部区域**仅供**顶部和底部接口使用，其他区域供内核逻辑（XLR、DSP模块和RAM）和侧面的接口使用。

内核逻辑的本地网络

如下图所示，包含内核逻辑的区域相当于80个可交换逻辑和路由单元的高度，本地网络连接的区域相当于40个可交换逻辑和路由单元的高度。同时，每列都有各自的本地网络。例如，在第一列中，1-40号可交换逻辑和路由单元处于同一本地网络，41-80号可交换逻辑和路由单元在另一个本地网络中。DSP模块和RAM也有各自的本地网络。裸片中的每一列都重复这种模块/本地网络的模式。

图十三：逻辑、DSP模块和RAM的时钟源



有16个信号可以馈送至本地网络。这些信号分别来自几个时钟源：

- 全局网络（32个可能信号）
- 另一个区域的内核架构（16个可能信号）
- 局部网络（四个或八个可能信号）。对于顶部和底部区域，八个信号可来自局部网络。对于其他区域，四个信号可来自局部网络。（请参阅“[时钟和控制网络](#)”。）

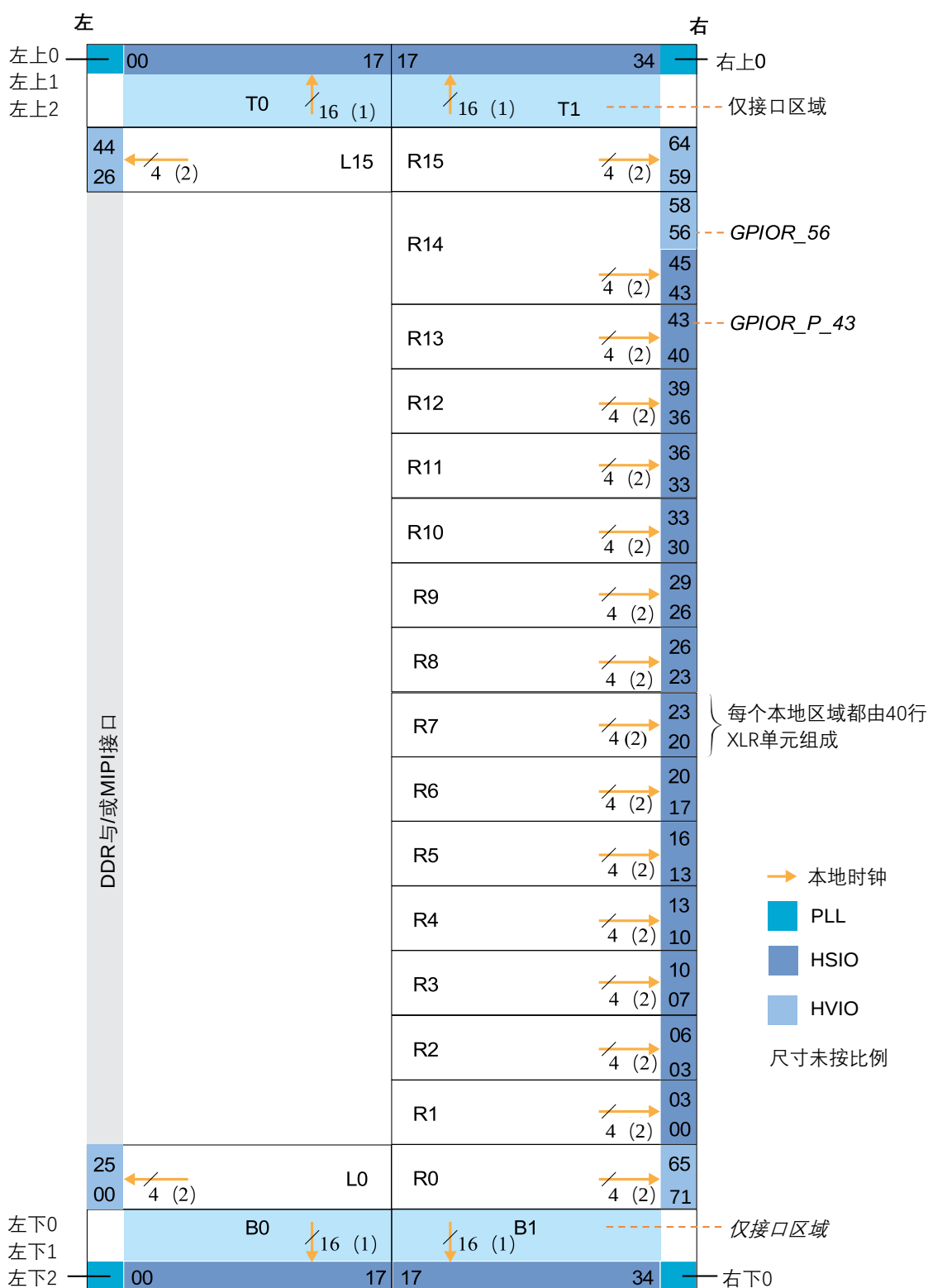
此外，本地架构还可以生成用于本地网络的时钟和控制信号。该架构还可以直接驱动可交换逻辑和路由单元的时钟使能信号，允许每个可交换逻辑和路由单元拥有唯一的时钟使能信号。

接口区域的本地网络

下图展示了接口模块的本地时钟网络，每个本地时钟区域都有一定数量的唯一时钟。

- 顶部和底部区域均最多可以支持16个唯一时钟信号——14个来自全局网络，2个来自架构。
- 左侧区域和右侧区域均最多可以支持四个唯一时钟信号，其中最多可有两个来自路由架构，其余可来自全局或局部BUF。这些区域与内核本地区域拥有相同的高度（即40行）。

图十四：驱动接口的时钟源



注:

- 1、 14个信号来自全局网络，2个信号来自路由架构。
- 2、 路由架构最多可以发送两个信号，其余信号来自局部/全局BUF。

器件接口功能说明

器件接口隔离并保护内核，通过信号接口在内核和I/O引脚之间路由信号。灵活的Quantum®架构使得钛金系列的器件具备支持多种接口的能力，满足不同应用的需求。



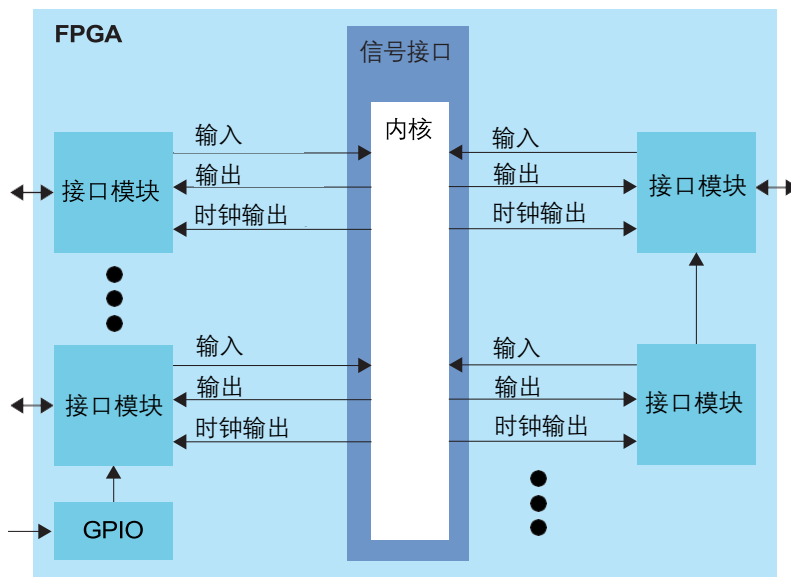
了解更多：以下部分介绍了TJ180 FPGA支持的器件接口功能。有关Interface Designer设置的详细信息，请参阅《[钛金系列 Interfaces User Guide](#)》。

接口模块连接

FPGA内核架构通过一个信号接口连接到接口模块。然后，接口模块连接到封装引脚。内核架构使用三种类型的信号连接到接口模块：

- 输入——输入FPGA内核的输入数据或时钟
- 输出——FPGA内核的输出
- 时钟输出——内核时钟树的时钟信号

图十五：接口模块和内核连接



GPIO模块因可以在多种模式下运行，所以属于特殊情况。例如，在复用模式中，GPIO信号可以绕过信号接口并直接馈送另一个接口模块。因此，配置为复用输入的GPIO可以用作PLL参考时钟，无需通过信号接口到达内核。

在使用钛金系列FPGA时，您为内核创建RTL设计，并配置接口模块。从内核角度来看，内核的输出是接口模块的输入，内核的输入是接口模块的输出。

通常情况下，Primus网表只显示内核角度的信号，因此有些信号不会出现在网表中：

- 用作参考时钟的GPIO不存在于RTL设计中，仅在Interface Designer的接口模块配置中可见。
- FPGA时钟树直连到接口模块。因此，从内核到接口的时钟输出不存在于RTL设计中，只是接口配置（包括配置为输出时钟的GPIO）的一部分。

以下各节介绍TJ180中不同类型的接口模块。信号和框图以接口视角（非内核视角）展示。

GPIO

TJ180 FPGA支持两种类型的GPIO：

- 高压I/O（HVIO）——可以支持单端I/O标准的简单I/O模块。
- 高速I/O（HSIO）——可以支持单端和差分I/O功能的复杂I/O模块。

I/O逻辑包括三种寄存器类型：

- 输入——I/O输出的接口信号在传输到内核逻辑之前，抓取接口信号
- 输出——内核逻辑输出的信号在传输到I/O缓存之前，寄存信号
- 输出使能——当I/O用作输出时使能、不使能I/O BUF

HVIO支持以下I/O标准。

表五：HVIO支持标准

标准	VCCI033 (V)	配置类型
LVTTL 3.3 V	3.3	GPIO
LVTTL 3.0 V	3.0	GPIO
LVC MOS 3.3 V	3.3	GPIO
LVC MOS 3.0 V	3.0	GPIO
LVC MOS 2.5 V	2.5	GPIO
LVC MOS 1.8 V	1.8	GPIO



重要：建议您将每个bank中3.0/3.3 V HVIO配置为I/O或输出的数量限制为六个，以避免切换噪声。如果您超过建议限制值，Primus[®]软件会发送一条警告。

HSIO支持以下I/O标准。

表六：HSIO支持I/O标准

标准	VCCIO (V)		VCCAUX (V)	VREF (V)	配置类型
	TX	RX			
LVC MOS 1.8 V	1.80	1.80	1.80	–	GPIO
LVC MOS 1.5 V	1.50	1.50	1.80	–	GPIO
LVC MOS 1.2 V	1.20	1.20	1.80	–	GPIO
HSTL/差分HSTL 1.8 V SSTL/差分SSTL 1.8 V	1.80	1.80	1.80	0.90	GPIO
HSTL/差分HSTL 1.5 V SSTL/差分SSTL 1.5 V	1.50	1.50, 1.80 ⁽³⁾	1.80	0.75	GPIO
HSTL/差分HSTL 1.2 V SSTL/差分SSTL 1.2 V	1.20	1.20, 1.50, 1.80 ⁽³⁾	1.80	0.60	GPIO
LVDS/RS DS/mini-LVDS	1.80	1.50, 1.80 ⁽³⁾	1.80	–	LVDS
Sub-LVDS	1.80	1.50, 1.80 ⁽³⁾	1.80	–	LVDS
MIPI–	1.20	1.20	1.80	–	MIPI lane
SLVS	1.20	1.20	1.80	–	LVDS

⁽³⁾ 为防止引脚泄漏，必须确保引脚处的电压不超过VCCIO。

差分接收由VCCAUX供电，您可灵活选择要使用的VCCIO。但是，您必须遵守上表中规定的要求。

HVIO和配置为GPIO的HSIO功能

下表列举了HVIO和配置为GPIO的HSIO所支持的功能。

表七：HVIO和配置为GPIO的HSIO功能

功能	HVIO	配置为GPIO的HSIO
双数据I/O（DDIO）	✓	✓
动态上拉	-	✓
上拉/下拉	✓	✓
压摆率控制	-	✓
可变驱动强度	✓	✓
施密特触发器	✓	✓
1:4串化器/解串器（仅全速率模式）	-	✓
可编程总线保持	-	✓
静态可编程延迟链	✓	✓
动态可编程延迟链	-	✓

表八：GPIO模式

GPIO模式	说明
输入	仅使能输入路径；可选寄存。如果已寄存，则输入路径使用输入时钟来控制寄存器（上升沿或下降沿触发）。 选择复用输入路径以驱动GPIO的复用功能。无法寄存复用路径。 在DDIO模式中，两个寄存器在输入时钟的上升沿和下降沿对数据进行采样，从而创建两个数据流。
输出	仅使能输出路径；可选寄存。如果已寄存，则输出路径使用输出时钟来控制寄存器（上升沿或下降沿触发）。 输出寄存器可以反转。 在DDIO模式中，两个寄存器在输出时钟的上升沿和下降沿抓取数据，将它们多路复用为一个数据流。
双向	使能输入、输出和OE路径；可选寄存。如果已寄存，则输入时钟控制输入寄存器，输出时钟控制输出和OE寄存器。所有寄存器都可以在上升沿或下降沿触发。此外，输入和输出路径可以独立寄存。 输出寄存器可以反转。
时钟输出	使能时钟输出路径。

在配置过程中，所有GPIO引脚都配置在弱上拉模式。

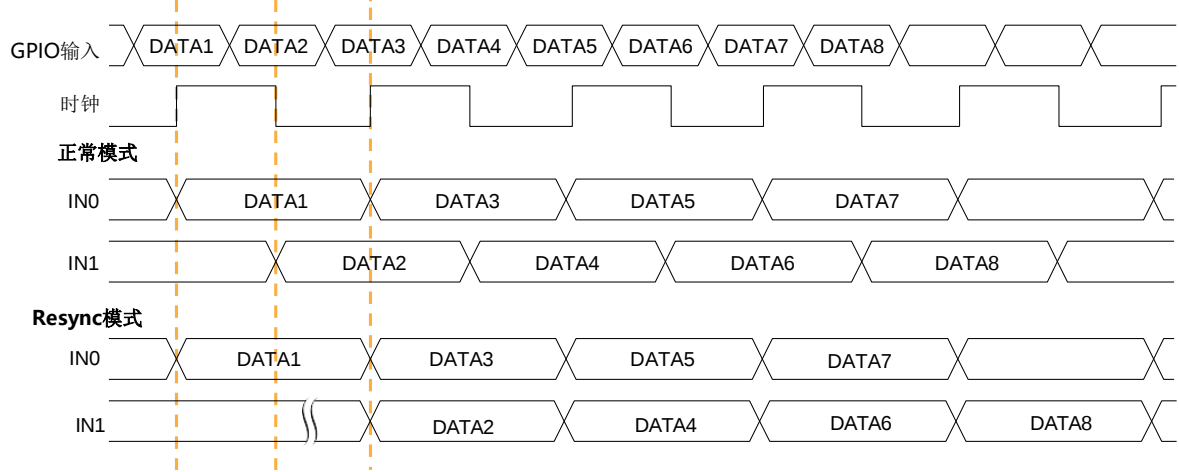
在用户模式下，未使用的GPIO引脚为三态，并配置在弱上拉模式下。您可以在Interface Designer中将默认模式更改为弱下拉。

双数据I/O

TJ180 FPGA支持输入和输出寄存器配置双数据I/O（DDIO）。在此模式中，DDIO寄存器在上升时钟沿和下降时钟沿抓取数据，内核从接口接收两位宽的数据。

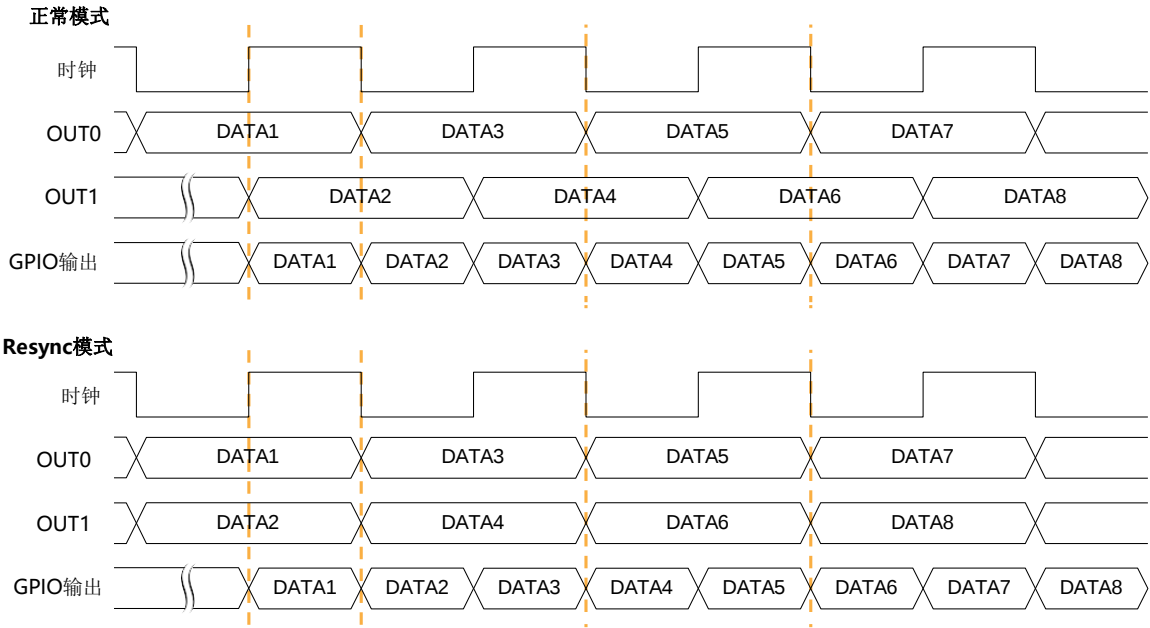
在正常模式下，接口在上升时钟沿和下降时钟沿直接从内核接收数据或向内核发送数据。在resync模式下，接口重新同步数据，仅在上升时钟沿传输两种信号。

图十六：DDIO输入时序波形



在resync模式中，在下降时钟沿抓取的IN1数据延迟半个时钟周期。
Interface Designer中，IN0是HI引脚名称，IN1是LO引脚名称。

图十七：DDIO输出时序波形



Interface Designer中，OUT0是HI引脚名称，OUT1是LO引脚名称。

可编程延迟链

配置为GPIO的HVIO和HSIO支持可编程延迟链。在某些情况下，您可以同时使用静态和动态延迟。

表九：可编程延迟支持

延迟类型	GPIO类型	延迟步长	说明
静态	HVIO	16	输入和输出路径上可用。
	单端HSIO	16	输入和输出路径上可用。
	差分RX HSIO	64	不能同时使用静态延迟和动态延迟。仅在HSIO对的P输入上可用。
	差分TX HSIO	64	
动态	单端HSIO	64	仅在输入路径上可用。
	差分RX HSIO	64	仅在HSIO对的P输入上可用。

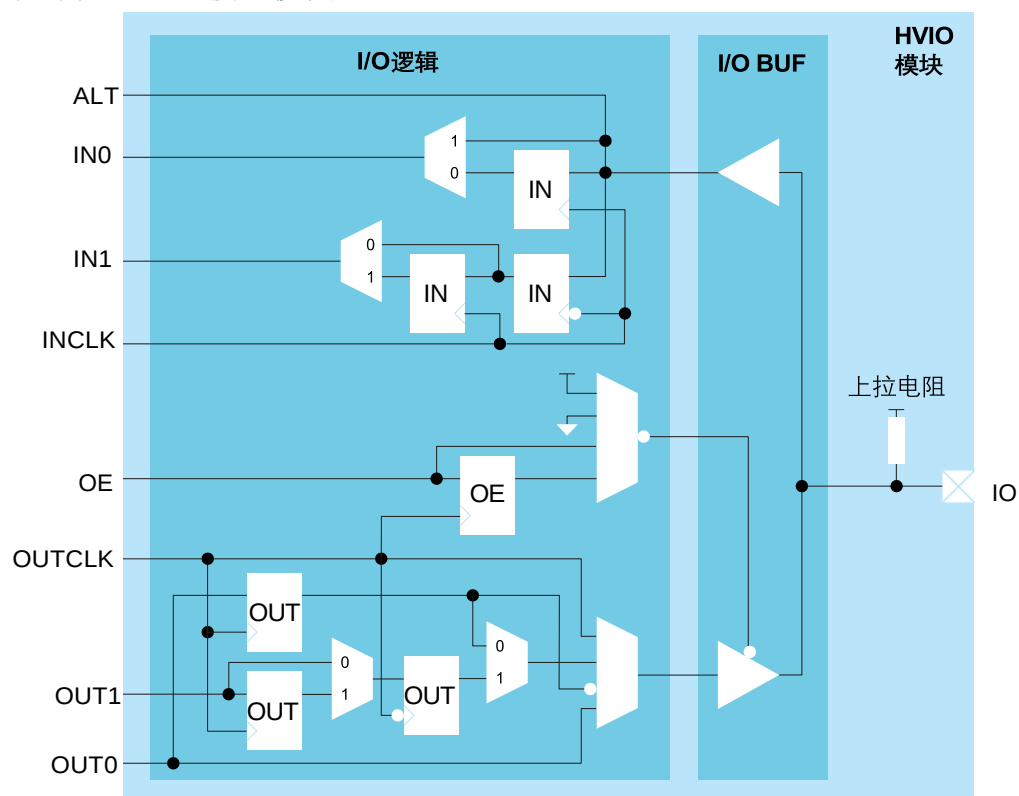


了解更多：延迟步长参见[表七十二：单端I/O可编程延迟链步长](#)和[表七十三：差分I/O可编程延迟链步长](#)。

HVIO

HVIO被分为bank，每个bank都有自己的VCCI033，用来设置I/O标准的bank电压。每个HVIO由I/O逻辑和I/O BUF组成。I/O逻辑将内核逻辑连接到I/O BUF，I/O BUF位于器件的外围。

图十八：HVIO接口模块



表十：HVIO信号（接口至FPGA架构）

信号	方向	说明
IN[1:0]	输出	HVIO引脚到内核架构的输入数据。 IN0是内核的正常输入。在DDIO模式中，IN0是在上升时钟沿抓取的数据（Interface Designer中的HI引脚名称），IN1是在下降时钟沿抓取的数据（Interface Designer中的LO引脚名称）。
ALT	输出	可选输入连接（在Interface Designer中，Register Option为none）。HVIO仅支持pll_clkin作为备用连接。
OUT[1:0]	输入	内核架构到HVIO引脚的输出数据。 OUT0是内核的正常输出。在DDIO模式中，OUT0是在上升时钟沿抓取的数据（Interface Designer中的HI引脚名称），OUT1是在下降时钟沿抓取的数据（Interface Designer中的LO引脚名称）。
OE	输入	内核架构到I/O模块的输出使能。可以寄存。
OUTCLK	输入	控制输出和OE寄存器的内核时钟。此时钟在用户网表中不可见。
INCLK	输入	控制输入寄存器的内核时钟。此时钟在用户网表中不可见。

表十一：HVIO引脚

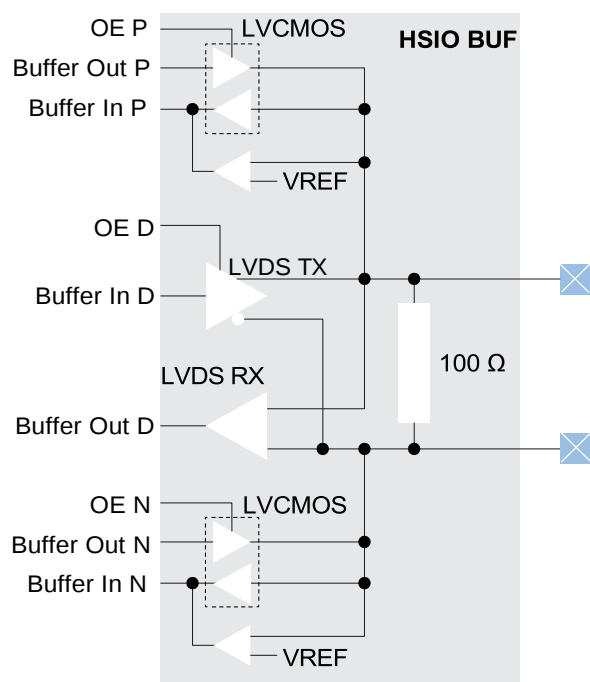
信号	方向	说明
I/O	双向	HVIO引脚

HSIO

每个HSIO模块使用一对I/O引脚作为以下用途之一：

- 单端HSIO——两个单端I/O引脚（LVCMOS、SSTL、HSTL）
- 差分HSIO——一个差分I/O引脚：
 - 差分SSTL和HSTL
 - LVDS——接收（RX）、发送（TX）或双向（RX/TX）
 - MIPI lane I/O——接收（RX）或发送（TX）

图十九：HSIO BUF框图

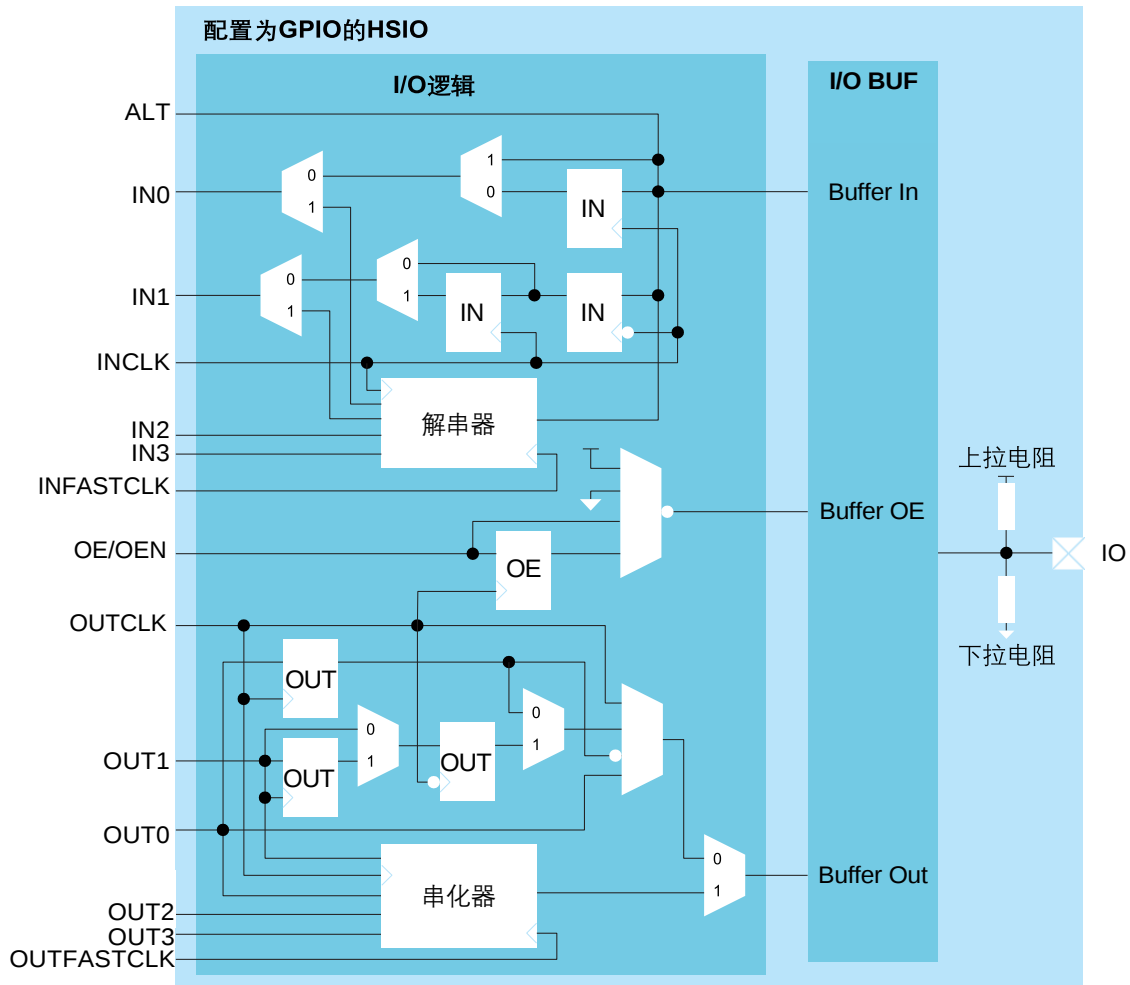


重要： 当您把HSIO引脚作为GPIO使用时，请确保在任何GPIO和LVDS或MIPI lane引脚之间至少保留一对未分配的HSIO引脚。此规则适用于器件所有侧（顶部、底部、左侧、右侧）的引脚，这种引脚分离可减缓噪音。如果您未保留未分配的HSIO引脚，Primus软件会发送一条错误提示。

HSIO配置为GPIO

您可以将每个HSIO模块配置为两个GPIO（单端）或一个GPIO（差分）。

图二十：I/O接口模块



表十二：配置为GPIO信号的HSIO模块（接口至FPGA架构）

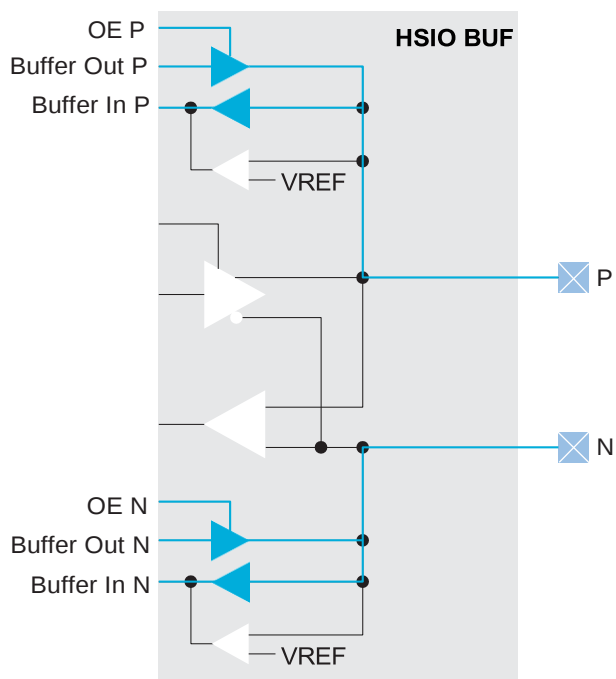
信号	方向	说明
IN[3:0]	输出	引脚到内核架构的输入数据。 IN0是内核的正常输入。在DDIO模式中，IN0是在上升时钟沿抓取的数据（Interface Designer中的HI引脚名称），IN1是在下降时钟沿抓取的数据（Interface Designer中的LO引脚名称）。 当使用解串器时，第一位在IN0上，最后一位在IN3上。
ALT	输出	GCLK、PLL_CLKIN、RCLK、PLL_EXTFB和VREF的备用输入连接。 （在Interface Designer中， Register Option 为none）。
OUT[3:0]	输入	内核架构到GPIO引脚的输出数据。 OUT0是内核的正常输出。在DDIO模式中，OUT0是在上升时钟沿抓取的数据（Interface Designer中的HI引脚名称），OUT1是在下降时钟沿抓取的数据（Interface Designer中的LO引脚名称）。 当使用串化器时，第一位在OUT0上，最后一位在OUT3上。
OE/OEN	输入	内核架构到I/O模块的输出使能。可以寄存。 OEN用于差分模式。用与OE相同的信号驱动它。
DLY_ENA	输入	（可选）使能动态延迟控制。
DLY_INC	输入	（可选）动态延迟控制。当DLY_ENA=1时， 1：自增 0：自减
DLY_RST	输入	（可选）复位延迟计数器。
OUTCLK	输入	控制输出和OE寄存器的内核时钟。此时钟在用户网表中不可见。
OUTFASTCLK	输入	控制输出串化器的内核时钟。
INCLK	输入	控制输入寄存器的内核时钟。此时钟在用户网表中不可见。
INFASTCLK	输入	控制输入串化器的内核时钟。

表十三：GPIO引脚

信号	方向	说明
IO（P和N）	双向	GPIO引脚

从引脚到I/O BUF的信号路径会根据您使用的I/O标准而变化。下图显示了支持标准的路径。蓝色高亮表示路径。

图二十一：LVCMOS的I/O BUF路径

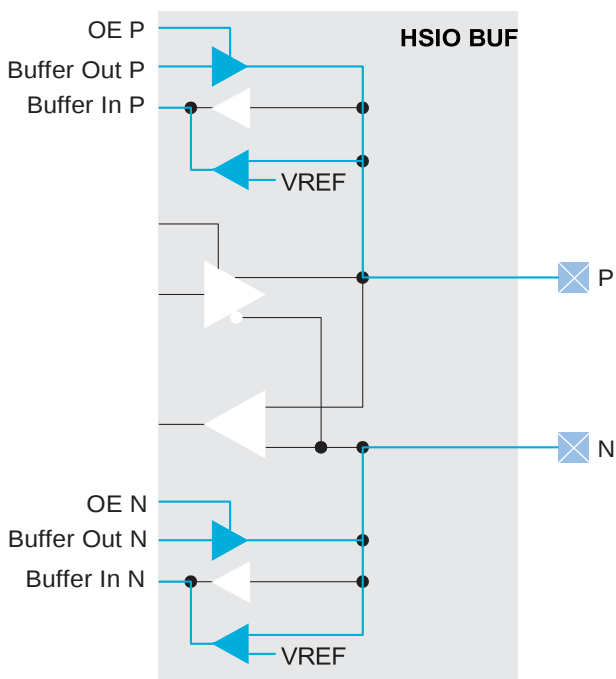


将HSIO与HSTL或SSTL I/O标准一起使用时，必须将标准输入路径的I/O引脚配置为VREF引脚。每个I/O bank有一个可编程VREF。



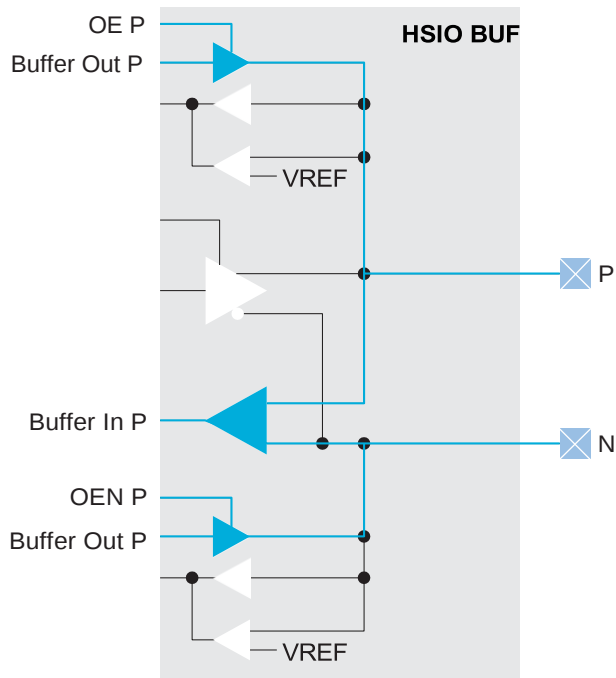
重要： 当将标准输入路径的I/O引脚配置为VREF引脚时，即使I/O bank合并共享一个VCCIO引脚，也必须使用来自同一物理I/O bank的VREF。

图二十二：HSTL和SSTL的I/O BUF路径



当使用具有差分HSTL或差分SSTL标准的HSIO时，必须使用HSIO中的两个GPIO资源，使用与P资源相关联的内核接口引脚。

图二十三：差分HSTL和SSTL的I/O BUF路径



HSIO配置为LVDS

您可以在RX、TX或双向LVDS模式下配置每个HSIO模块。作为LVDS，HSIO具有以下特点：

- 可编程 V_{DD} ，取决于所使用的I/O标准。
- 可编程预加重。
- 高达1.5 Gbps。
- 可编程100 Ω 终端电阻，以节省电源（您可以在运行时启用或禁用它）。
- LVDS输入使能以动态使能/不使能LVDS输入。
- 支持全速率或半速率串化。
- 多达10位串化，支持8b10b编码等协议。
- 可编程延迟链。
- 可选的8字FIFO，用于从并行（慢速）时钟互联到用户的内核时钟，以帮助时序收敛（仅限RX）。
- 动态相位对准（DPA），通过调整延迟链设置来自动消除时钟到数据通道和数据到数据通道的偏斜，从而在比特周期的中心对数据进行采样。DPA仅支持全速率串化模式。

表十四：全速率和半速率串行化

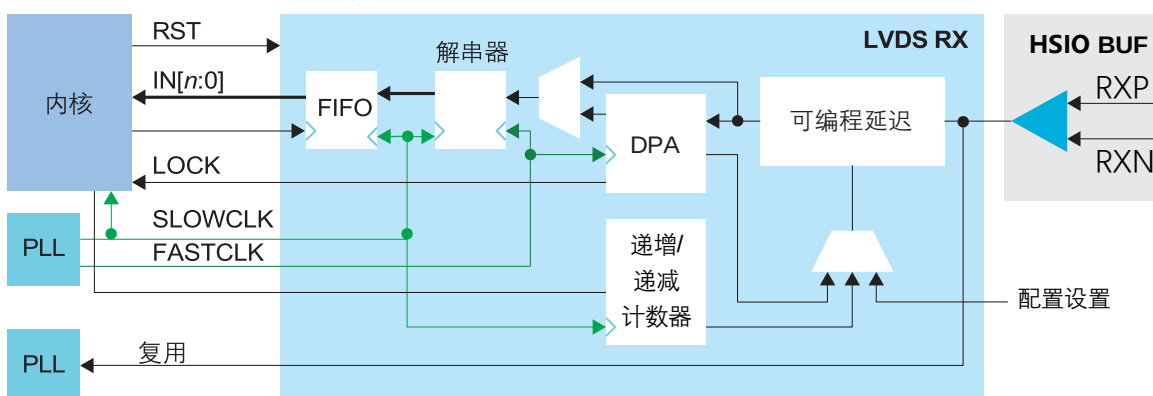
模式	说明	示例
全速率时钟	在全速率模式下，快速时钟以与数据相同的频率运行，并在上升时钟沿抓取数据。	数据速率：800 Mbps 串化/解串因子：8 慢速时钟频率：100 Mhz (800 Mbps/8) 快速时钟频率：800 Mhz
半速率时钟	在半速率模式下，快速时钟以数据一半的速率运行，并在两个时钟沿抓取数据。	数据速率：800 Mbps 串化/解串因子：8 慢速时钟频率：100 Mhz (800 Mbps / 8) 快速时钟频率：400 Mhz (800 / 2)

您可以使用PLL为LVDS引脚提供串行化（快速）和并行（慢速）时钟。慢速时钟以数据速率除以串化因子后得到的速率运行。

LVDS RX

您可以将HSIO模块配置为一个LVDS RX信号。

图二十四：LVDS RX接口框图

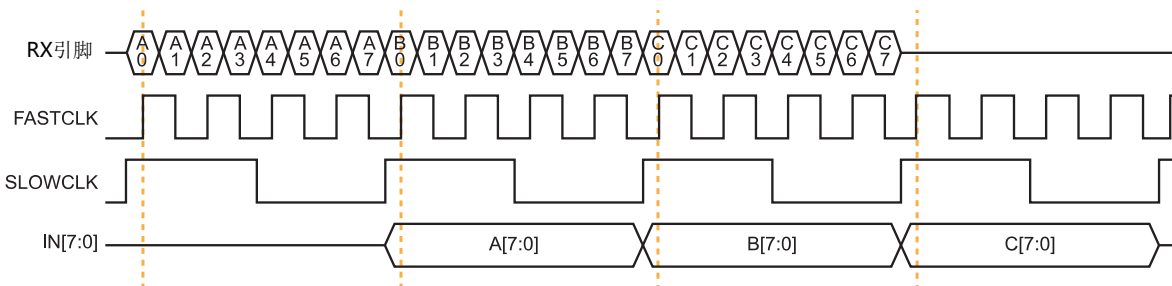


表十五：LVDS RX信号（接口至FPGA架构）

信号	方向	时钟域	说明
IN[9:0]	输出	SLOWCLK	到内核的并行输入数据，位宽可编程。
ALT	输出		备用输入，仅适用于旁路模式下的LVDS RX资源（解串因子为1；备用连接类型）。备用连接为PLL_CLKIN、PLL_EXTFB、GCLK和RCLK。
LOCK	输出		（可选）使能DPA时，此信号表示DPA已实现训练锁定，并且可以传输数据。
FIFO_EMPTY	输出	FIFOCLK	（可选）使能FIFO时，此信号表示FIFO为空。
SLOWCLK	输入	-	并行（慢速）时钟。
FASTCLK	输入	-	串化（快速）时钟。
FIFOCLK	输入	-	（可选）从FIFO读取的内核时钟。
FIFO_RD	输入	FIFOCLK	（可选）使能FIFO读取。
RST	输入	FIFOCLK SLOWCLK	（可选）异步。复位FIFO和串化器。如果FIFO使能，则此信号与FIFOCLK相关；否则与SLOWCLK相关。
ENA	输入	-	动态使能或不使能LVDS输入BUF。不使能时可以降低功耗。 1：使能 0：不使能
TERM	输入	-	使能或不使能动态终止模式下的终止。 1：使能 0：不使能
DLY_ENA	输入	SLOWCLK	（可选）根据LVDS RX延迟设置，使能动态延迟控制或DPA电路。
DLY_INC	输入	SLOWCLK	（可选）动态延迟控制。无法在使能了DPA的情况下使用。当DLY_ENA为1时： 1：自增 0：自减
DLY_RST	输入	SLOWCLK	（可选）根据LVDS RX延迟设置，复位使能的延迟计数器或DPA电路。

以下波形展示了快速时钟、慢速时钟、来自引脚的RX数据和到内核的字节对齐数据之间的关系。

图二十五：LVDS RX 8位串化时序示例（半速率）



IN是在SLOWCLK上升沿传送至内核的字节对齐数据。

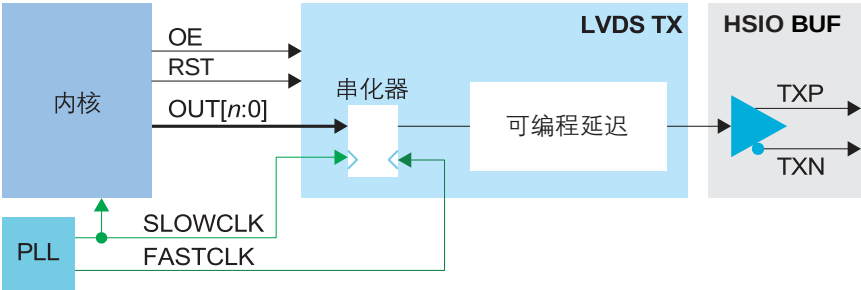


注意：对于拥有多条LVDS RX和一个LVDS RX时钟输入的LVDS RX接口，请使用FPGA同一侧的LVDS RX模块，以最大限度地减少数据线和RX时钟输入之间的偏斜。

LVDS TX

您可以将HSIO模块配置为一个LVDS TX信号。LVDS TX可以用于串化数据输出模式或参考时钟输出模式。

图二十六：LVDS TX接口框图

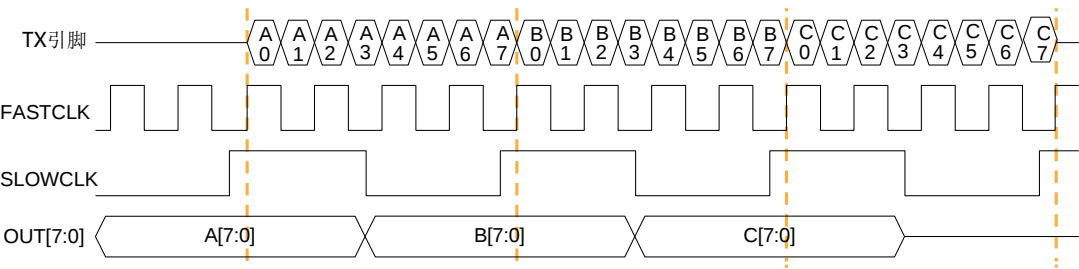


表十六：LVDS TX信号（接口至FPGA架构）

信号	方向	时钟域	说明
OUT[9:0]	输入	SLOWCLK	内核的并行输出数据，位宽可编程。
SLOWCLK	输入	-	并行（慢速）时钟。
FASTCLK	输入	-	串化（快速）时钟。
RST	输入	SLOWCLK	（可选）复位串化器。
OE	输入	-	（可选）输出使能信号。

以下波形展示了快速时钟、慢速时钟、发往引脚的TX数据和内核的字节对齐数据之间的关系。

图二十七：LVDS 8位串化时序示例（半速率）



OUT是在SLOWCLK上升沿由内核传来的字节对齐数据。

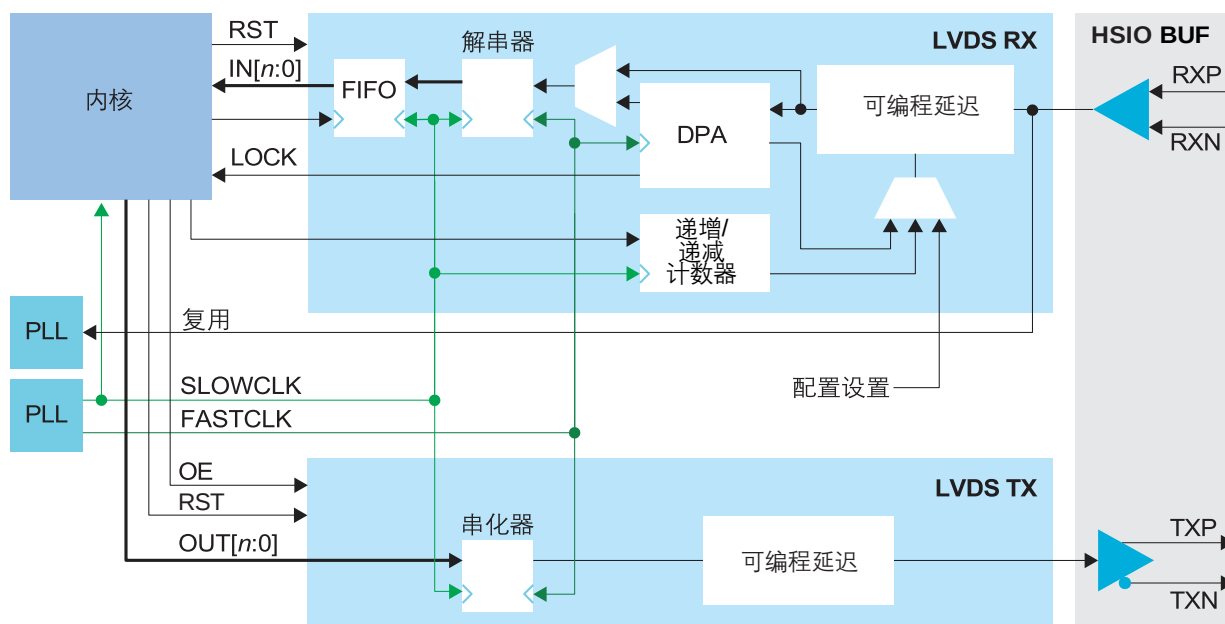


注意：对于拥有多条LVDS TX和一个LVDS TX参考时钟输出的LVDS TX接口，请使用FPGA同一侧的LVDS TX模块，以最大限度地减少数据线和TX参考时钟输出之间的偏斜。

LVDS双向

您可以将HSIO模块配置为一个LVDS双向信号，RX和TX必须使用相同的串化。

图二十八：LVDS双向接口框图



表十七：LVDS双向信号（接口至FPGA架构）

信号	方向	时钟域	说明
IN[9:0]	输出	SLOWCLK	到内核的并行输入数据，位宽可编程。
LOCK	输出	-	（可选）使能DPA时，此信号表示DPA已实现训练锁定，并且可以传输数据。
FIFO_EMPTY	输出	FIFOCLK	（可选）使能FIFO时，此信号表示FIFO为空。
INSLOWCLK	输入	-	RX的并行（慢速）时钟。
INFASTCLK	输入	-	RX的串化（快速）时钟。
FIFOCLK	输入	-	（可选）从FIFO读取的内核时钟。
FIFO_RD	输入	FIFOCLK	（可选）使能FIFO读取。
INRST	输入	FIFOCLK SLOWCLK	（可选）异步。复位FIFO和RX串化器。如果FIFO使能，则此信号与FIFOCLK相关；否则与SLOWCLK相关。
ENA	输入	-	动态使能或不使能LVDS输入BUF。不使能时可以降低功耗。 1：使能 0：不使能
TERM	输入	-	使能或不使能动态终止模式下的终止。 1：使能 0：不使能
DLY_ENA	输入	SLOWCLK	（可选）根据双向LVDS延迟设置，使能动态延迟控制或DPA电路。
DLY_INC	输入	SLOWCLK	（可选）动态延迟控制。无法在使能了DPA的情况下使用。当DLY_ENA为1时： 1：自增 0：自减
DLY_RST	输入	SLOWCLK	（可选）根据双向LVDS延迟设置，复位使能的延迟计数器或DPA电路。

信号	方向	时钟域	说明
DBG[5:0]	输出	SLOWCLK	DPA调试引脚。当DPA锁定时，输出最终延迟链设置。
OUT[9:0]	输入	SLOWCLK	内核的并行输出数据，位宽可编程。
OUTSLOWCLK	输入	-	TX的并行（慢速）时钟。
OUTFASTCLK	输入	-	TX的串化（快速）时钟。
OUTRST	输入	SLOWCLK	（可选）复位TX串化器。
OE	输入	-	输出使能信号。

LVDS引脚

表十八：LVDS引脚

信号	方向	说明
P	输出	差分P引脚
N	输出	差分N引脚

HSIO配置为MIPI lane

您可以将HSIO模块配置为MIPI RX或TX。该模块支持双向数据线、单向数据线和单向时钟线，运行速度最快支持1.5 Gbps。MIPI lane在高速（HS）和低功率（LP）模式下运行。在HS模式下，HSIO模块使用x8串化器/解串器传输或接收数据。在LP模式下，HSIO模块无需解串器/串化器即可传输或接收数据。

MIPI lane模块不包括MIPI D-PHY内核逻辑。完整的MIPI D-PHY解决方案需要：

- 多个MIPI RX或TX（至少一条时钟线、一条数据线）
- 软MIPI D-PHY IP内核已编程至FPGA架构中

MIPI D-PHY标准是一种点对点协议，其中一个端点（TX）负责发起和控制通信。标准通常是单向的，但是在实现MIPI DSI协议时，可以使用一条TX数据线进行LP双向通信。

该协议与一条时钟线和1、2、4或8条数据线源同步，可用线的数量取决于您使用的封装类型。专用HSIO模块在RX接口上被分配为时钟线，而TX接口的时钟线可以使用组中的任何HSIO模块。

MIPI RX

在RX模式下，HS（快速）时钟进入MIPI时钟线，并划分生成慢速时钟。然后，快速和慢速时钟被传递到相邻的HSIO模块，供MIPI数据线使用。

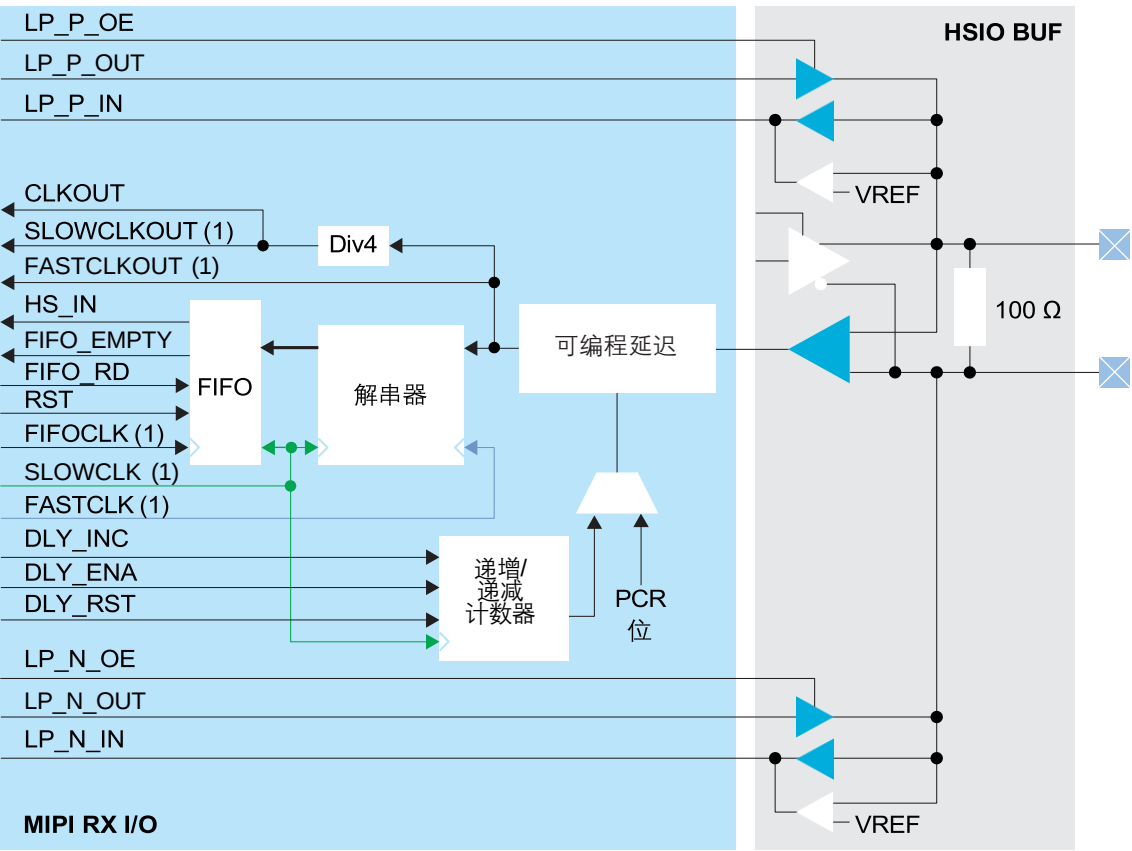
数据线快速时钟和慢速时钟必须由同一MIPI组中的时钟线驱动（专用总线从时钟线驱动到相邻的数据线）。

MIPI RX功能定义为：

表十九：MIPI RX功能

MIPI RX功能	说明
RX_DATA_xy_zz	MIPI RX数据线。您可以使用同一组中的任何数据线来组成MIPI RX通道的多条线路。 x = P或N y = 0到7条数据线（每个通道最多8条数据线） zz = I0至I17 MIPI RX通道（最多18个MIPI RX通道）
RX_CLK_x_zz	MIPI RX时钟线。每个MIPI RX通道需要一条时钟线。 x = P或N zz = I0至I17 MIPI RX通道（最多18个MIPI RX通道）

图二十九：MIPI RX框图



1. 这些信号在原语中，但Interface Designer会为您自动连接。

表二十：MIPI RX信号

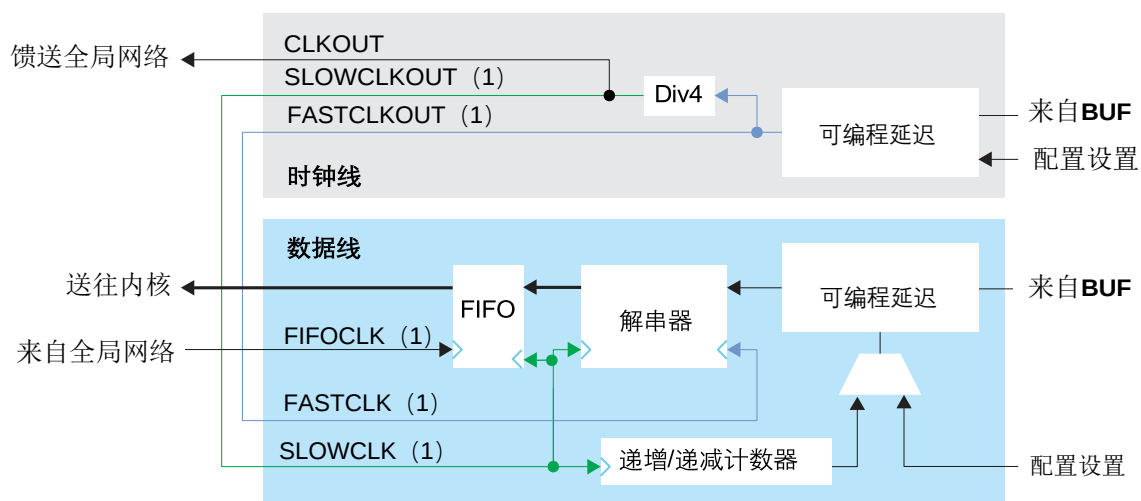
接口至FPGA架构中带有D-PHY的MIPI软CSI/DSI控制器

信号	方向	时钟域	说明
LP_P_OE	输入	-	(可选) P引脚的LP输出使能信号。
LP_P_OUT	输入	-	(可选) 内核发往P引脚的LP输出数据。如果数据线可逆, 则使用。
LP_P_IN	输出	-	来源于P引脚的LP输入数据。
CLKOUT	输出	-	从引脚中分出的并行(慢速)时钟, 可以驱动内核时钟树。用于驱动实现D-PHY协议其余部分的内核逻辑, 应连接到数据线的FIFOCLK。
SLOWCLKOUT ⁽⁴⁾	输出	-	从引脚分出的并行(慢速)时钟。只能驱动RX数据线。
FASTCLKOUT ⁽⁴⁾	输出	-	引脚的串化(快速)时钟。只能驱动RX数据线。
HS_IN[7:0]	输出	SLOWCLK	高速并行数据输入。
FIFO_EMPTY	输出	FIFOCLK	(可选) 使能FIFO时, 此信号表示FIFO为空。
FIFO_RD	输入	FIFOCLK	(可选) 使能FIFO读取。
RST	输入	FIFOCLK SLOWCLK	(可选) 异步。复位FIFO和串化器。如果FIFO使能, 则此信号与FIFOCLK相关; 否则与SLOWCLK相关。
FIFOCLK ⁽⁴⁾	输入	-	(可选) 从FIFO读取的内核时钟。
SLOWCLK ⁽⁴⁾	输入	-	并行(慢速)时钟。
FASTCLK ⁽⁴⁾	输入	-	串化(快速)时钟。
DLY_INC	输入	SLOWCLK	(可选) 动态延迟控制。当DLY_ENA为1时, 1: 自增 0: 自减
DLY_ENA	输入	SLOWCLK	(可选) 使能动态延迟控制。
DLY_RST	输入	SLOWCLK	(可选) 复位延迟计数器。
LP_N_OE	输入	-	(可选) N引脚的LP输出使能信号。
LP_N_OUT	输入	-	(可选) 内核发往N引脚的LP输出数据。如果数据线可逆, 则使用。
LP_N_IN	输出	-	来源于N引脚的LP输入数据。
HS_ENA	输入	-	在高速模式下动态使能差分输入BUF。
HS_TERM	输入	-	动态使能输入终止高速模式。

时钟线为接口组内的RX数据线生成快速时钟和慢速时钟。此外, 还生成一个四分频时钟, 馈送全局网络。下图展示了时钟线和数据线之间的时钟连接。

⁽⁴⁾ 这些信号在原语中, 但Interface Designer会为您自动连接。

图三十：同一MIPI RX通道中时钟线和RX数据线的连接

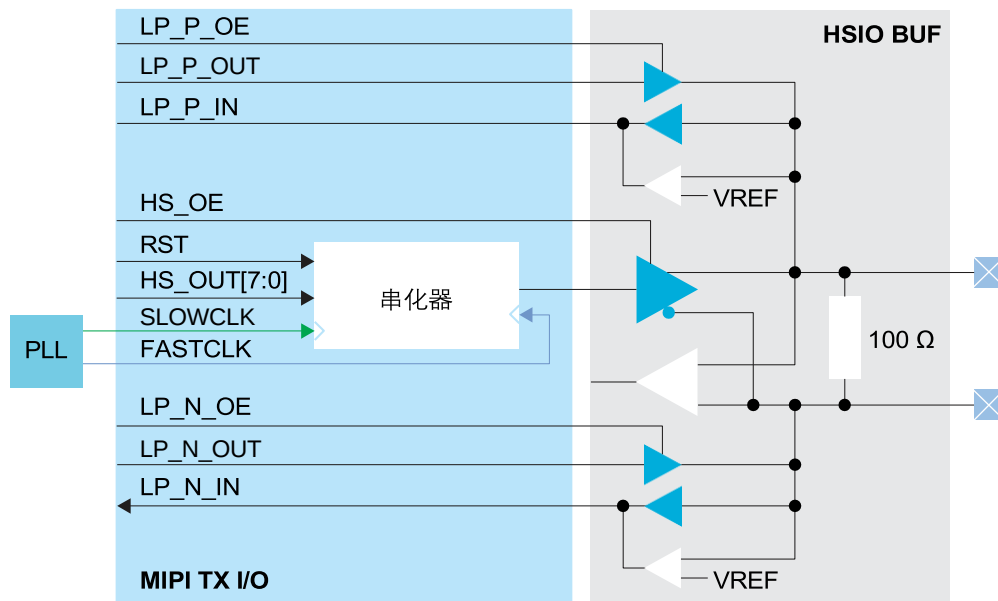


1. Interface Designer会为您自动连接此信号。

MIPI TX

在TX模式下，PLL生成并行和串化时钟，并将其传递到时钟线和数据线。

图三十一：MPI TX框图



表二十一：MIPI TX信号

接口至FPGA架构中带有D-PHY的MIPI软CSI/DSI控制器

信号	方向	时钟域	说明
LP_P_OE	输入	-	P引脚的LP输出使能信号。
LP_P_OUT	输入	-	内核发往P引脚的LP输出数据。
LP_P_IN	输出	-	（可选）来源于P引脚的LP输入数据。如果数据线可逆，则使用。
HS_OE	输入	-	高速输出使能信号。
RST	输入	SLOWCLK	（可选）复位串化器。
HS_OUT[7:0]	输入	SLOWCLK	来源于内核的高速输出数据，始终为8位宽。
SLOWCLK	输入	-	并行（慢速）时钟。
FASTCLK	输入	-	串化（快速）时钟。
LP_N_OE	输入	-	N引脚的LP输出使能信号。
LP_N_OUT	输入	-	内核发往N引脚的LP输出数据。
LP_N_IN	输出	-	（可选）来源于N引脚的LP输入数据。如果数据线可逆，则使用。

MIPI lane引脚

表二十二：MIPI lane引脚

信号	方向	说明
P	输出	差分P引脚
N	输出	差分N引脚

I/O bank

易灵思FPGA拥有通用的输入/输出（I/O）bank。每个I/O bank都有独立的电源引脚，支持的数量和电压因FPGA和封装而异。

一些I/O bank通过共享VCCIO引脚在封装级别进行合并，这些bank被称为合并bank。在VCCIO名称中，合并bank间有下划线（_）（例如，1B_1C表示bank 1B和1C的VCCIO已经相连）。合并bank中的某些bank在封装中可能没有可用的用户I/O。下表列出了封装中拥有可用用户I/O的bank。

表二十三：不同封装的I/O bank

封装	GPIO类型	I/O Bank	电压（V）	动态电压支持	双数据I/O支持	合并bank
A484S	HSIO	2A、2B、2C、3A、3B、3C、4A、4B、4C	1.2、1.5、1.8	-	所有	2A_2B
	HVIO	BL、TL、TR、BR	1.8、2.5、3.0、3.3	是	所有	-



了解更多：有关I/O bank分配的信息，请参阅《TJ180 Pinout (.xlsx)》。

DDR DRAM接口



重要：所有信息都是初步、待定的。

DDR PHY接口支持x16或x32数据队列宽度的LPDDR4和LPDDR4X内存，以及内存控制器硬核模块。内存控制器提供两条全双工AXI4总线与FPGA内核进行通信。

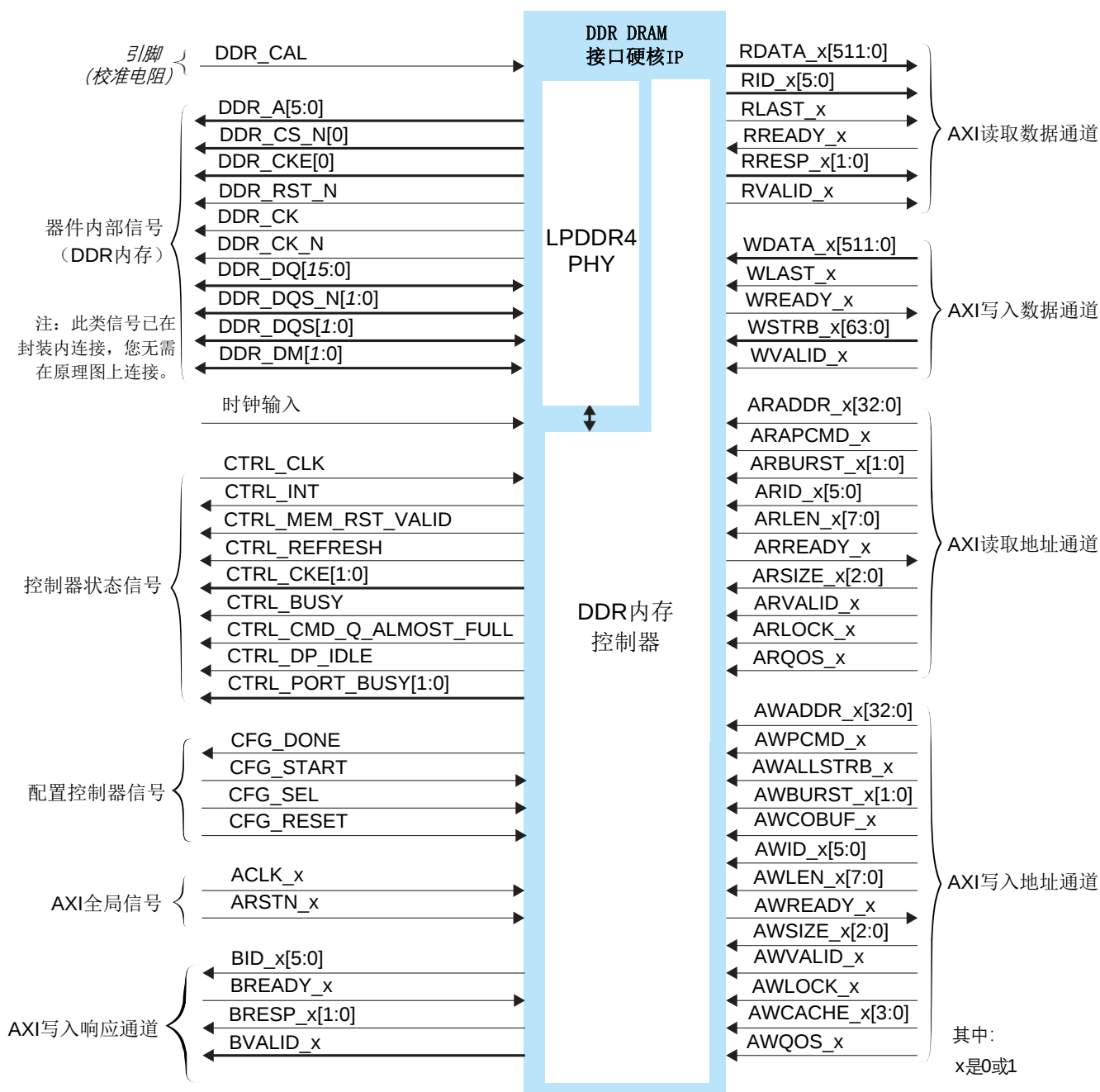


注意：DDR PHY和控制器支持x16或x32数据队列宽度，但因TJ180器件合封内存颗粒为LPDDR4X器件，故您只需关注LPDDR4X相关规格即可。

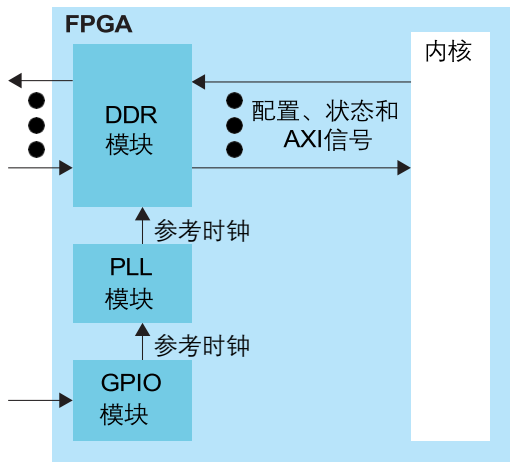


注意：DDR PHY和控制器是硬核模块；对于非DDR内存控制器应用程序，您不能绕过DDR DRAM内存控制器直接访问PHY。

图三十二：DDR DRAM框图



图三十三：DDR DRAM接口框图



注意：PLL参考时钟必须由I/O引脚驱动。如果您没有将参考时钟连接到I/O引脚，Primus®软件会发送一条警告。（使用时钟树可能会引起额外的抖动并降低DDR性能。）有关PLL模块的更多信息，请参阅“[PLL](#)”。

表二十四：器件内部信号（DDR内存）

注：此类信号已在封装内连接，您无需在原理图上连接。

信号	方向	说明
DDR_A[5:0]	输出	DRAM的地址信号。
DDR_CS_N[0]	输出	DRAM的片选。
DDR_CKE[0]	输出	DRAM的高电平有效时钟使能信号。
DDR_RST_N	输出	DRAM的低电平有效复位信号。
DDR_CK	输出	DRAM的差分时钟信号。
DDR_CK_N	输出	
DDR_DQ[15:0]	双向	内存出/入的数据总线。对于写入操作，FPGA驱动这些信号。对于读取操作，内存驱动这些信号。这些信号连接到内存上的DQ引脚。
DDR_DQS_N[1:0]	双向	内存出/入差分数据选通。对于写入操作，FPGA驱动这些信号。对于读取操作，内存驱动这些信号。这些信号连接到内存上的DQS引脚。
DDR_DQS[1:0]	双向	
DDR_DM[1:0]	双向	用作高电平有效数据掩码和数据总线反转指示器的信号。 如果为写入操作启用数据总线反转，当写入数据字节反转，则DDR控制器将驱动信号为高电平。同样，如果为读取操作启用数据总线反转，当读取数据字节反转，则内存器件将驱动信号为高电平。

表二十五：校准电阻引脚

信号	方向	说明
DDR_CAL	输入	校准电阻连接。通过您电路板上240 Ω电阻接地。

表二十六：控制器状态信号

信号	方向	时钟域	说明
CTRL_CLK	输入	不涉及	控制器状态信号时钟。
CTRL_INT	输出	不涉及	控制器检测到中断。
CTRL_MEM_RST_VALID	输出	不涉及	控制器已复位。
CTRL_REFRESH	输出	CTRL_CLK	表示控制器正在执行刷新命令。

信号	方向	时钟域	说明
CTRL_CKE[1:0]	输出	CTRL_CLK	来源于控制器的延迟“control_cke”，表示内存处于自刷新或断电模式。
CTRL_BUSY	输出	CTRL_CLK	控制器正忙于读取数据。
CTRL_CMD_Q_ALMOST_FULL	输出	CTRL_CLK	命令队列已达到“q_fullness”参数。
CTRL_DP_IDLE	输出	CTRL_CLK	数据路径处于空闲状态。
CTRL_PORT_BUSY[1:0]	输出	CTRL_CLK	表示端口是否正在读取数据。

表二十七：配置控制器信号

信号	方向	说明
CFG_RESET	输入	高电平有效的配置控制器复位。将该信号置于有效电平也会复位DDR控制器、PHY和DRAM器件。
CFG_START	输入	启动配置控制器。
CFG_DONE	输出	表示配置控制器已完成。
CFG_SEL	输入	将此输入连接到低电平以使能配置控制器。

表二十八：AXI4全局信号（接口至FPGA内核逻辑）

信号	方向	时钟域	说明
ACLK_x	输入	不涉及	AXI4时钟输入。
ARSTN_x	输入	ACLK_x	AXI接口的低电平有效复位信号。

表二十九：AXI4写入响应通道信号（接口至FPGA内核逻辑）

信号 x是0或1	方向	时钟域	说明
BID_x[5:0]	输出	ACLK_x	响应ID标签。该信号是写入响应的ID标签。
BREADY_x	输入	ACLK_x	响应准备就绪。该信号表示主机可以接受写入响应。
BRESP_x[1:0]	输出	ACLK_x	读取响应。该信号表示读取传输的状态。
BVALID_x	输出	ACLK_x	写入响应有效。该信号表示通道正在发送一条有效的写入响应。

表三十：AXI4读取数据通道信号（接口至FPGA内核逻辑）

信号 x是0或1	方向	时钟域	说明
RDATA_x[511:0]	输出	ACLK_x	读取数据。
RID_x[5:0]	输出	ACLK_x	读取ID标签。该信号是从机生成信号读取数据组的识别标签。
RLAST_x	输出	ACLK_x	读取最后。该信号表示读取burst中的最后一次传输。
RREADY_x	输入	ACLK_x	读取准备就绪。该信号表示主机可以接受读取数据和响应信息。
RRESP_x[1:0]	输出	ACLK_x	读取响应。该信号表示读取传输的状态。
RVALID_x	输出	ACLK_x	读取有效。该信号表示通道正在发送所需的读取数据。

表三十一：AXI4写入数据通道信号（接口至FPGA内核逻辑）

信号 x是0或1	方向	时钟域	说明
WDATA_x[511:0]	输入	ACLK_x	写入数据。
WLAST_x	输入	ACLK_x	写入最后。该信号表示写入burst中的最后一次传输。
WREADY_x	输出	ACLK_x	写入准备就绪。该信号表示从机可以接受写入数据。

信号 x是0或1	方向	时钟域	说明
WSTRB_x[63:0]	输入	ACLK_x	写入选通。该信号表示哪些字节线保存有效数据。对于写入数据总线的每八个比特有一个写入选通比特。
WVALID_x	输入	ACLK_x	写入有效。该信号表示有效的写入数据和选通是可用的。

表三十二：AXI4读取地址信号（接口至FPGA内核逻辑）

信号 x是0或1	方向	时钟域	说明
ARADDR_x[32:0]	输入	ACLK_x	读取地址。它给出burst事务中第一次传输的地址。
ARBURST_x[1:0]	输入	ACLK_x	burst类型。突发类型和大小决定了如何计算burst内每次传输的地址。 ‘b01 = INCR ‘b10 = WRAP
ARID_x[5:0]	输入	ACLK_x	地址ID。该信号标识地址信号组。
ARLEN_x[7:0]	输入	ACLK_x	burst长度。该信号表示一个burst中的传输次数。
ARREADY_x	输出	ACLK_x	地址准备就绪。该信号表示从机准备好接受地址和相关的控制信号。
ARSIZE_x[2:0]	输入	ACLK_x	burst大小。该信号表示burst中每次传输的大小。
ARVALID_x	输入	ACLK_x	地址有效。该信号表示通道正在发送有效地址和控制信息。
ARLOCK_x	输入	ACLK_x	锁定类型。该信号提供了传输的原子特性附加信息。
ARAPCMD_x	输入	ACLK_x	读取自动预充电。
ARQOS_x	输入	ACLK_x	读取事务的QoS标识符。

表三十三：AXI4写入地址信号（接口至FPGA内核逻辑）

信号 x是0或1	方向	时钟域	说明
AWADDR_x[32:0]	输入	ACLK_x	写入地址。它给出burst事务中第一次传输的地址。
AWBURST_x[1:0]	输入	ACLK_x	burst类型。突发类型和大小决定了如何计算burst内每次传输的地址。
AWID_x[5:0]	输入	ACLK_x	地址ID。该信号标识地址信号组。
AWLEN_x[7:0]	输入	ACLK_x	burst长度。该信号表示一个burst中的传输次数。
AWREADY_x	输出	ACLK_x	地址准备就绪。该信号表示从机准备好接受地址和相关的控制信号。
AWSIZE_x[2:0]	输入	ACLK_x	burst大小。该信号表示burst中每次传输的大小。
AWVALID_x	输入	ACLK_x	地址有效。该信号表示通道正在发送有效地址和控制信息。
AWLOCK_x	输入	ACLK_x	锁定类型。该信号提供了传输的原子特性附加信息。
AWAPCMD_x	输入	ACLK_x	写入自动预充电。
AWQOS_x	输入	ACLK_x	写入事务的QoS标识符。
AWCACHE_x[3:0]	输入	ACLK_x	内存类型。此信号表示事务应如何在系统中进行。
AWALLSTRB_x	输入	ACLK_x	写入所有选通都置于有效电平。使用该信号的写入命令，DDR控制器最多仅支持16个AXI beat。
AWCOBUF_x	输入	ACLK_x	写入连贯的可BUF选择。

DDR DRAM接口输入时钟

对于A484S封装，PLL_TL0 CLKOUT4、PLL_TL1 CLKOUT4、PLL_TL2 CLKOUT4是驱动DDR PHY和控制器的时钟。CLKOUT4驱动DDR PHY，速率必须为PHY数据速率的四分之一（例如，2000 Mbps需要500 MHz时钟）。

您只需要实例化PLL_TL0、PLL_TL1、PLL_TL2的CLKOUT4，并使用所需的频率将其使能。

Primus软件自动将时钟连接到DDR DRAM接口模块。

MIPI D-PHY



重要：所有信息都是初步、待定的。

除了可以将HSIO配置为MIPI RX或TX外，TJ180 FPGA还拥有硬核MIPI D-PHY模块，每个模块拥有4条数据线和1条时钟线。MIPI D-PHY RX和MIPI D-PHY TX可以与专用I/O bank独立运行。

您可以使用硬核MIPI D-PHY模块以及配置为MIPI D-PHY的HSIO来创建聚合众多相机或传感器数据的系统。

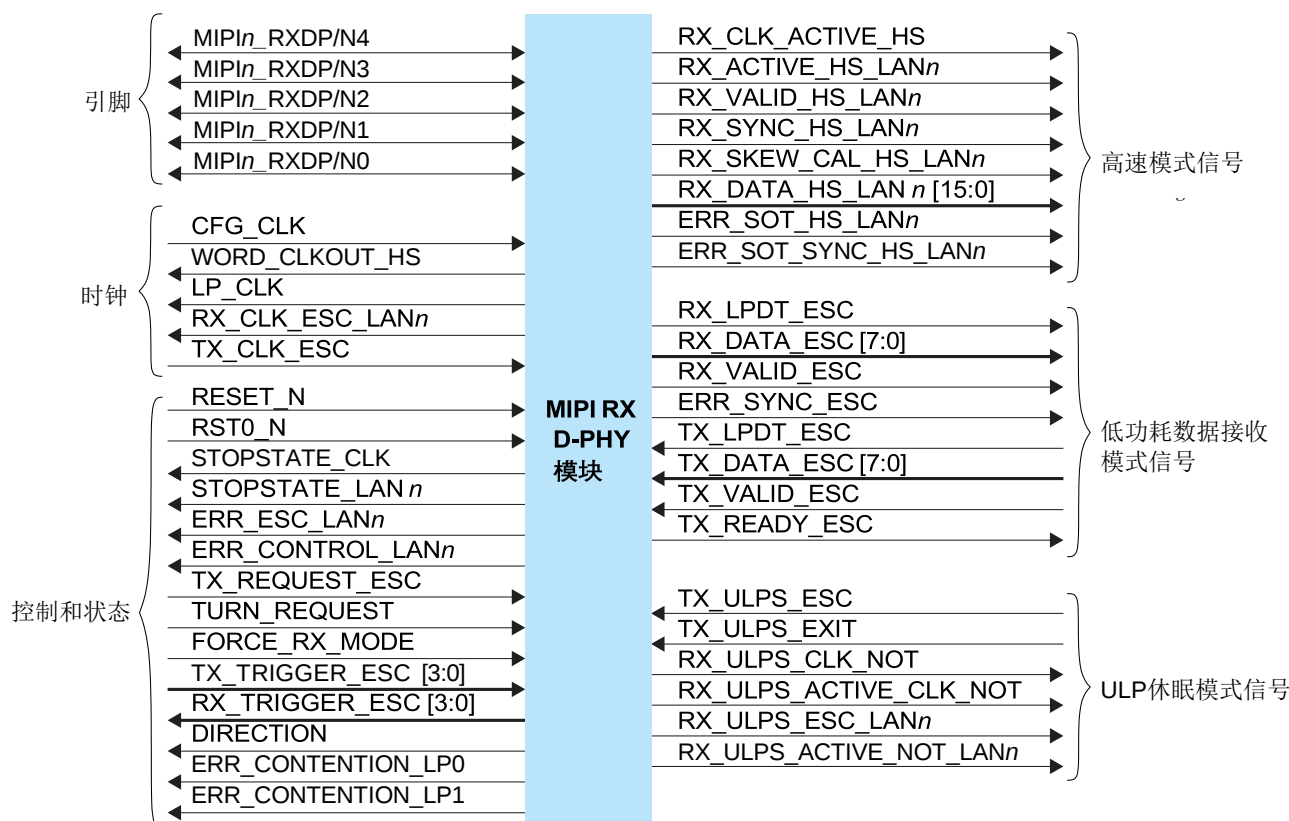
MIPI TX/RX接口支持MIPI D-PHY规范v1.2。它具有以下特点：

- 可编程数据线配置，最多支持4条线
- 高速模式支持每条线最快2.5 Gbps的数据速率
- 在连续和非连续时钟模式下工作
- 支持超低功耗状态（ULPS）

MIPI RX D-PHY

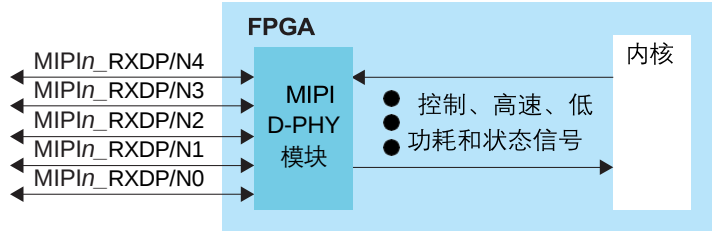
MIPI RX D-PHY是用于接收MIPI CSI、DSI或其他相关协议的数据和控制信息而设计的接收接口。对于单通道配置，MIPI RX D-PHY支持单时钟线和最多四条数据线。通过支持8或16位高速接收数据总线的标准MIPI D-PHY PHY协议接口（PPI），MIPI RX D-PHY还可与MIPI相关协议控制器连接。

图三十四：MIPI RX D-PHY x4框图



状态信号提供关于MIPI RX D-PHY接口操作的可选状态和错误信息。

图三十五：MPI RX D-PHY接口框图



表三十四：MIPI RX D-PHY时钟信号（接口至FPGA架构）

信号	方向	时钟域	备注
CFG_CLK	输入	不涉及	配置时钟（用于时间计数器和均衡器校准）。时钟频率必须在80 MHz到120 MHz之间。
WORD_CLKOUT_HS	输出	不涉及	HS接收字节/字时钟。
LP_CLK	输出	不涉及	低功率状态时钟。
RX_CLK_ESC_LANn	输出	不涉及	脱离模式接收时钟。
TX_CLK_ESC	输入	不涉及	脱离模式传输时钟。时钟频率必须低于20 MHz。

表三十五：MIPI RX D-PHY控制和状态信号（接口至FPGA架构）

信号	方向	时钟域	备注
RESET_N	输入	不涉及	复位。禁用PHY并复位数字逻辑。
RSTO_N	输入	不涉及	异步FIFO复位和同步释放复位。
STOPSTATE_CLK	输出	不涉及	线处于停止状态。
STOPSTATE_LANn	输出	不涉及	数据线处于停止状态（N线）。
ERR_ESC_LANn	输出	不涉及	n线脱离命令错误。
ERR_CONTROL_LANn	输出	不涉及	n线存在线状态错误。
TX_REQUEST_ESC	输入	TX_CLK_ESC	0线请求TX脱离模式。
TURN_REQUEST	输入	TX_CLK_ESC	0线请求转弯。
FORCE_RX_MODE	输入	不涉及	0线强制线进入接收模式/等待停止状态。
TX_TRIGGER_ESC [3:0]	输入	TX_CLK_ESC	0线发送一项触发事件。
RX_TRIGGER_ESC [3:0]	输出	RX_CLK_ESC_LAN0	0线接收到一项触发事件。
DIRECTION	输出	不涉及	0线发送/接收方向（0 = TX，1 = RX）。
ERR_CONTENTION_LP0	输出	不涉及	驱动0时出现0线争用错误。
ERR_CONTENTION_LP1	输出	不涉及	驱动1时出现0线争用错误。

表三十六：MIPI RX D-PHY高速模式信号（接口至FPGA架构）

信号	方向	时钟域	备注
RX_CLK_ACTIVE_HS	输出	不涉及	高速时钟线激活。
RX_ACTIVE_HS_LANn	输出	WORD_CLKOUT_HS	高速接收激活。
RX_VALID_HS_LANn	输出	WORD_CLKOUT_HS	高速数据接收有效。
RX_SYNC_HS_LANn	输出	WORD_CLKOUT_HS	高速接收同步。已监测。
RX_SKEW_CAL_HS_LANn	输出	WORD_CLKOUT_HS	收到高速接收去偏斜burst。
RX_DATA_HS_LANn [15:0]	输出	WORD_CLKOUT_HS	高速接收数据。
ERR_SOT_HS_LANn	输出	WORD_CLKOUT_HS	传输状态（SOT）错误。
ERR_SOT_SYNC_HS_LANn	输出	WORD_CLKOUT_HS	SOT同步。错误。

表三十七：MIPI RX D-PHY低功耗数据传输接收模式信号（接口至FPGA架构）

信号	方向	时钟域	备注
RX_LPDT_ESC	输出	RX_CLK_ESC_LAN0	0线进入低功耗数据传输接收模式。
RX_DATA_ESC [7:0]	输出	RX_CLK_ESC_LAN0	0线低功耗数据传输接收数据。
RX_VALID_ESC	输出	RX_CLK_ESC_LAN0	0线低功耗数据传输接收数据有效。
ERR_SYNC_ESC	输出	不涉及	0线低功耗数据传输接收数据同步。错误。
TX_LPDT_ESC	输入	TX_CLK_ESC	0线进入低功耗数据传输发送模式。
TX_DATA_ESC [7:0]	输入	TX_CLK_ESC	0线低功耗数据传输发送数据。
TX_VALID_ESC	输入	TX_CLK_ESC	0线低功耗数据传输发送数据有效。
TX_READY_ESC	输出	TX_CLK_ESC	0线低功耗数据传输发送数据就绪。

表三十八：MIPI RX D-PHY超低功耗休眠模式信号（接口至FPGA架构）

信号	方向	时钟域	备注
TX_ULPS_ESC	输入	TX_CLK_ESC	0线进入超低功耗状态模式。
TX_ULPS_EXIT	输入	TX_CLK_ESC	0线退出超低功耗状态模式。
RX_ULPS_CLK_NOT	输出	不涉及	CLK0进入超低功耗状态模式。
RX_ULPS_ACTIVE_CLK_NOT	输出	不涉及	CLK0处于超低功耗状态（低电平有效）。
RX_ULPS_ESC_LANn	输出	RX_CLK_ESC_LANn	n线进入超低功耗状态模式。
RX_ULPS_ACTIVE_NOT_LANn	输出	不涉及	n线处于超低功耗状态（低电平有效）。

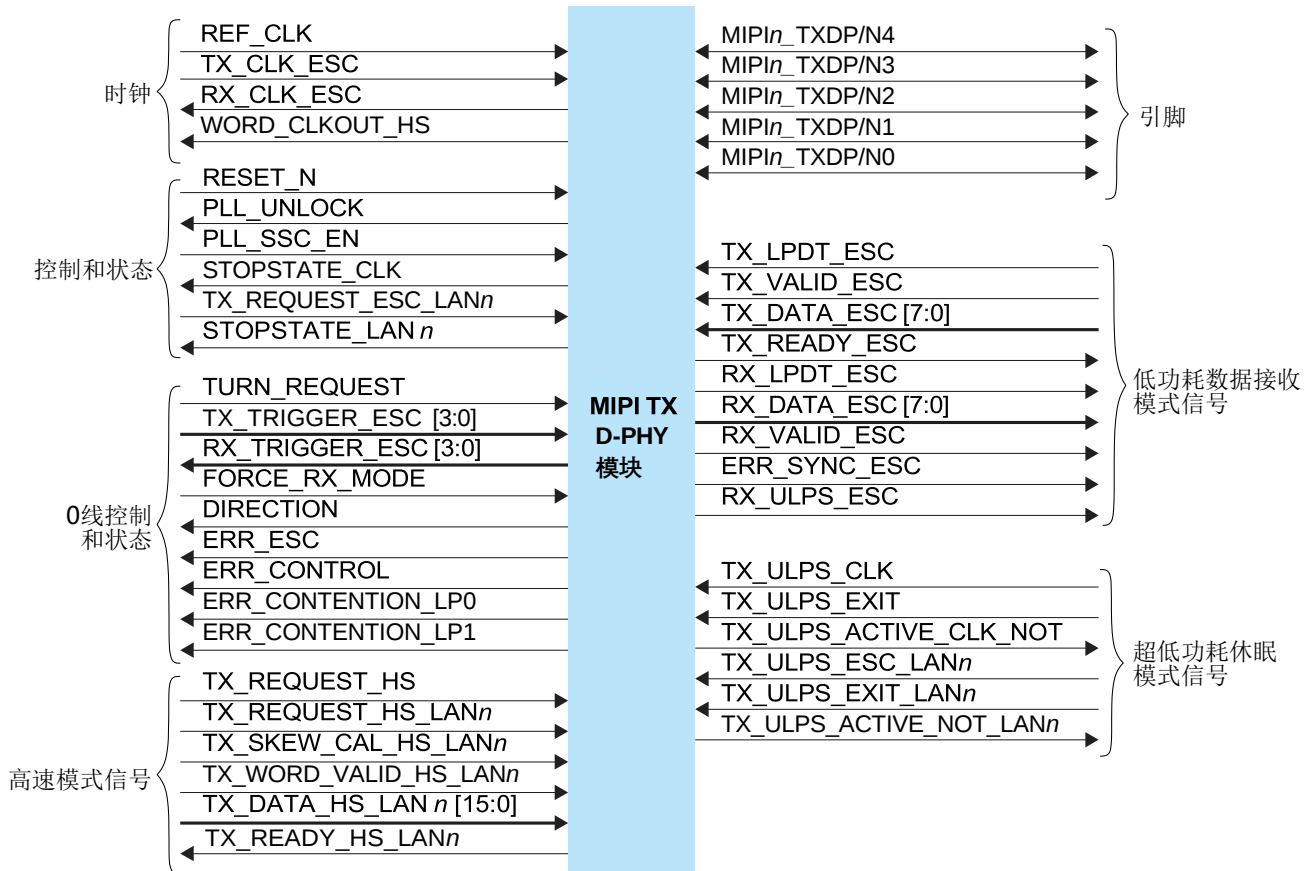
表三十九：MIPI RX D-PHY引脚

引脚	方向	说明
MIPIIn_RXDP[4:0]	双向	MIPI收发器P引脚。
MIPIIn_RXDN[4:0]	双向	MIPI收发器N引脚。

MIPI TX D-PHY

MIPI TX D-PHY是用于传输MIPI CSI、DSI或其他相关协议的数据和控制信息而设计的发送接口。对于单通道配置，MIPI TX D-PHY支持单时钟线和最多四条数据线。通过支持8或16位高速接收数据总线的标准MIPI D-PHY PHY协议接口（PPI），MIPI TX D-PHY还可与MIPI相关协议控制器连接。

图三十六：MIPI TX D-PHY x4框图

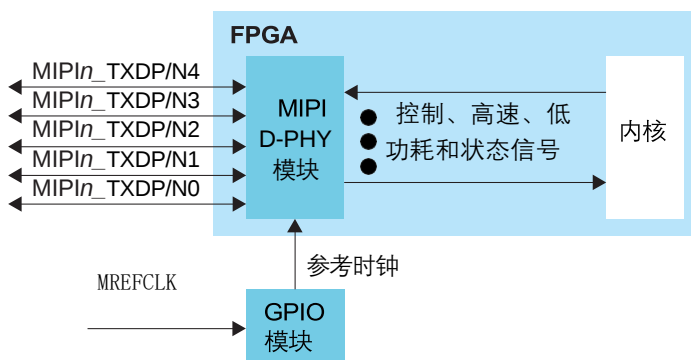


MIPI TX D-PHY模块需要在MIPI接口处于脱离（低功率）模式时使用脱离时钟（TX_CLK_ESC），其运行频率最快可达20 MHz。



注意：建议您将脱离时钟频率设置为接近20 MHz的值，越接近越好。

图三十七：MPI TX D-PHY接口框图



注意：GPIO模块是默认的参考时钟源，但您也可以将PLL和内核时钟输出设置为参考时钟源。

表四十：MIPI TX D-PHY时钟信号（接口至FPGA架构）

信号	方向	时钟域	备注
REF_CLK	输入	不涉及	参考时钟。时钟频率必须在12 MHz到52 MHz之间。
TX_CLK_ESC	输入	不涉及	脱离模式传输时钟，用于生成脱离序列。时钟频率必须小于20 MHz。
RX_CLK_ESC	输出	不涉及	脱离模式接收时钟（仅0线）。
WORD_CLKOUT_HS	输出	不涉及	高速传输字节/字时钟。在正常8位HS-PPI D-PHY模式下，该信号必须是比特率的1/8。在16位PHY模式下，该信号必须是比特率的1/16。

表四十一：MIPI TX D-PHY控制和状态信号（接口至FPGA架构）

信号	方向	时钟域	备注
RESET_N	输入	不涉及	复位。禁用PHY并复位数字逻辑。
PLL_UNLOCK	输出	不涉及	PLL处于解锁状态。
PLL_SSC_EN	输入	不涉及	（可选）PLL SSC使能： 始终使能：1 不使能：0 由变化信号驱动以实现动态使能。
STOPSTATE_CLK	输出	不涉及	时钟线处于停止状态（Clk 0）。
TX_REQUEST_ESC_LANn	输入	TX_CLK_ESC	脱离模式传输请求（N线）。
STOPSTATE_LANn	输出	不涉及	数据线处于停止状态（N线）。

表四十二：MIPI TX D-PHY 0线控制和状态信号（接口至FPGA架构）

信号	方向	时钟域	备注
TURN_REQUEST	输入	TX_CLK_ESC	0线转弯请求。
TX_TRIGGER_ESC [3:0]	输入	TX_CLK_ESC	0线发送一项脱离模式触发事件。
RX_TRIGGER_ESC [3:0]	输出	RX_CLK_ESC	0线接收到一项脱离模式触发事件。
FORCE_RX_MODE	输入	不涉及	0线强制进入接收模式/等待停止。
DIRECTION	输出	不涉及	0线发送/接收方向： 0：TX 1：RX
ERR_ESC	输出	不涉及	0线脱离命令错误。
ERR_CONTROL	输出	不涉及	0线线路状态错误。
ERR_CONTENTION_LP0	输出	不涉及	检测到0线争线（驱动0时）。
ERR_CONTENTION_LP1	输出	不涉及	检测到0线争线（驱动1时）。

表四十三：MIPI TX D-PHY高速模式信号（接口至FPGA架构）

信号	方向	时钟域	备注
TX_REQUEST_HS	输入	WORD_CLKOUT_HS	HS时钟请求（Clk 0）。
TX_REQUEST_HS_LANn	输入	WORD_CLKOUT_HS	HS传输请求和数据有效（0-3线）。
TX_SKEW_CAL_HS_LANn	输入	WORD_CLKOUT_HS	HS偏斜校准（N线）。
TX_WORD_VALID_HS_LANn	输入	WORD_CLKOUT_HS	16位模式的HS高字节有效（N线）。
TX_DATA_HS_LANn [15:0]	输入	WORD_CLKOUT_HS	HS传输数据（N线）。
TX_READY_HS_LANn	输出	WORD_CLKOUT_HS	HS传输就绪（N线）。

表四十四：MIPI TX D-PHY低功耗数据传输模式信号（接口至FPGA架构）

信号	方向	时钟域	备注
TX_LPDT_ESC	输入	TX_CLK_ESC	0线进入低功耗数据传输模式。
TX_VALID_ESC	输入	TX_CLK_ESC	0线低功耗数据传输数据有效。
TX_DATA_ESC [7:0]	输入	TX_CLK_ESC	0线低功耗数据传输数据总线。
TX_READY_ESC	输出	TX_CLK_ESC	0线低功耗数据传输数据就绪。
RX_LDPT_ESC	输出	RX_CLK_ESC	脱离LP数据接收模式。
RX_DATA_ESC[7:0]	输出	RX_CLK_ESC	脱离模式接收数据。
RX_VALID_ESC	输出	RX_CLK_ESC	脱离模式接收数据有效。
ERR_SYNC_ESC	输出	不涉及	低功耗数据传输数据同步错误。
RX_ULPS_ESC	输出	RX_CLK_ESC	0线进入超低功耗状态模式。

表四十五：MIPI TX D-PHY超低功耗休眠模式（接口至FPGA架构）

信号	方向	时钟域	备注
TX_ULPS_CLK	输入	TX_CLK_ESC	CLK0进入超低功耗状态。
TX_ULPS_EXIT	输入	TX_CLK_ESC	CLK0退出超低功耗状态。
TX_ULPS_ACTIVE_CLK_NOT	输出	不涉及	时钟线处于超低功耗状态-低电平有效（Clk 0）。
TX_ULPS_ESC_LANn	输入	TX_CLK_ESC	n线进入超低功耗状态。
TX_ULPS_EXIT_LANn	输入	TX_CLK_ESC	n线退出超低功耗状态。
TX_ULPS_ACTIVE_NOT_LANn	输出	不涉及	数据线处于超低功耗状态-低电平有效（N线）。

表四十六：MIPI TX D-PHY引脚

引脚	方向	说明
MIPIIn_TXDP[4:0]	双向	MIPI收发器P引脚。
MIPIIn_TXDN[4:0]	双向	MIPI收发器N引脚。

振荡器

TJ180有一个低频振荡器，专用于低功耗操作。此振荡器以10 MHz、20 MHz、40 MHz或80 MHz的标称频率运行。您可以使用此振荡器执行常开功能，同时保持尽可能低的功耗。此振荡器输出时钟可用于内核。不使用此振荡器时，您可将其禁用以降低功耗。

PLL

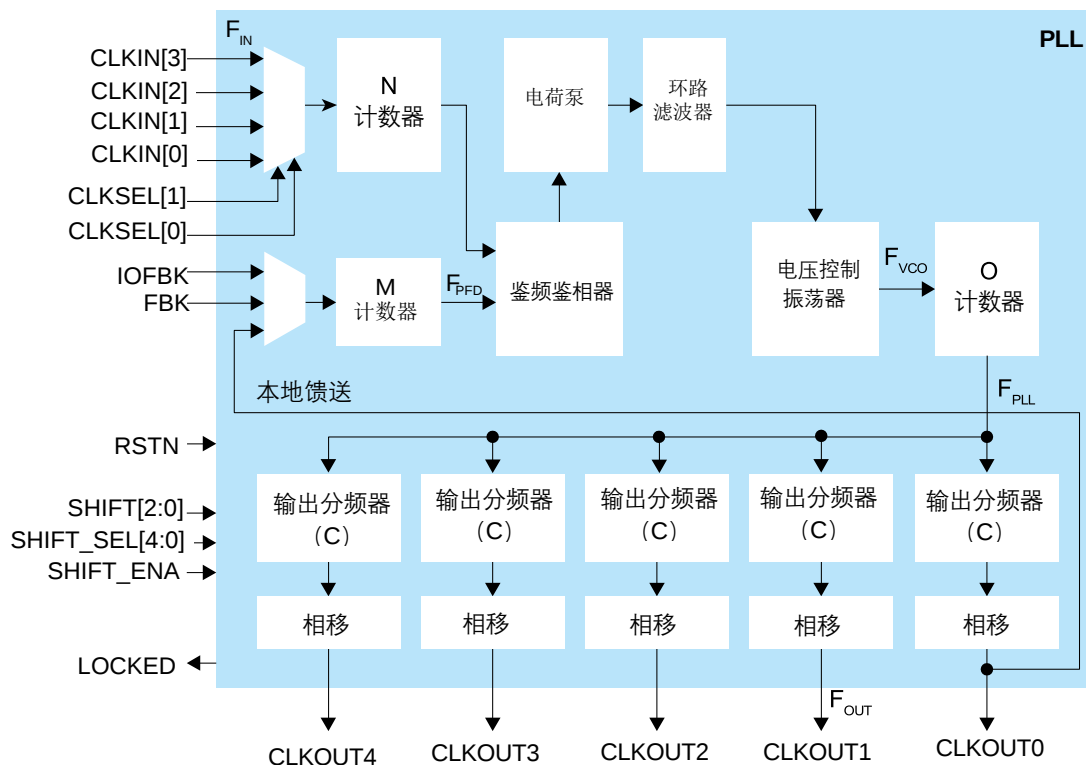
TJ180 FPGA拥有8个PLL来合成时钟频率。PLL位于FPGA的角落。通过外部或内部馈送，PLL可用来补偿时钟偏斜/延迟，来满足高级应用中的时序要求。PLL参考时钟最多支持四个时钟源，您可以使用CLKSEL端口动态选择PLL参考时钟。（动态选择参考时钟源时，保持PLL复位。）

PLL由预分频器计数器（N计数器）、馈送乘法器计数器（M计数器）、后分频器计数器（O计数器）和输出分频器（C）组成。



注意：您可以在TJ180 FPGA中级联PLL。为了避免PLL失去锁定，建议级联PLL数量不要超过两个。

图三十八：PLL框图



计数器设置将PLL输出频率定义为：

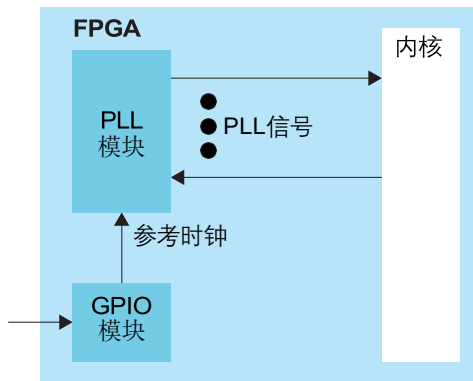
本地和内核馈送模式	其中：
$F_{PFD} = F_{IN} / N$ $F_{VCO} = (F_{PFD} \times M \times O \times C_{FBK})^{(5)}$ $F_{PLL} = F_{VCO} / O$ $F_{OUT} = (F_{IN} \times M \times C_{FBK}) / (N \times C)$	F_{VCO}是电压控制振荡器频率。 F_{PLL}是后分频器PLL VCO频率。 F_{OUT}是输出时钟频率。 F_{IN}是参考时钟频率。 F_{PFD}是鉴频鉴相器的输入频率。 O是后分频器计数器。 C是输出分频器。



注意：关于F_{VCO}、F_{OUT}、F_{IN}、F_{PLL}、和F_{PFD}值，请参阅“[PLL时序和交流特性](#)”。

⁽⁵⁾ (M x O x C_{FBK}) 必须 ≤ 255。

图三十九：PLL接口框图



表四十七：PLL信号（接口至FPGA架构）

信号	方向	说明
CLKIN[3:0]	输入	由I/O引脚或内核时钟树驱动的参考时钟。
CLKSEL[1:0]	输入	您可以从其中一个时钟输入引脚中动态选择参考时钟。
RSTN	输入	低电平有效PLL复位信号。当置于有效电平，该信号复位PLL；当置于无效电平，该信号使能PLL。只有当CLKIN信号稳定时才可将此信号置于无效电平。 在设计中连接此信号以接通或复位PLL。保持RSTN引脚置于有效电平最小10 ns脉冲，来复位PLL。当动态地改变所选择的PLL参考时钟时，将RSTN置于有效电平。
FBK	输入	当PLL处于内核馈送模式时，连接到时钟输出接口引脚。
IOFBK	输入	当PLL处于外部I/O馈送模式时，连接到时钟输出接口引脚。
CLKOUT0 CLKOUT1 CLKOUT2 CLKOUT3 CLKOUT4	输出	PLL输出。您可以将这些信号作为输入时钟路由到内核的GCLK网络。 您只能将CLKOUT0用于最大频率为参考时钟4倍（整数）的时钟。如果您的所有系统时钟都不在此范围内，则应将一个未使用的时钟用于CLKOUT0。
LOCKED	输出	PLL锁定时变高电平；当检测到丢失锁定时变低电平。在设计中连接此信号以监控锁定状态。 该信号不与任何时钟同步，并且锁定信号的最小高脉宽或低脉宽可能小于CLKOUT的周期。
SHIFT[2:0]	输入	（可选）将所选输出的相移动态更改为此信号设置的值。 从000（无相移）到111（3.5 F_{PLL}周期延迟）的可能值。每次增量相加0.5周期延迟。
SHIFT_SEL[4:0]	输入	（可选）选择受动态相移影响的输出。
SHIFT_ENA	输入	（可选）当为高电平时，将所选PLL的相移更改为新值。

表四十八：PLL参考时钟资源分配（A484S）

PLL	参考时钟0	参考时钟1	外部馈送I/O
PLL_BL0	单端：GPIOB_P_00_PLLINO	单端：GPIOL_00_PLLIN1	单端：GPIOB_P_01_EXTFB 差分： GPIOB_P_01_EXTFB、 GPIOB_N_01_CCK
PLL_BL1	单端：GPIOB_P_11_PLLINO 差分： GPIOB_P_11_PLLINO、 GPIOB_N_11	GPIOL_10_PLLIN1	单端：GPIOB_P_12_EXTFB 差分： GPIOB_P_12_EXTFB、 GPIOB_N_12_SSU_N
PLL_BL2	单端：GPIOB_P_23_PLLINO 差分： GPIOB_P_23_PLLINO、 GPIOB_N_23_CDI12	GPIOL_20_PLLIN1	单端：GPIOB_P_24_EXTFB 差分： GPIOB_P_24_EXTFB、 GPIOB_N_24_CDI13
PLL_TL0	单端：GPIOT_P_00 差分：GPIOT_PN_00	单端：GPIOL_26_PLLIN1	未分配 ⁽⁶⁾
PLL_TL1	单端：GPIOT_P_11_PLLINO 差分：GPIOT_P_11_PLLINO、 GPIOT_N_11	单端：GPIOL_36_PLLIN1	单端：GPIOT_P_12_EXTFB 差分：GPIOT_P_12_EXTFB、 GPIOT_N_12
PLL_TL2	单端：GPIOT_P_23_PLLINO 差分：GPIOT_P_23_PLLINO、 GPIOT_N_23	单端：GPIOL_32_PLLIN1	单端：GPIOT_P_24_EXTFB 差分：GPIOT_P_24_EXTFB、 GPIOT_N_24
PLL_TR0	单端：GPIOR_P_45_PLLINO 差分： GPIOR_P_45_PLLINO、 GPIOR_N_45	单端：GPIOR_P_31_PLLIN1 差分：GPIOR_P_31_PLLIN1、 GPIOR_N_31	单端：GPIOR_P_44_EXTFB 差分： GPIOR_P_44_EXTFB、 GPIOR_N_44
PLL_BR0	单端：GPIOR_P_00_PLLINO 差分：GPIOR_P_00_PLLINO、 GPIOR_N_00	单端：GPIOR_P_16_PLLIN1 差分：GPIOR_P_16_PLLIN1、 GPIOR_N_16	单端：GPIOR_P_01_EXTFB 差分：GPIOR_P_01_EXTFB、 GPIOR_N_01

⁽⁶⁾ 该参考时钟未分配专用引脚。

动态相移

TJ180 FPGA支持动态相移，您可以在用户模式下动态调整每个输出的相移，最多可调整3.5个 F_{PLL} 周期。例如，要将400 MHz的时钟相移90度，您可将PLL配置为800 MHz的 F_{PLL} 频率，将输出计数器分频设置为2，并将shift[2:0]设置为001。

实现动态相移

使用以下步骤来实现动态相移：

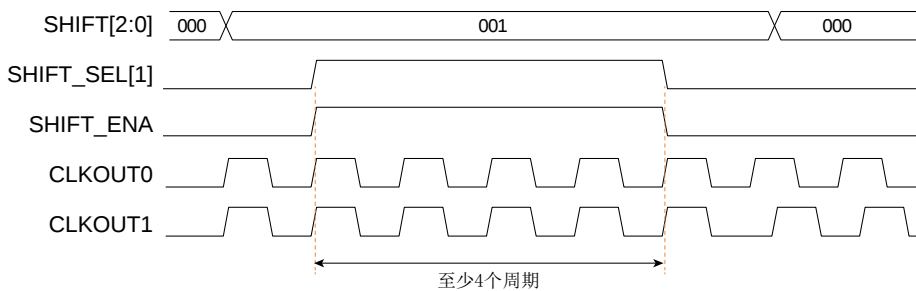
1. 将新的相位设置写入SHIFT[2:0]。
2. 在要移位的目标输出时钟一个时钟周期后，将SHIFT_SEL[n]和SHIFT_ENA信号置于有效电平。
3. 在目标输出时钟的最小周期四个时钟周期内保持SHIFT_ENA和SHIFT_SEL[n]为高电平。
4. 将SHIFT_ENA和SHIFT_SEL[n]置于无效电平。在再次将SHIFT_ENA和SHIFT_SEL[n]置于无效电平之前，等待至少目标输出时钟四个时钟周期。



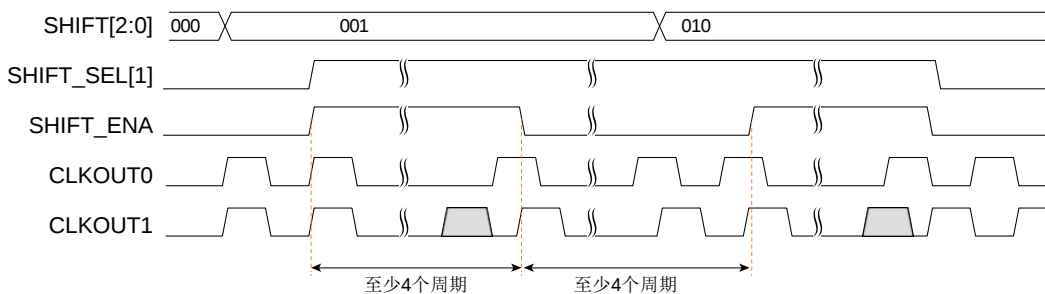
注意： SHIFT_SEL[n]中的n表示要添加相移的输出时钟。

以下波形描述了单个相移和连续多个相移的信号。

图四十：CLKOUT1的单动态相移波形示例



图四十一：CLKOUT1的连续动态相移波形示例



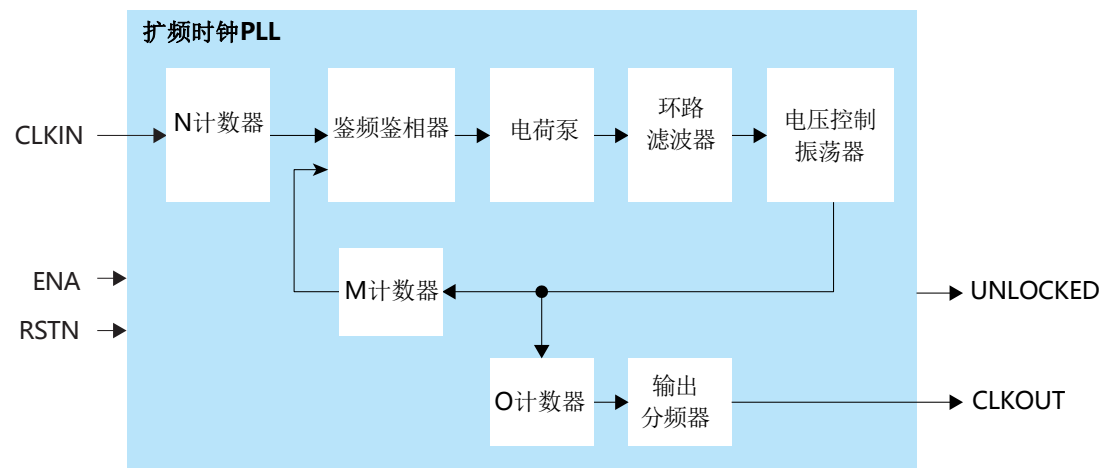
扩频时钟PLL

钛金系列TJ180 MIPI D-PHY接口包含一个扩频时钟（SSC）PLL，该PLL在理想时钟频率周围扩展或改变信号频谱。如果您未将MIPI D-PHY TX接口用于MIPI信号，您可以使用SSC PLL作为另一个时钟源。

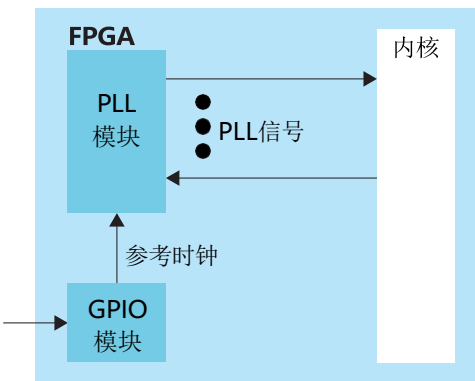
PLL由一个预分频器计数器（N计数器）、一个馈送乘法器计数器（M计数器）、一个后分频器计数器（O计数器）和输出分频器（C）组成。您无法修改计数器设置，但您可以指定所需的输出频率和参考时钟频率。如果SSC PLL不能完全匹配输出频率，计数器会显示（并使用）最接近您设置的频率。

默认情况下，SSC PLL充当常规PLL。您可以通过打开Interface Designer中的Enable Spread Spectrum Clock (SSC)选项来使能扩频时钟。

图四十二：SSC PLL框图



图四十三：SSC PLL接口框图



表四十九：SSC PLL信号（接口至FPGA架构）

信号	方向	说明
CLKIN	输入	来自内核、PLL或GPIO的参考时钟
CLKOUT	输出	PLL SSC时钟输出引脚名称
RSTN	输入	低电平有效PLL SSC复位信号
UNLOCKED	输出	PLL解锁状态引脚名称。当PLL SSC处于解锁状态时变高电平。在设计中连接此信号以监控锁定状态。

信号	方向	说明
ENA	输入	（可选）PLL SSC使能引脚名称： 始终使能：1 不使能：0 由变化信号驱动以实现动态使能。

单事件干扰检测

TJ180 FPGA具有用于检测单事件干扰（SEU）的硬核模块。SEU检测功能有两种模式：

- 自动模式——TJ180控制模块定期运行SEU错误检查，并在检测到错误时进行标记。您可以配置SEU检查的间隔时间。
- 手动模式——用户设计运行检查。

在这两种模式中，当检测到错误时，用户设计负责决定是否重新配置TJ180。



了解更多：有关使用SEU检测功能的更多信息，请参阅《[钛金系列 Interfaces User Guide](#)》。

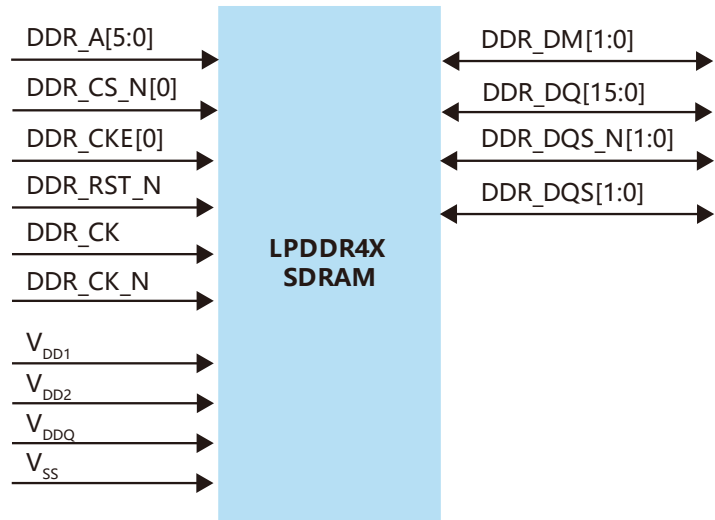
内部重配置模块

TJ180 FPGA拥有可进行内部重配置的内置硬件。TJ180可以根据存储在闪存中的位流镜像重新自配置。

LPDDR4X SDRAM

TJ180 FPGA A484S封装包含一个LPDDR4X SDRAM，2 Gbits容量，最快支持1250 MHz时钟速率和2500 Mbps的双倍数据速率，16位数据总线。

图四十四：LPDDR4X SDRAM框图



注意：上图中信号都已在封装内连接好，您无需在原理图上连接。

表五十：LPDDR4X SDRAM信号（接口至FPGA DDR PHY）

注：此类信号已在封装内连接，您无需在原理图上连接。

信号	方向	说明
DDR_A[5:0]	输入	DRAM的地址信号。
DDR_CS_N[0]	输入	DRAM的片选。
DDR_CKE[0]	输入	DRAM的高电平有效时钟使能信号。
DDR_RST_N	输入	DRAM的低电平有效复位信号。
DDR_CK	输入	DRAM的差分时钟信号。
DDR_CK_N	输入	
DDR_DM[1:0]	双向	用作高电平有效数据掩码和数据总线反转指示器的信号。 如果为写入操作启用数据总线反转，当写入数据字节反转，则DDR控制器将驱动信号为高电平。同样，如果为读取操作启用数据总线反转，当读取数据字节反转，则内存器件将驱动信号为高电平。
DDR_DQ[15:0]	双向	内存出/入的数据总线。对于写入操作，FPGA驱动这些信号。对于读取操作，内存驱动这些信号。这些信号连接到内存上的DQ引脚。
DDR_DQS_N[1:0]	双向	内存出/入差分数据选通。对于写入操作，FPGA驱动这些信号。对于读取操作，内存驱动这些信号。这些信号连接到内存上的DQS引脚。
DDR_DQS[1:0]	双向	

表五十一：LPDDR4X引脚

名称	方向	说明
ZQ	输入	代表校准参考，此信号用于校准输出驱动强度和端接电阻。ZQ引脚应通过240 Ω ± 1%的电阻连接至VDDQ。

安全功能

FPGA的安全功能包括：

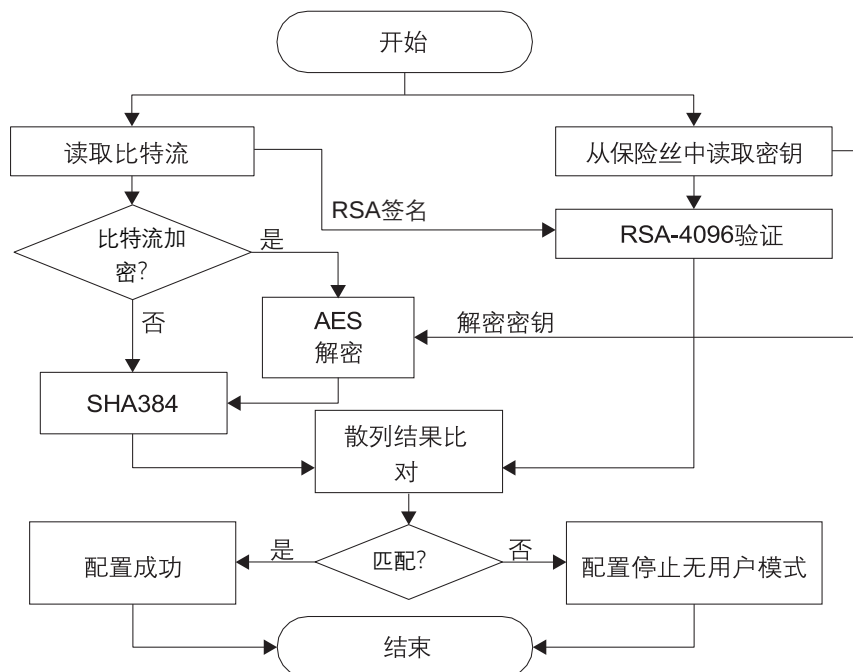
- 使用AES-GCM-256算法的位流加密知识产权保护
- 使用RSA-4096算法的非对称位流身份验证防篡改



重要：使用压缩位流时，无法启用FPGA安全功能。

您可以使能加密、身份验证，也可以同时使能两者。您可以在项目级别启用安全功能。

图四十五：安全流程



下载：有关如何启用这些功能的说明，请参阅《[Primus用户指南](#)》中“配置FPGA”章节的“加密钛金系列位流”部分。

位流加密

对称位流加密使用256位密钥和AES-GCM-256算法。您创建密钥，然后使用此密钥来加密位流。您还需要将密钥存储到FPGA的保险丝中。在配置过程中，内置AES-GCM-256引擎使用存储的密钥对加密的配置位流进行解密。如果没有正确的密钥，位流解密过程就无法恢复原始位流。

位流身份验证

对于位流身份验证，您需要用到一个公钥/私钥对和RSA-4096算法。您可以创建一个公钥/私钥对，并使用私钥，对位流进行签名。然后，您将公钥的散列版本保存到FPGA中的保险丝中。在配置过程中，FPGA使用公钥验证位流上的签名。

如果签名有效，FPGA就知道此位流来自可信来源，并且没有被第三方更改。FPGA会继续正常配置并进入用户模式。如果签名无效，FPGA将停止配置，并且不会进入用户模式。

私钥保留在您的计算机上，不会与任何人共享。FPGA只有公钥：位流包含公钥数据和签名，而保险丝包含散列公钥。您只能使用私钥对位流进行签名。

没有私钥，攻击者就无法对被篡改的位流进行重新签名。

禁用JTAG访问

FPGA支持JTAG阻塞，通过熔断保险丝来禁用JTAG对FPGA的访问。保险丝熔断后，除了读取FPGA IDCODE、读取DEVICE_STATUS和使能BYPASS模式外，您无法执行任何JTAG操作。要完全加密FPGA，必须熔断JTAG保险丝。



重要：但是，保险丝一旦熔断，就不能在该FPGA中再次使用JTAG（IDCODE、DEVICE_STATUS和BYPASS除外）。因此，熔断保险丝是制造过程中的最后一步。

加密电路编程要求

要在FPGA中编程安全加密电路，请遵循以下要求：

- 在加密电路编程过程中，避免器件配置或其他与加密电路编程无关的JTAG操作。
- 仅在所有其它电源上升至标称电压之后才上电VQPS。
- VQPS通电后，至少等待10ms，然后发出JTAG指令进行加密电路编程。
- 通过JTAG完成加密电路编程后，至少等待10ms，然后关闭VQPS电源。
- 如果需要，其他电源只有在VQPS电源低于其标称电压电平的25%后才能断电。

图四十六：加密电路编程波形



了解更多：请参阅《[Efinity Programmer User Guide](#)》中的“Securing 钛金系列 Bitstream”一节。

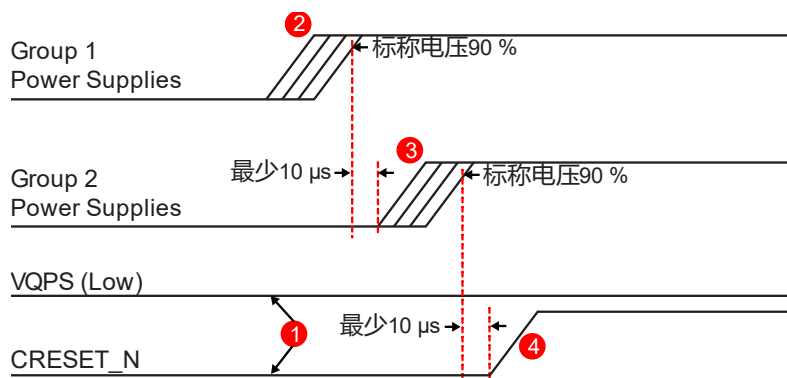
上下电时序



重要：钛金系列FPGA通电时，**必须**遵循以下上下电顺序：

上电时序

图四十六：上电时序



注意：有关其他要求，请参阅[LPDDR4X SDRAM上电/下电要求](#)。

1. CRESET_N输入必须保持**低电平**，直到所有电源都上电。此外，VQPS必须**始终保持低电平**，除非您需要熔断TJ180A484S安全加密电路。



注意：如果需要熔断开发板上TJ180A484S FPGA的安全加密电路，请参阅[加密电路编程要求](#)一节。

2. 先给第1组的电源上电，无特定上电顺序。



重要：确保电源上电率在[表五十九：电源上电率](#)所示的范围内。

3. 在第1组电源达到其标称电压电平的90%后最少10 μs后，第2组电源可以以任何顺序上电。
4. 最后，在所有电源达到其标称电压电平的90%后最少10 μs后，CRESET_N输入可以释放到高电平。
5. FPGA现在可以进行配置了。



注意：在SPI闪存器件中已存储配置位流文件和SPI主硬件连接正确建立的情况下，在CRESET_N信号从低电平转换为高电平后，SPI主配置会自动启动。

表五十二：上电组

如果您需要熔断安全加密电路，请参阅[加密电路编程要求](#)。

上电顺序	
第1组	第2组
VCC VCCA	VCCAUX VCCIO VCCIO33
MIPI D-PHY	
-	VCC18A_MIPI
DDR DRAM控制器	
VDD_PHY VDDPLL_MCB_TOP_PHY	VDDQ_PHY VDDQX_PHY VDDQ_CK_PHY



注意：有关时序信息，请参阅“[配置时序](#)”。

表五十三：未使用资源和功能的连接要求

未使用资源/功能	引脚	备注
PLL	VCCA	连接到VCC。
HSIO Bank	VCCIO	连接到1.2 V、1.5 V或1.8 V。
HVIO Bank	VCCIO33	连接至1.8 V、2.5 V、3.0 V或3.3 V。
MIPI	VCC18A_MIPI	连接到VCC。
DDR	VDD_PHY	保持未连接。
	VDDPLL_MCB_TOP_PHY	保持未连接。
	VDDQ_PHY	保持未连接。
	VDDQX_PHY	保持未连接。
	VDDQ_CK_PHY	保持未连接。
安全（熔断加密电路）	VQPS	接地。



了解更多：有关未使用资源的连接要求，请参阅《[钛金系列 Hardware Design Checklist and Guidelines](#)》。

LPDDR4X SDRAM上电/下电要求

LPDDR4X SDRAM器件的电源电压上升率见下表。

- VDD1的上电时间必须与VDD2同时或更早。
- VDD2的上电时间必须与VDDQ同时或更早。

表五十四：LPDDR4X电压上电条件

直至	适用条件
达到Ta后	VDD1必须大于VDD2。 VDD2必须大于VDDQ-200 mV。

注意事项：

- Ta是任何电源首先达到300mV的点。
- 这些电压上电条件适用于Ta和下电（受控或非受控）之间。
- Tb是所有电源电压和参考电压都在其定义范围内的点。
- 上电持续时间 t_{INIT0} （ $T_b - T_a$ ）不得超过20 ms。



了解更多：有关LPDDR4X相关上下电时序的其他详细要求，请参阅JEDEC标准。

下电顺序

TJ180A484S FPGA没有特定的下电顺序。但是，VQPS电源必须符合[加密电路编程要求](#)。

电源电流瞬态

在上电期间，您可能会在专用电源导轨上观察到浪涌电流。您必须确保在开发板中选择的电源在上电期间满足电流要求，并在用户模式期间达到预估电流。使用Power Estimator计算用户模式期间的预估电流。

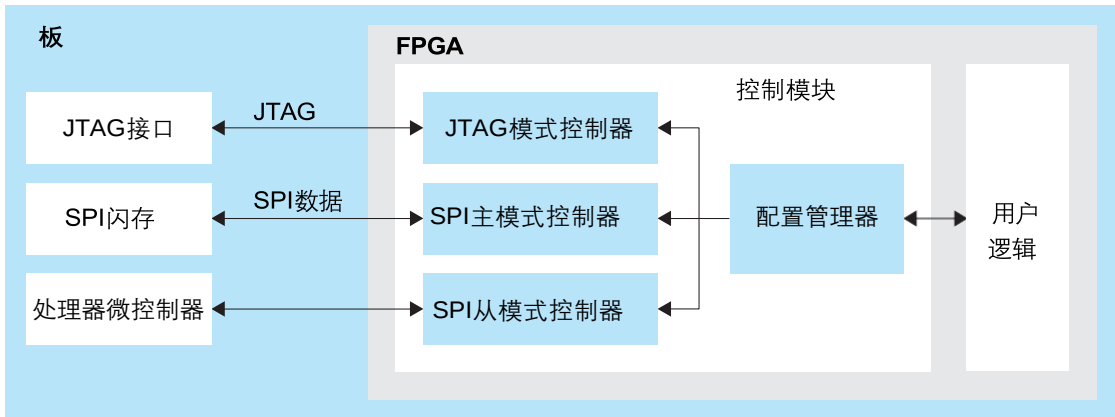
表五十五：最小电源电流瞬态

电源	最小电源电流瞬态	单位
VCC	1, 500	mA

配置

TJ180 FPGA包含易失性配置RAM（CRAM）。用户必须在上电时以及FPGA进入正常操作之前，为所需逻辑功能配置CRAM。FPGA的控制模块管理配置过程，并使用位流对CRAM进行编程。Primus[®]软件负责根据设计生成位流。您可以在SPI主动、SPI被动或JTAG模式下配置TJ180 FPGA。

图四十七：高级配置选项



在主动模式下，FPGA控制配置过程。配置时钟可以由FPGA内的振荡器电路提供，也可以由连接到EXT_CONFIG_CLK引脚的外部时钟提供。位流通常存储在外部串行闪存器件中，该器件在FPGA请求时提供位流。

控制模块发送指令和地址以读取配置数据。首先，控制模块发出下电释放指令以唤醒外部SPI闪存。然后，至少等待30 μs ，发出快速读取命令，从3字节寻址模式下的地址24h' 000000或4字节寻址模式的地址32'h00000000读取SPI闪存的内容。

在被动模式下，FPGA是从器件，依靠外部主机提供配置所需的控制、位流和时钟。通常，主器件是处于主动模式的微控制器或另一FPGA。在CRESET置于无效电平后，控制器必须等待至少32 μs 才能发送位流。

在JTAG模式下，您可以通过JTAG接口配置FPGA。

支持的配置模式

表五十六：TJ180不同封装配置模式

配置模式	宽度	A484S
主动	X1	✓
	X2	✓
	X4	✓
	X8	✓
被动	X1	✓
	X2	✓
	X4	✓
	X8	✓
	X16	✓ ⁽⁷⁾
	X32	✓ ⁽⁷⁾
JTAG	X1	✓



了解更多：有关更多信息，请参阅《AN 033: Configuring 钛金系列 FPGAs》。

⁽⁷⁾ 使能安全模式时不支持。

特性和时序

直流和开关特性



重要：所有规格均为初步、待定的硬件特性。

表五十七：绝对最大额定值⁽⁸⁾

超出列出的条件可能会对器件造成永久性损坏。器件在绝对最大额定值下长时间运行会对器件产生不利影响。

符号	说明	最小值	最大值	单位
VCC	内核电源	-0.5	1.05	V
VCCA	PLL模拟电源	-0.5	1.05	V
VCCAUX	1.8 V辅助电源	-0.5	1.98	V
VCCIO	HSIO bank电源	-0.5	1.98	V
VCCI033	HVIO bank电源	-0.5	3.63	V
VCC18A_MIPI0_TX VCC18A_MIPI2_TX	MIPI 1.8 V TX模拟电源	-0.5	1.98	V
VCC18A_MIPI0_RX VCC18A_MIPI2_RX	MIPI 1.8 V RX模拟电源	-0.5	1.98	V
VDD1	DRAM 1内核电源	-0.4	2.1	V
VDD2	DRAM 2内核电源/输入BUF电源	-0.4	1.5	V
VDDQ	DRAM I/O BUF电源	-0.4	1.5	V
IIN	当器件未打开或上电/下电时，允许通过任何I/O引脚的最大电流 ⁽⁹⁾	-	10	mA
VIN	HVIO输入电压	-0.5	3.63	V
	HSIO输入电压	-0.5	1.98	V
T _J	工作结温	-40	105	°C
TSTG	储存温度，环境温度	-55	150	°C

⁽⁸⁾ 电压规格适用于器件引脚相对于接地的电压，而非电源电压。

⁽⁹⁾ 每个bank的总电流不应超过100 mA。

表五十八：推荐工作条件（C4、I3速度等级）⁽¹⁰⁾

符号	说明	最小值	典型值	最大值	单位
VCC	内核电源	0.92	0.95	0.98	V
VCCA	PLL模拟电源	0.92	0.95	0.98	V
VCCAUX	1.8 V辅助电源	1.75	1.8	1.85	V
VQPS	1.8 V安全保险丝电源	1.71	1.8	1.89	V
VCCIO	1.2 V HSIO bank电源	1.14	1.2	1.26	V
	1.5 V HSIO bank电源	1.425	1.5	1.575	V
	1.8 V HSIO bank电源	1.71	1.8	1.89	V
VCCI033	1.8 V HVIO bank电源	1.71	1.8	1.89	V
	2.5 V HVIO bank电源	2.375	2.5	2.625	V
	3.0 V HVIO bank电源	2.85	3.0	3.15	V
	3.3 V HVIO bank电源	3.135	3.3	3.465	V
VCC18A_MIPI0_TX VCC18A_MIPI2_TX	MIPI 1.8 V模拟电源	1.71	1.8	1.89	V
VCC18A_MIPI0_RX VCC18A_MIPI2_RX	MIPI 1.8 V模拟电源	1.71	1.8	1.89	V
VDD1	DRAM 1内核电源	1.70	1.80	1.95	V
VDD2	DRAM 2内核电源/输入BUF电源	1.06	1.10	1.17	V
VDDQ	DRAM I/O BUF电源	0.57	0.60	0.65	V
VDD_PHY	LPDDR4和LPDDR4x数字电源	0.82	0.85	0.88	V
VDDPLL_MCB_TOP_PHY	LPDDR4和LPDDR4x PLL电源	0.82	0.85	0.88	V
VDDQ_PHY	LPDDR4 I/O电源	1.06	1.1	1.17	V
	LPDDR4x I/O电源	0.57	0.6	0.65	V
VDDQX_PHY	LPDDR4 I/O预驱动电源	1.06	1.1	1.17	V
	LPDDR4x I/O预驱动电源	1.06	1.1	1.17	V
VDDQ_CK_PHY	时钟LPDDR4 I/O电源	1.06	1.1	1.17	V
	时钟LPDDR4x I/O电源	0.57	0.6	0.65	V
TJCOM	工作结温，商用	0	-	85	° C
TJIND	工作结温，工业	-40	-	100	° C



注意：因TJ180器件合封内存颗粒为LPDDR4X器件，故您只需关注LPDDR4X相关规格即可。

⁽¹⁰⁾ 电压规格适用于器件引脚相对于接地的电压，而非电源电压。

表五十九：电源上电率

符号	说明	最小值	最大值	单位
tRAMP	所有电源的电源变化率。	$0.1 * V_{\text{supply}}$	10	V/ms

表六十：HVIO直流电气特性

I/O标准	V _{IL} (V)		V _{IH} (V)		V _{OL} (V)	V _{OH} (V)
	最小值	最大值	最小值	最大值	最大值	最小值
3.3 V LVCMOS	-0.3	0.8	2.1	3.465	0.2	VCCIO33 - 0.2
3.0 V LVCMOS	-0.3	0.8	2.1	3.15	0.2	VCCIO33 - 0.2
3.3 V LVTTTL	-0.3	0.8	2.1	3.465	0.4	2.4
3.0 V LVTTTL	-0.3	0.8	2.1	3.15	0.4	2.4
2.5 V LVCMOS	-0.3	0.45	1.7	2.625	0.4	2.0
1.8 V LVCMOS	-0.3	0.58	1.27	1.89	0.45	VCCIO33 - 0.45
1.8 V LVCMOS (JTAG) ⁽¹¹⁾	-0.3	0.28	1.27	1.89	0.45	VCCIO33 - 0.45

表六十一：HVIO直流电气特性

电压 (V)	典型滞后 (mV) ⁽¹²⁾	输入泄漏电流 (μA)	三态输出泄漏电流 (μA)
3.3	250	±25	±10
2.5	250	±25	±10
1.8	200	±25	±10

表六十二：配置为单端I/O的HSIO引脚直流电气特性

I/O标准	V _{IL} (V)		V _{IH} (V)		V _{OL} (V)	V _{OH} (V)
	最小值	最大值	最小值	最大值	最大值	最小值
1.8 V LVCMOS	-0.3	0.58	1.27	1.89	0.45	VCCIO - 0.45
1.5 V LVCMOS	-0.3	0.35 * VCCIO	0.65 * VCCIO	1.575	0.25 * VCCIO	0.75 * VCCIO
1.2 V LVCMOS	-0.3	0.35 * VCCIO	0.65 * VCCIO	1.26	0.25 * VCCIO	0.75 * VCCIO
1.8 V HSTL	-	VREF - 0.1	VREF + 0.1	-	0.4	VCCIO - 0.4
1.5 V HSTL	-	VREF - 0.1	VREF + 0.1	-	0.4	VCCIO - 0.4
1.2 V HSTL	-0.15	VREF - 0.08	VREF + 0.08	VREF + 0.15	0.25 * VCCIO	0.75 * VCCIO
1.8 V SSTL	-0.3	VREF - 0.125	VREF + 0.125	VCCIO + 0.3	VTT - 0.603	VTT + 0.603
1.5 V SSTL	-	VREF - 0.1	VREF + 0.1	-	0.2 * VCCIO	0.8 * VCCIO
1.2 V SSTL	-	VREF - 0.1	VREF + 0.1	-	0.2 * VCCIO	0.8 * VCCIO

⁽¹¹⁾ 用于JTAG配置模式。⁽¹²⁾ 用于启用施密特触发器的输入引脚。

表六十三：配置为单端I/O的HSIO引脚直流电气特性

I/O标准	VREF (V)			Vtt (V)		
	最小值	典型值	最大值	最小值	典型值	最大值
1.8 V HSTL	0.85	0.9	0.95	-	$0.5 * VCCIO$	-
1.5 V HSTL	0.68	0.75	0.9	-	$0.5 * VCCIO$	-
1.2 V HSTL	$0.47 * VCCIO$	$0.5 * VCCIO$	$0.53 * VCCIO$	-	$0.5 * VCCIO$	-
1.8 V SSTL	0.833	0.9	0.969	$VREF - 0.04$	VREF	$VREF + 0.04$
1.5 V SSTL	$0.49 * VCCIO$	$0.5 * VCCIO$	$0.51 * VCCIO$	$0.49 * VCCIO$	$0.5 * VCCIO$	$0.51 * VCCIO$
1.2 V SSTL	$0.49 * VCCIO$	$0.5 * VCCIO$	$0.51 * VCCIO$	$0.49 * VCCIO$	$0.5 * VCCIO$	$0.51 * VCCIO$

表六十四：配置为差分SSTL I/O的HSIO引脚电气特性

I/O标准	VSWING (直流) (V)		VX (交流) (V)			VSWING (交流) (V)	
	最小值	最大值	最小值	典型值	最大值	最小值	最大值
1.8 V SSTL	0.25	$VCCIO + 0.6$	$VCCIO/2 - 0.175$	-	$VCCIO/2 + 0.175$	0.5	$VCCIO + 0.6$
1.5 V SSTL	0.2	-	$VCCIO/2 - 0.15$	-	$VCCIO/2 + 0.15$	0.35	-
1.2 V SSTL	0.18	-	$VREF - 0.15$	$VCCIO / 2$	$VREF + 0.15$	-0.3	0.3

表六十五：配置为差分HSTL I/O的HSIO引脚电气特性

I/O标准	VDIF (直流) (V)		VX (交流) (V)			VCM (直流) (V)			VDIF (交流) (V)	
	最小值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	最小值	最大值
1.8 V HSTL	0.2	-	0.78	-	1.12	0.78	-	1.12	0.4	-
1.5 V HSTL	0.2	-	0.68	-	0.9	0.68	-	0.9	0.4	-
1.2 V HSTL	0.16	$VCCIO + 0.3$	-	$0.5 * VCCIO$	-	$0.4 * VCCIO$	$0.5 * VCCIO$	$0.6 * VCCIO$	0.3	$VCCIO + 0.48$

表六十六：配置为单端I/O的HSIO引脚直流电气特性

电压 (V)	典型滞后 (mV) ⁽¹³⁾	输入泄漏电流 (μA)	三态输出泄漏电流 (μA)
1.8	200	± 25	± 10
1.5	160	± 25	± 10
1.2	140	± 25	± 10

⁽¹³⁾ 用于启用施密特触发器的输入引脚。

表六十七：支持的HVIO驱动强度

I/O标准	驱动强度	单位
3.3 V LVTTTL	4, 8, 12, 16	mA
3.3 V LVCMOS	2, 4, 6, 8	mA
3.0 V LVTTTL	4, 8, 12, 16	mA
3.0 V LVCMOS	2, 4, 6, 8	mA
2.5 V LVCMOS	4, 8, 12, 16	mA
1.8 V LVCMOS	4, 8, 12, 16	mA

表六十八：支持的HSIO驱动强度

I/O标准	驱动强度	单位
1.8 V LVCMOS	4, 8, 12, 16	mA
1.5 V LVCMOS	4, 8, 12, 16	mA
1.2 V LVCMOS	2, 4, 8, 12	mA
1.8 V SSTL	4, 8, 10, 12	mA
1.5 V SSTL	4, 8, 10, 12	mA
1.2 V SSTL	4, 8, 10, 12	mA
1.8 V HSTL	4, 8, 10, 12	mA
1.5 V HSTL	4, 8, 10, 12	mA
1.2 V HSTL	4, 8, 10, 12	mA

表六十九：最大翻转率

I/O	I/O标准	速度等级	串化模式	最大翻转率 (Mbps) (14) (15)
HVIO	3.0 V / 3.3 V LVTTTL、3.0 V / 3.3 V LVCMOS	全部	-	200
HVIO	2.5 V LVCMOS	全部	-	100
HVIO	1.8 V LVCMOS	全部	-	400
HSIO	1.8 V / 1.5 V / 1.2 V LVCMOS	全部	-	400
HSIO	1.8 V / 1.5 V / 1.2 V SSTL、1.8 V / 1.5 V / 1.2 V HSTL	全部	-	800
HSIO	LVDS	I3、C4	全速率	1,000
			半速率	1,500
HSIO	Sub-LVDS	I3、C4	全速率	1,000
			半速率	1,250
HSIO	MIPI lane	I3、C4	-	1,500

表七十：HVIO内部弱上拉和下拉电阻

I/O标准	内部上拉			内部下拉			单位
	最小值	典型值	最大值	最小值	典型值	最大值	
3.3 V LVTTTL/LVCMOS	25	42	67	24	29	33	k Ω
3.0 V LVTTTL/LVCMOS	25	42	67	24	29	33	k Ω
2.5 V LVCMOS	25	42	67	24	29	33	k Ω
1.8 V LVCMOS	25	35	45	24	29	33	k Ω

⁽¹⁴⁾ 最大翻转率取决于驱动强度和外部负载条件。执行IBIS仿真来确定最佳驱动强度设置，实现目标切换速率。

⁽¹⁵⁾ 除了LVTTTL和LVCMOS标准的负载为15 pF之外，其他所有I/O标准的负载都为5 pF。

表七十一：HSIO内部弱上拉和下拉电阻

CDONE和CRESET_N的内部弱上拉也有这些值。

I/O标准	内部上拉			内部下拉			单位
	最小值	典型值	最大值	最小值	典型值	最大值	
1.8 V LVCMOS/HSTL/SSTL	18	27	47	18	27	47	k Ω
1.5 V LVCMOS/HSTL/SSTL	22	38	65	22	38	65	k Ω
1.2 V LVCMOS/HSTL/SSTL	40	66	135	40	66	135	k Ω

表七十二：单端I/O可编程延迟链步长

延迟类型	速度等级	每步长延迟			单位
		最小值	典型值	最大值	
静态	C4, I3	35	55	75	ps
动态	C4, I3	12	18	24	ps

表七十三：差分I/O可编程延迟链步长

延迟类型	速度等级	每步长延迟			单位
		最小值	典型值	最大值	
静态和动态	C4, I3	12	18	24	ps

表七十四：块RAM、DSP模块、全局时钟缓冲、DPA和MIPI D-PHY性能

说明	所有速度等级	单位
块RAM最大频率	1,000	MHz
DSP模块最大频率	1,000	MHz
全局时钟BUF模块最大频率	1,000	MHz
MIPI D-PHY模块最高数据速率	2,500	Mbps
DPA最高数据速率	1,000	Mbps

表七十五：DDR DRAM接口性能

说明	封装	FPGA速度等级	单位
		C4、I3	
LPDDR4/4x DRAM接口最高数据速率	A484S	2.5	Gbps



注意：因TJ180器件合封内存颗粒为LPDDR4X器件，故您只需关注LPDDR4X相关规格即可。

表七十六： LPDDR4/LPDDR4x的V_{IH}、V_{IL}、V_{OL}和V_{OH}规格

描述	V _{IL} (V)		V _{IH} (V)		V _{OL} (V)	V _{OH} (V)
	最小值	最大值	最小值	最大值	最大值	最小值
LPDDR4	—	(V _{DDQ_PHY} / 6) — 0.075	(V _{DDQ_PHY} / 6) + 0.075	—	V _{DDQ_PHY} * 0.1	V _{DDQ_PHY} * 0.5
LPDDR4x	—	(V _{DDQ_PHY} / 4) — 0.075	(V _{DDQ_PHY} / 4) + 0.075	—	V _{DDQ_PHY} * 0.1	V _{DDQ_PHY} * 0.5



注意： 因TJ180器件合封内存颗粒为LPDDR4X器件，故您只需关注LPDDR4X相关规格即可。

HSIO电气和时序规范

HSIO引脚符合LVDS EIA/TIA-644电气规范。



重要：所有规格均为初步、待定的硬件特性。

HSIO作为LVDS、Sub-LVDS、Bus-LVDS、RSDS、mini-LVDS和SLVS

表七十七：配置为LVDS时的HSIO电气规范

参数	说明	测试条件	最小值	典型值	最大值	单位
LVDS TX						
VCCIO	LVDS发送电压供应	-	1.71	1.8	1.89	V
VOD	输出差分电压	RL = 100 Ω	200	350	450	mV
ΔV_{OD}	V _{OD} 更改	-	-	-	50	mV
VOCM	输出共模电压	-	1.125	1.2	1.375	V
ΔV_{OCM}	V _{OCM} 更改	-	-	-	50	mV
LVDS RX						
VID	输入差分电压	-	100	-	600	mV
VICM	输入共模电压 (f _{max} ≤ 1000 Mbps)	-	100	-	1,600	mV
	输入共模电压 (f _{max} > 1000 Mbps)	-	700	-	1,400	mV
V _i	输入电压有效范围	-	0	-	1.89	V

表七十八：配置为LVDS时的HSIO时序规范

参数	说明	最小值	典型值	最大值	单位
tLVDS_CPA	LVDS TX参考时钟输出相位精度	-5	-	+5	%
tLVDS_skew	LVDS TX线间偏斜	-	200	-	ps

表七十九：配置为Sub-LVDS时的HSIO电气规范

参数	说明	测试条件	最小值	典型值	最大值	单位
Sub-LVDS TX						
VCCIO	Sub-LVDS发送电压供应	-	1.71	1.8	1.89	V
VOD	输出差分电压	RL = 100 Ω	100	150	200	mV
ΔV_{OD}	V_{OD} 更改	-	-	-	50	mV
VOCM	输出共模电压	-	0.8	0.9	1.0	V
$\Delta VOCM$	V_{OCM} 更改	-	-	-	50	mV
Sub-LVDS RX						
VID	输入差分电压	-	100	-	600	mV
VICM	输入共模电压	-	100	-	1600	mV
V_i	输入电压有效范围	-	0	-	1.89	V

表八十：配置为Bus-LVDS时的HSIO电气规范

参数	说明	测试条件	最小值	典型值	最大值	单位
Bus-LVDS TX						
VCCIO	LVDS发送电压供应	-	1.71	1.8	1.89	V
VOD	差分输出电压	RL = 27 Ω	200	250	300	mV
ΔV_{OD}	VOD的静态差异（0和1之间）	-	-	-	50	mV
VOC	输出共模电压	-	1.125	1.2	1.375	V
ΔV_{OC}	输出共模电压偏移	-	-	-	50	mV
Bus-LVDS RX						
VID	差分输入电压	-	100	-	600	mV
VIC	差分输入共模	-	100	-	1600	mV
V_i	有效输入电压范围	-	0	-	1.89	V

表八十一：配置为RSDS、Mini-LVDS和SLVS时的HSIO电气规范

IO标准	V_{ID} (mV)		V_{ICM} (mV)		V_{OD} (mV)			V_{OCM} (mV)		
	最小值	最大值	最小值	最大值	最小值	典型值	最大值	最小值	典型值	最大值
RSDS	100	-	300	1400	100	200	600	500	1200	1400
mini-LVDS	200	600	400	1325	250	-	600	1000	1200	1400
SLVS	100	400	100	300	150	200	250	140	200	270

HSIO作为高速和低功耗MIPI lane

MIPI发送和接收lane符合MIPI联盟规范的D-PHY 1.1修订版。

表八十二：配置为高速MIPI TX时的HSIO直流规范

参数	说明	最小值	典型值	最大值	单位
VCCIO	高速发送电压供应	1.14	1.2	1.26	V
VCMTX	高速传输静态共模电压	150	200	250	mV
$ \Delta V_{\text{CMTX}} $	输出为差分 - 1或差分 - 0时, V_{CMTX} 不匹配	-	-	5	mV
$ V_{\text{OD}} $	高速传输差分电压	140	200	270	mV
$ \Delta V_{\text{OD}} $	输出为差分 - 1或差分 - 0时, V_{OD} 不匹配	-	-	14	mV
VOHHS	高速输出高压	-	-	360	mV
VCMRX	高速接收模式的共模电压	70	-	330	mV

表八十三：配置为低功耗MIPI TX时的HSIO直流规范

参数	说明	最小值	典型值	最大值	单位
VOH	戴维宁输出高电平	1.1	1.2	1.3	V
VOL	戴维宁输出低电平	-50	-	50	mV
ZOLP	低功耗发送输出阻抗	110	-	-	Ω

表八十四：配置为高速MIPI RX时的HSIO直流规范

参数	说明	最小值	典型值	最大值	单位
VCMRX (DC)	共模电压高速接收模式	70	-	330	mV
VIDTH	差分输入高阈值	-	-	70	mV
VIDTL	差分输入低阈值	-70	-	-	mV
VIHHS	单端输入高压	-	-	460	mV
VILHS	单端输入低压	-40	-	-	mV

表八十五：配置为低功耗MIPI RX时的HSIO直流规范

参数	说明	最小值	典型值	最大值	单位
VIH	逻辑1输入电压	880	-	-	mV
VIL	逻辑0输入电压, 不处于超低功耗状态	-	-	550	mV
VIL-ULPS	逻辑0输入电压, 超低功耗状态	-	-	300	mV
VHYST	输入滞后	25	-	-	mV

MIPI电气规范和时序



重要：所有规格均为初步、待定的硬件特性。

MIPI D-PHY发送和接收符合MIPI联盟规范的D-PHY 1.2修订版。

表八十六：高速MIPI D - PHY发送（TX）直流规范

参数	说明	最小值	典型值	最大值	单位
V _{CMTX}	高速传输静态共模电压	150	200	250	mV
$\Delta V_{CMTX}(1,0)$	输出为差分 - 1或差分 - 0时，V _{CMTX} 不匹配	-	-	5	mV
V _{od}	高速传输差分电压	140	200	270	mV
ΔV_{od}	输出为差分-1或差分-0时，V _{OD} 不匹配	-	-	14	mV
V _{OHHS}	高速输出高压	-	-	360	mV
Z _{OS}	单端输出阻抗	40	50	60	Ω
ΔZ_{os}	单端输出阻抗不匹配	-	-	20	%

表八十七：高速MIPI D - PHY发送（TX）交流规范

参数	说明	最小值	典型值	最大值	单位
$\Delta V_{CMTX}(HF)$	450 MHz以上的共模电平变化	-	-	15	mV _{RMS}
$\Delta V_{CMTX}(LF)$	50至450 MHz之间的共模电平变化	-	-	25	mV _{PEAK}
t _r and t _f	上升和下降时间 < 1.0Gbps	-	-	0.3	UI
	上升和下降时间 > 1.0Gbps	-	-	0.35	UI
	上升和下降时间 > 1.5Gbps	-	-	0.4	UI

表八十八：低功耗MIPI D - PHY发送（TX）直流规范

参数	说明	最小值	典型值	最大值	单位
V _{OH}	戴维宁输出高电平	0.95	1.2	1.3	V
V _{OL}	戴维宁输出低电平	- 50	-	50	mV
Z _{OLP}	低功耗发送的输出阻抗	110	-	-	Ω

表八十九：低功耗MIPI D-PHY发送（TX）交流规范

参数	说明	最小值	典型值	最大值	单位
TRLP/TFLP	15%-85%上升时间和下降时间	-	-	25	ns
TREOT	30%-85%上升时间和下降时间	-	-	35	ns
TLP-PULSE-TX	停止状态后的第一个LP异或时钟脉冲或停止状态前的最后一个脉冲的脉宽	40	-	-	ns
	所有其他脉冲的脉宽	-	20	-	ns
TLP-PER-TX	LP异或时钟的周期	90	-	-	ns
$\delta V / \delta t_{SR}$	压摆率 @ $C_{LOAD} = 50pF < 1.5 \text{ Gbps}$	30	-	150	mV/ns
	压摆率 @ $C_{LOAD} = 50pF > 1.5 \text{ Gbps}$	25	-	150	mV/ns

表九十：高速MIPI D-PHY接收（RX）直流规范

参数	说明	最小值	典型值	最大值	单位
VCMRX (DC)	共模电压高速接收模式	70	-	330	mV
ZID	差分输入阻抗	80	100	120	Ω

表九十一：高速MIPI D-PHY接收（RX）交流规范

参数	说明	最小值	典型值	最大值	单位
$\Delta V_{CMRX} (HF)$	450 MHz以上的共模点干扰	-	-	50	mV
$\Delta V_{CMRX} (LF)$	50 MHz至450 MHz之间的共模点干扰	-	-	25	mV
VIDTH	差分输入高阈值	-	-	40	mV
VIDTL	差分输入低阈值	- 40	-	-	mV
VIHHS	单端输入高压	-	-	460	mV
VILHS	单端输入低压	- 40	-	-	mV
VTERM - EN	高速终端使能的单端阈值	-	-	450	mV
CCP	共模点终端	-	-	60	pF

表九十二：低功耗MIPI D-PHY接收（RX）直流规范

参数	说明	最小值	典型值	最大值	单位
VIH	逻辑1输入电压	740	-	-	mV
VIL	逻辑0输入电压，不处于超低功耗状态	-	-	550	mV
VIL - ULPS	逻辑0输入电压，超低功耗状态	-	-	300	mV
VHYST	输入滞后	25	-	-	mV

表九十三：低功耗MIPI D-PHY接收（RX）交流规范

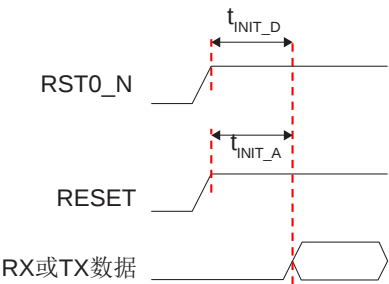
参数	说明	最小值	典型值	最大值	单位
TMIN-RX	最小脉宽响应	20	-	-	ns
VINT	峰值干扰幅度	-	-	200	mV
fINT	干扰频率	450	-	-	MHz

MIPI复位时序

MIPI RX和TX接口有两个复位信号（RESET和RST0_N），可用来复位D-PHY控制器逻辑。这两个信号为低电平有效，您应该将其一起使用来复位MIPI接口。

以下波形展示了复位MIPI接口所需的最短时间。

图四十八：RESET和RST0_N时序图



表九十四：MIPI时序

符号	参数	最小值	典型值	最大值	单位
t_{INIT_A}	RESET的上升沿与MIPI RX或TX数据开始之间的最短时间。	350	-	-	μs
t_{INIT_D}	RST0_N的上升沿与MIPI RX或TX数据开始之间的最短时间。	1	-	-	clk

PLL时序和交流特性

下表介绍了PLL时序和交流特性。



重要：所有规格均为初步、待定的硬件特性。

表九十五：PLL时序

符号	参数	最小值	典型值	最大值	单位
FIN	输入时钟频率	16	–	800	MHz
FOUT	输出时钟频率	0.1342	–	1,000	MHz
FOUT	PLL BR0 CLKOUT0 (DDR PHY输入时钟) 的输出时钟频率	0.24	–	800	MHz
FVCO	PLL VCO频率	2,200	–	5,500	MHz
FPLL	后分频器PLL VCO频率	–	–	4,000	MHz
FPPD	鉴频鉴相器输入频率	16	–	800	MHz

表九十六：PLL交流特性⁽¹⁶⁾

符号	参数	最小值	典型值	最大值	单位
tDT	输出时钟占空比	45	50	55	%
tOPJIT (PK – PK) ⁽¹⁷⁾	输出时钟周期抖动 (PK-PK)	–	–	200	ps
tOPJITN (PK – PK) ⁽¹⁸⁾ (19)	具有噪声输入的输出时钟周期抖动 (PK-PK)	–	–	400	ps
tPLL_HLW	PLL输入时钟高/低脉宽	0.56	–	–	ns
tLOCK	PLL锁定时间	–	300	500	PFD (20)

⁽¹⁶⁾ 标称电压和室温下的试验条件。

⁽¹⁷⁾ 当施加20 ps的输入抖动时，输出抖动规范适用于PLL抖动。

⁽¹⁸⁾ 输出抖动规范适用于PLL抖动，最大允许输入抖动为800 ps。

⁽¹⁹⁾ 周期抖动是在最小内核和I/O活动的10000个样本大小上测量的。

⁽²⁰⁾ PFD周期等于参考时钟分频除以参考时钟频率。

配置时序



重要：所有规格均为初步、待定的硬件特性。

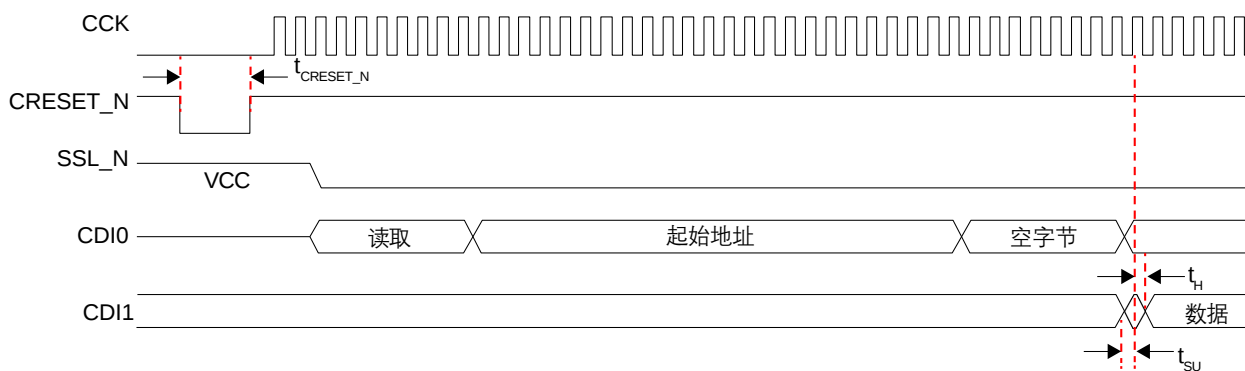
TJ180 FPGA具有以下配置时序规范。



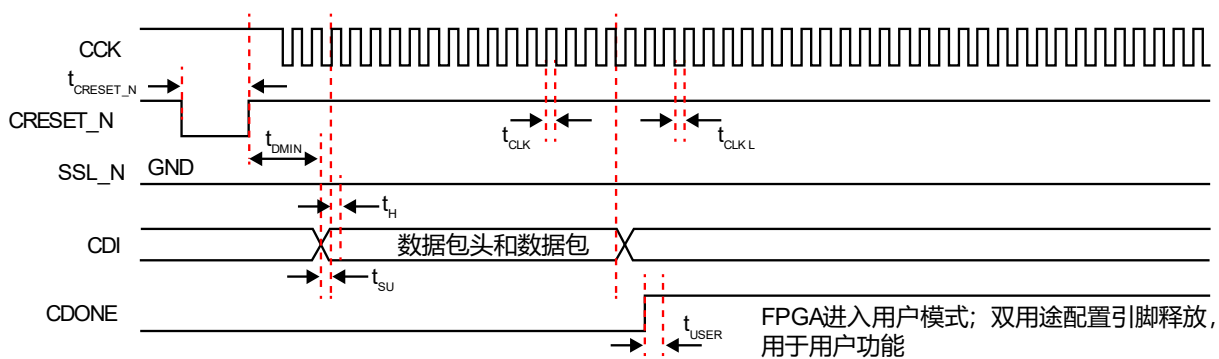
注意：有关详细配置信息，请参阅《[AN 033: Configuring 钛金系列 FPGAs](#)》。

时序波形

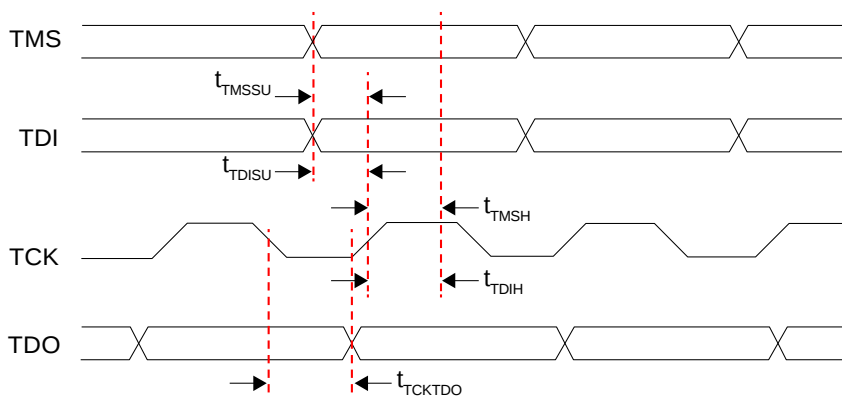
图四十九：SPI主模式（x1）时序



图五十：SPI从模式（x1）时序



图五十一：JTAG时序波形



时序参数

表九十七：所有模式

符号	参数	最小值	典型值	最大值	单位
tCRESET_N	触发重新配置所需的最小CRESET_N低脉宽	0.32	–	–	μs
tUSER	在进入用户模式之前，CDONE变高电平之后的最短配置持续时间 ⁽²¹⁾ ⁽²²⁾ CDONE引脚上10 kΩ上拉电阻和10 pF输出负载的测试条件	25	–	–	μs

表九十八：主模式

符号	参数	频率	最小值	典型值	最大值	单位
fMAX_M	主模式内部配置时钟频率	DIV1	52	80	100	MHz
		DIV2	26	40	52	MHz
		DIV4	13	20	26	MHz
		DIV8	6.5	10	13	MHz
fMAX_M_EXT CLK	主模式外部配置时钟频率	–	–	–	100	MHz
tSU	时钟建立时间。1.8 V I/O标准和0 pF输出负载下的测试条件。	–	3	–	–	ns
tH	保持时间。1.8 V I/O标准和0 pF输出负载下的测试条件。	–	0	–	–	ns

表九十九：从模式

符号	参数	最小值	典型值	最大值	单位
fMAX_S	从模式配置时钟频率	–	–	100	MHz
tCLKH	配置时钟脉宽高	4.8	–	–	ns
tCLKL	配置时钟脉宽低	4.8	–	–	ns
tSU	时钟建立时间	2	–	–	ns
tH	保持时间	1	–	–	ns
tDMIN	从CRESET_N置于无效电平到第一个有效配置数据之间的最短时间	32	–	–	μs

⁽²¹⁾ 在tUSER结束之前，FPGA应进入用户模式，但易灵思建议您保持FPGA的系统接口处于复位状态，直到tUSER结束。

⁽²²⁾ 对于JTAG编程，在CDONE变高并且FPGA接收到来自JTAG主机的ENTERUSER指令（TAP控制器处于UPDATE_IR状态）之后，需要最短的tUSER配置时间。

表一百：JTAG模式

符号	参数	最小值	典型值	最大值	单位
fTCK	TCK频率	–	–	10	MHz
	TCK频率（1.8V）	–	–	3	MHz
tTDISU	TDI设置时间 ⁽²³⁾	15	–	–	ns
tTDIH	TDI保持时间 ⁽²³⁾	2.5	–	–	ns
tTMSSU	TMS设置时间 ⁽²³⁾	15	–	–	ns
tTMSH	TMS保持时间 ⁽²³⁾	2.5	–	–	ns
tTCKTDO	TCK下降沿到TDO输出 ⁽²³⁾	–	–	30	ns

Pinout说明

下表介绍了电源、接地、配置和接口的引脚。

表一百零一：电源和接地引脚

xx表示bank位置。

功能	描述
VCC	内核电源
VCCA_xx	PLL模拟电源
VCCAUX	1.8 V辅助电源
VCCIO33_xx	HVIO bank电源
VCCIOxx	HSIO bank电源
VCCIOxx_yy_zz	多个HSIO bank共用电源。xx、yy和zz是bank所在位置。例如：VCCIO1B_1C表示1B和1C bank共用此电源。
VQPS	加密保险丝的1.8V电源
GND	接地

⁽²³⁾ 适用于所有电压范围。

表一百零二：GPIO引脚

x表示位置（T、B、L或R）；xx表示bank所在位置；n表示数字；yyyy表示功能。

功能	方向	说明
GPIOx_n	I/O	用于用户功能的HVIO。用户I/O引脚为单端。
GPIOx_n_yyyy	I/O	HVIO或多功能引脚。
GPIOx_N_n GPIOx_P_n	I/O	HSIO发送、接收或两者都可。
GPIOx_N_n_yyyy GPIOx_P_n_yyyy	I/O	HSIO发送、接收、两者都可或多功能复用。
REF_RES_xx	-	REF_RES为恒流源偏置电阻。 通过一个10 kΩ $\pm$ 1%的电阻器将以下REF_RES引脚接地： - REF_RES_2A、REF_RES_2C、REF_RES_4A和REF_RES_4C引脚。 - 如果bank中的引脚用作LVDS TX或MIPI TX，则将此bank的REF_RES引脚接地。 - 如果使用内部振荡器，则将REF_RES_3A引脚接地。 - 如果需要使用加密功能，则将REF_RES_3A引脚接地。 如果以上各项均不适用，则可以将REF_RES引脚保持浮空状态。

表一百零三：复用功能引脚

n是数字。

功能	方向	说明
CLKn	输入	全局时钟和控制网络资源的单端输入。输入的数量取决于封装。
CLKn_P/N	输入	用于全局时钟和控制网络资源的差分输入对。如果是单端配置，P引脚可以访问全局时钟并控制网络资源。
PLLINn	输入	PLL参考时钟资源。参考时钟资源的数量取决于封装。

表一百零四：专用配置引脚

配置后，这些引脚不能用作通用I/O。

引脚	方向	说明	在配置过程中使用外部弱上拉
CDONE	I/O	配置完成状态引脚。CDONE是开漏输出；将其连接到VCCIO的外部上拉电阻。当CDONE=1时，配置完成。如果CDONE保持低电平，则器件将不会进入用户模式。	✓
CRESET_N	输入	启动FPGA重新配置（低电平有效）。在将CRESET_N从低电平置于高电平有效前，保持CRESET_N低电平 $t_{\text{creset_N}}$ 时间，来启动FPGA重新配置。此引脚不执行系统复位。	✓
TCK	输入	JTAG测试时钟输入（TCK）。详情参照IEEE1149.1标准。	✓
TMS	输入	JTAG测试模式选择输入（TMS）。详情参照IEEE1149.1标准。	✓
TDI	输入	JTAG测试数据输入（TDI）。详情参照IEEE1149.1标准。	✓
TDO	输出	JTAG测试数据输出（TDO）。详情参照IEEE1149.1标准。	✓

⁽²⁴⁾ 在1.8 V时，CDONE驱动强度为12 mA。

表一百零五：复用配置引脚

在用户模式下（配置后），您可以将这些两用引脚作为通用I/O使用。

引脚	方向	说明	在配置过程中使用外部弱上拉
CBSEL[1:0]	输入	可选的多镜像选择输入（如果使能了外部多镜像配置模式）	⁽²⁵⁾ ✓
CCK	I/O	从SPI输入配置时钟或主SPI输出配置时钟	可选 ⁽²⁶⁾
CDIn	I/O	n可取从0到31的任何数字，具体取决于SPI配置。 0：从设备输入或主设备输出。 1：从设备输出或主设备输入。 n：并行I/O。 在多位菊花链连接中，CDIn（31:0）并行连接到数据总线。	可选 ⁽²⁶⁾
CSI	输入	片选。 0：FPGA未被选择或使能，不会进行配置。 1：选择FPGA进行配置（SPI配置）。	✓
CSO	输出	片选输出。选择下一个器件进行级联配置。	不涉及
NSTATUS	输出	指示配置错误。当FPGA将该引脚驱动为低电平时，表示ID不匹配、位流CRC检查失败或远程更新失败。	不涉及
SSL_N	输入	配置模式选择。FPGA在结束复位后（脉冲CRESET_N从低电平到高电平），读取SSL_N的值。 0：从模式 1：主模式 在主配置模式中，SSL_N用作闪存器件1（CDI0–CDI3）的片选。	可选 ⁽²⁶⁾
SSU_N	输出	在主配置模式（双四线模式）中，SSU_N用作闪存器件2（CDI4–CDI7）的片选。	可选 ⁽²⁶⁾
EXT_CONFIG_CLK	I/O	在主模式下，EXT_CONFIG_CLK引脚连接到外部时钟，用作配置时钟。	可选 ⁽²⁶⁾
TEST_N	输入	测试模式使能信号，低电平有效。设置为1时禁用测试模式。 在配置过程中，可通过外部弱上拉或外部驱动方式，驱动此引脚到高电平。	✓

⁽²⁵⁾ 不适用于单镜像或远程更新。

⁽²⁶⁾ 若外部负载需要上拉，则必选。

表一百零六：DDR引脚（专用）

功能	方向	说明
DDR_CAL	输入	240欧姆接地参考电阻端口。
VDD_PHY	-	DDR数字电源。
VDDQ_PHY	-	DDR I/O电源。
VDDQX_PHY	-	DDR I/O预驱动电源。
VDDPLL_MCB_TOP_PHY	-	DDR PLL电源。
VDDQ_CK_PHY	-	时钟的DDR I/O电源。

表一百零七：DRAM引脚（专用）

功能	方向	说明
VDD1	输入	DRAM 1内核电源
VDD2	输入	DRAM 2内核电源/输入BUF电源
VDDQ	输入	DRAM I/O BUF电源
ZQ	输入	代表校准参考，此引脚用于校准输出驱动强度和端接电阻。ZQ引脚应通过240 Ω $\pm$ 1%的电阻器连接至VDDQ。

表一百零八：专用MIPI D-PHY引脚

n表示数字，L表示lane。

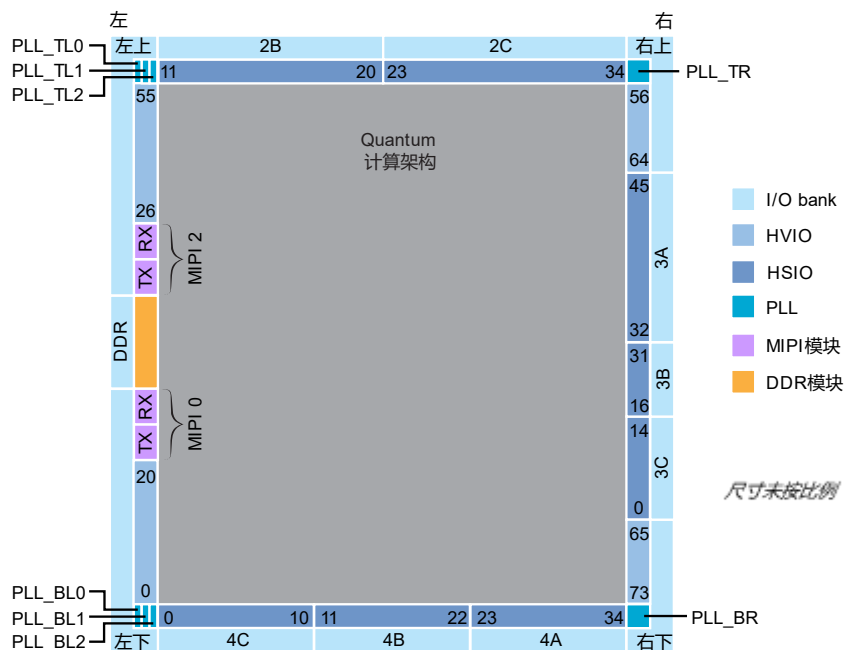
功能	方向	说明
VCC18A_MIPI _n _TX	-	MIPI D-PHY模块电源。
VCC18A_MIPI _n _RX	-	
MIPI _n _TXDPL MIPI _n _TXDNL	I/O	MIPI差分传输数据线。
MIPI _n _RXDPL MIPI _n _RXDNL	I/O	MIPI差分接收数据线。

TJ180接口平面图



注意：平面图中的数字表示HVIO和HSIO的数字范围。在某些封装中，可能不会外合该范围内所有HVIO或HSIO引脚。有关每种封装中可用的引脚信息，请参阅《TJ180 Pinout》。

图五十二：A484S封装平面图



Primus软件支持

Primus[®]软件提供一整套工具支持，从RTL设计到位流生成全部覆盖，包括综合、布局布线、时序分析。Primus[®]软件支持图形用户界面（GUI），软件中项目建立、工具运行流程和结果查看都实现了可视化。此外，Primus[®]软件还拥有一个命令行窗口和Tcl命令控制台。Primus[®]软件支持ModelSim、NCSim或免费的iVerilog仿真工具。集成硬件Debugger配备Logic Analyzer和Virtual I/O调试内核，可帮助您探测设计信号。生成的比特流文件可配置TJ180 FPGA。Primus[®]软件支持Verilog HDL和VHDL语言。

订购代码



35K至1,000K
逻辑单元



10 Kb嵌入式
RAM模块



DSP模块



PLL



高压I/O (HVIO)



高速I/O (HSIO)



MIPI D-PHY
2.5 Gbps



LPDDR4/4x
控制器&PHY

钛金系列订购代码

您可以将HSIO对用于各种差分标准，如LVDS（1.5 Gbps）、差分HSTL/SSTL或MIPI RX和TX数据/时钟lane（1.5 Gbps）。

FPGA	LE	RAM (Mbits)	RAM模块 (10 Kb)	DSP模块	封装	引脚	HVIO	HSIO	PLL	2.5G MIPI D-PHY	LPDDR4/4x	温度	速度等级	订购代码
TJ180	176, 256	13. 11	1, 280	640	FBGA	484 (1)	54	190	8	2 TX 2 RX	X16	C	4	TJ180A484SC4
												I	3	TJ180A484SI3

1. A484S引脚封装中的FPGA是SIP封装，集成了Ti180 FPGA和LPDDR4X SDRAM器件。

封装尺寸

封装	间距	尺寸 (mm)
A484-FBGA	0.65	15 x 15

订购代码示例

钛金系列FPGA

180K逻辑单元

封装代码

A: FBGA SIP封装

引脚数

TJ180 A 484 S C 4

速度等级
3, 4
数字越大，速率越高

工作温度
C: 商业级 (T_j = 0° C到85° C)
I: 工业级 (T_j = -40° C到100° C)

系统级封装
S: 2 Gb LPDDR4X SDRAM

一些订购代码包含额外的字符，指代封装中的其他组件

修订记录

表一百零九：修订记录

日期	版本	说明
2023-12	1.0	首次发布。