



DepEye

深目IP产品 (DEP系列)



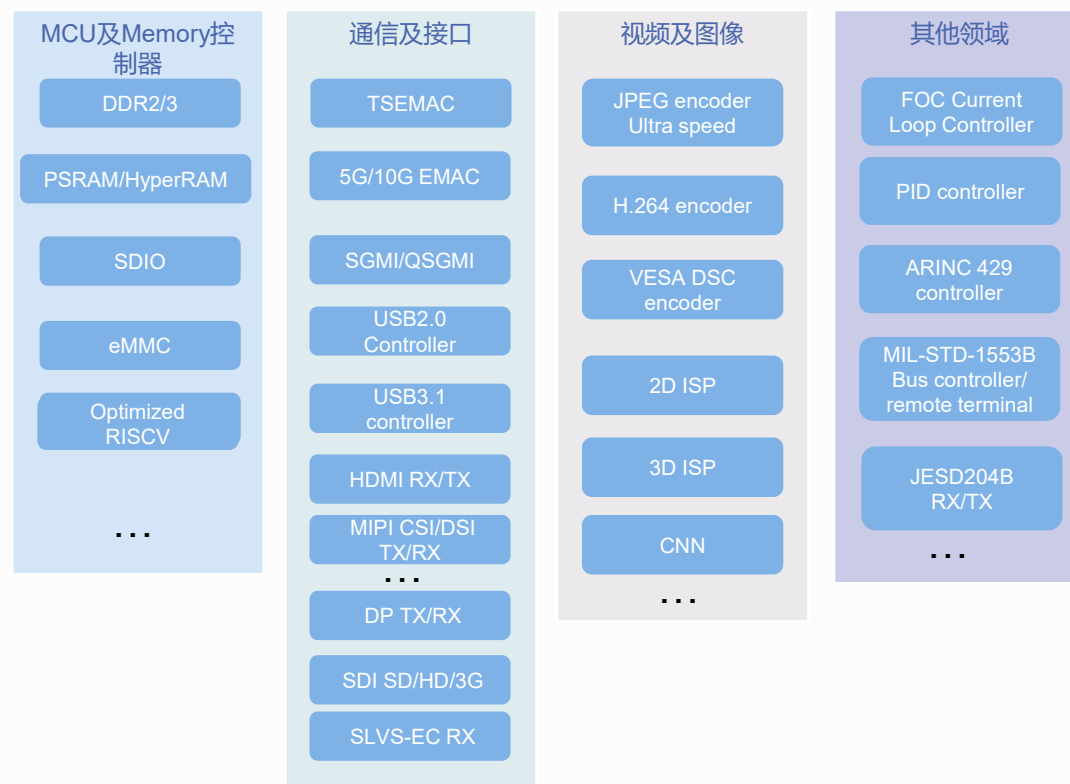
深目IP产品：产品简介

IP资源

- 面向国产FPGA优化的基础IP
 - ❖ 主要包括内存控制器、MCU软核等基础IP
- 通信、接口、视频编码、图像处理等通用IP
 - ❖ 数量：超过 200 个
 - ❖ 作为国产FPGA平台优化的基础IP

IP类产品销售模式

- 解决方案整体授权模式
- IP + SOM 绑定授权模式
- IP网表授权模式
- 特定FPGA平台IP优化设计服务





案例：Efinix Ti 平台 RISC-V 优化

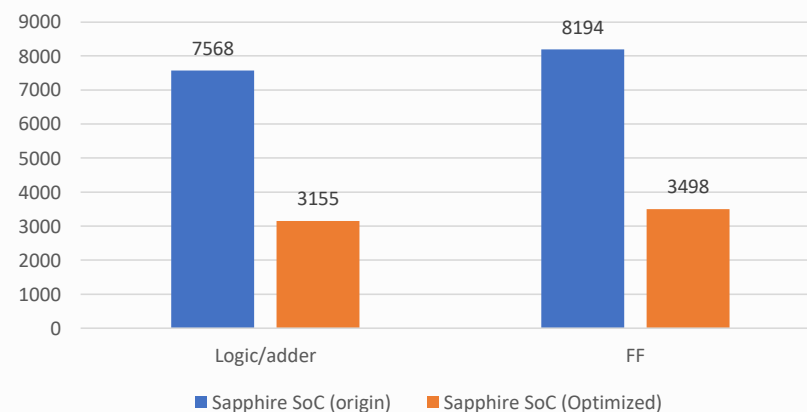
• 优化前

- 官方版本Sapphire RISC-V SoC
 - ❖ 4K I-cache 4K D-cache
 - ❖ External Memory IF: 128bit
 - ❖ Typical: JTAG, PLIC, UARTx1, GPIO16x1, I2Cx1 AXI4Mx1, AXI4Sx1, SPIx1

• 优化后

- IP核 管脚兼容, 软件兼容
- 额外支持:
 - ❖ Flash QSPI XIP (代码在ROM执行)
 - ❖ AXI4S 可以访问APB外设
- **Logic/FF/BRAM占用均减少超过一半**

Sapphire SoC 主要资源占用对比



	Logic/adder	FF	BRAM	DSP48	fMax	Efinity version
Sapphire SoC (origin)	7568	8194	58	4	330	2022.1
Sapphire SoC (Optimized)	3155	3498	22	4	310	2022.1

备注: T160F225 C4下综合

整体节省7K~8K左右XLRs, 客户相同FPGA可以放入更多IP资源



案例：Efinix Ti 平台高性能DDR3控制器IP

与官方控制器对比

官方DDR3 Controller
<ul style="list-style-type: none">• 支持x8/x16• 支持最高DDR3-800 (CLK=400MHz)• AXI4 半双工接口<ul style="list-style-type: none">• 读写无法并发• 不支持outstanding• PLL 读数据自动校准成功率不足50%

深目 DDR3 controller
<ul style="list-style-type: none">• 支持x16/x32• 支持最高DDR3-1066 (CLK=533MHz)• AXI4 全双工接口<ul style="list-style-type: none">• 读写并发• 支持outstanding• PLL 自动校准成功率超95%

	Logic/adder	FF	BRAM	DSP48	fMax	Efinity version
官方DDR3 Controller (AXI)	2883	2129	27	0	420	2022.2
深目 DDR3 controller (AXI)	2221	2331	27	0	574	2022.2

备注：Ti60F225 C4下综合

工业相机解决方案中：RISCV及GigE IP共同访问DDR3，深目控制器读写效率高于官方版本50%以上，且已通过量产产品验证



案例：Efinix Ti 平台高性能HyperRAM控制器IP

与官方控制器对比

官方HyperRAM Controller
<ul style="list-style-type: none">支持Winbond HyperRAM: x8/x16支持最高HyperRAM-500 (CLK=250MHz)不支持Dynamic Read latencyAXI4 半双工接口<ul style="list-style-type: none">读写无法并发不支持outstandingPLL 读数据自动校准成功率75%左右

深目 HyperRAM controller
<ul style="list-style-type: none">支持Winbond/APMemory HyperRAMx8/x16支持最高HyperRAM-500 (CLK=250MHz)支持Dynamic Read LatencyAXI4 全双工接口<ul style="list-style-type: none">读写并发支持outstandingPLL 自动校准成功率超95%

	Logic/adder	FF	BRAM	DSP48	fMax	Efinity version
官方HyperRAM Controller (AXI)	2473	1121	9	0	291	2022.2
深目 HyperRAM controller (AXI)	1017	1105	9	0	350	2022.2

备注：Ti60F225 C4下综合

多AXI master并发访问控制器情况下：

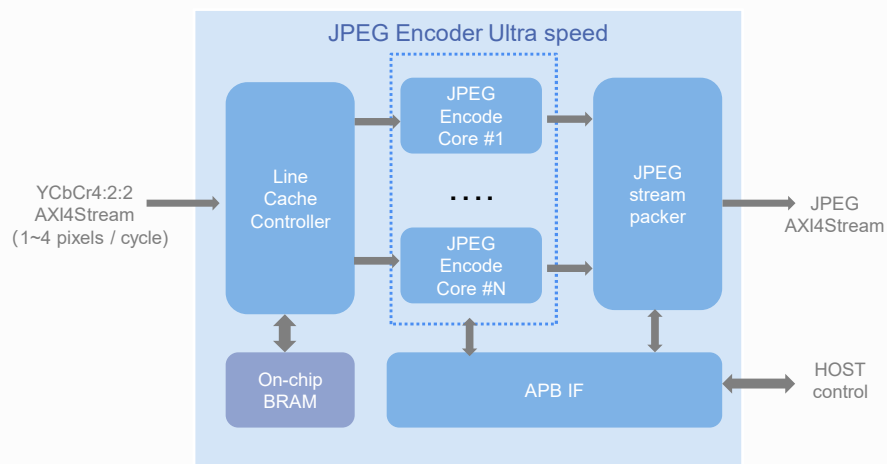
- 深目控制器效率高25%~50%，LE节省约1K，已在量产产品平台中验证



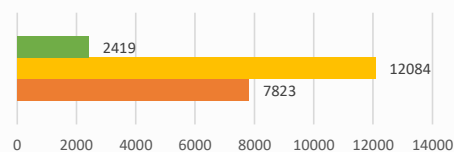
案例：高性能JPEG Encoder IP

特性

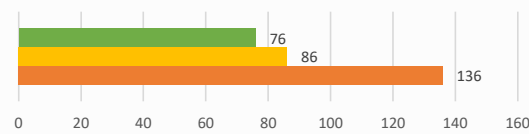
- JPEG Baseline
- 支持YCbCr 4:2:2 输入
- 可配置量化表
- 最大图像尺寸可配置
- 低延迟：7图像行
- 高性能：
 - ❖ Fmax: 340Mhz @ Efinix Ti60 C4
 - ❖ 1/2/4 pixels / cycle编码性能可配置
- 小尺寸：
 - ❖ 最低只需缓存8图像行
 - ❖ 2.4K LE, 76 BRAM (1 pixels /cycle, 4K @ 35fps)
 - ❖ 4.4K LE, 86 BRAM (2 pixels /cycle, 4K @ 70fps)
 - ❖ 8.9K LE, 104 BRAM (4 pixels /cycle, 4K @ 140fps)



逻辑占用对比



BRAM占用对比



■ 深目JPEG encoder (x1模式)
 ■ 某FPGA JPEG Encoder IP
 ■ 某国外JPEG Encoder商用IP

目标应用

- 超高速相机
- 图像采集卡

备注：Ti60F225 C4下综合

	逻辑占用	BRAM	最大图像宽度	性能(pix/cycle)	编码延迟 (行)	缓存行	综合频率	Efinity version
某国外JPEG Encoder商用IP	7823	136	4096	1	9	16	205	2022.2
某FPGA JPEG Encoder IP	12084	86	1920	1	8	16	301	2022.2
深目JPEG encoder (x1模式)	2419	76	4096	1	7	8	343	2022.2